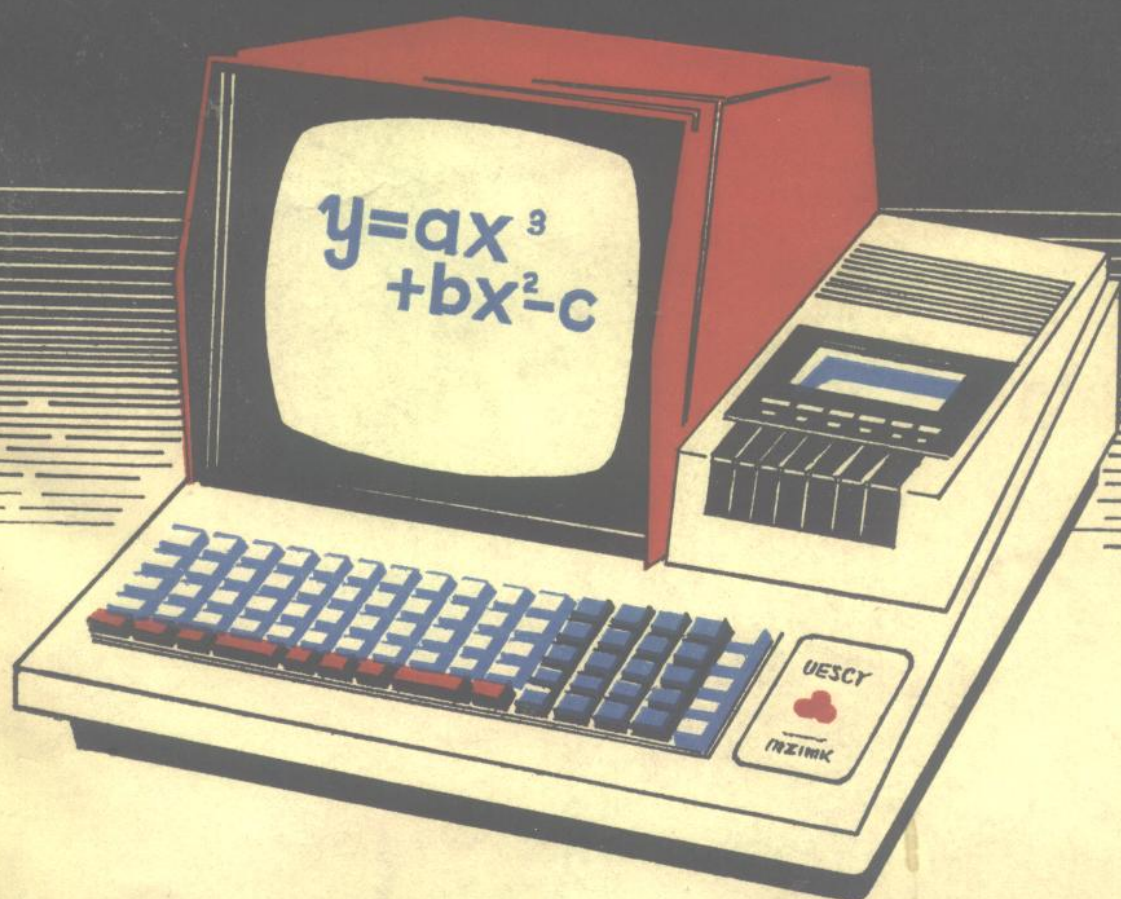


微型计算机通讯

第三集 中国电子学会第一届微型计算机
技术交流会议论文集

WEIXING JISUANJI
TONG XUN



科学技术文献出版社重庆分社

微型计算机通讯

第三集

科学技术文献

3.374
4
5313

社

微型计算机——Z-80 重订启事

此书从 79 年 12 月份出版发行后，深受读者的欢迎，但由于当时对印数估计不足，书早已售缺，为了满足读者要求，决定重印，估计十月底出书，定价 1.20 元，外加每本邮费 0.05 元，需要者，请直接来款至重庆市 2104 信箱发行组，并在附言内注明用途、经办人。开户银行：重庆市中区七星岗分理处；帐号：894547。

内容简介如下：Z-80 微型计算机是美国 Zilog 公司生产的第一种八位微型机，也是目前所有八位微型机中功能最强的一种。其特点是指令执行时间短，接口简单，用廉价的动态存储器和有丰富的指令系统，因而在国际市场上较受人注目。本文集着重介绍 Z-80 的硬件，包括中央处理器(CPU)，并行输入/输出控制(PIO)，计数定时器(CTC)，串行输入/输出控制器(SIO)，直接存储存取控制器(DMAC)，中断结构和动态存储器的接口技术。读者阅后，可对 Z-80 微型计算机的硬件有全面的认识。

读者对象：从事微型计算机设计、生产、科研和应用的人员，高等院校有关专业师生。

73.876
44

目 录

1. 051微处理机的系统设计.....	(1)
2. 051中央处理器与部分外围电路说明.....	(9)
3. 053-2微处理机.....	(10)
4. DJS063微处理机和DJS063微型计算机系统设计.....	(25)
5. 063 微 型 计 算 机 系 列 组 件.....	(34)
6. 063微型计算机外围接口适配器 和人机联系的有关 问题.....	(34)
7. PL-030 微程序控 制存 贮 器.....	(35)
8. 77-I 型 微 计 算 机.....	(42)
9. MC-730微型计算机 介 绍.....	(42)
10. 微型机控制器的一种 方 案.....	(43)
• • •	
11. 微阵列机基本数字电路 设 计.....	(48)
12. 采用8080系列芯片及S-100总线组成微型机系统的实 践 和 体 会.....	(55)
13. 面向实时控制与管理的计算机网络最佳构形 设 计.....	(61)
14. 面向语言的微型计算机 研 究.....	(70)
15. 算子体制计 算 机.....	(71)
16. Apple I 微 处 理 机 系 统 分 析 报 告.....	(71)
17. Intel 3000 系列器件组成的 16 位计算机.....	(71)
18. TK-80 微 型 计 算 机 系 统 介 绍.....	(72)
19. 微型计算机 结 构 (CROMEMCO-Ⅱ).....	(72)
20. MEK 6800D ₂ KIT Ⅱ 硬 件 概 述.....	(72)
21. 16 位 微 型 计 算 机 概 况 与 结 构.....	(73)
22. 单片 CPU-8080A 的 内 部 结 构.....	(74)
23. M10800 系 列 位 片 式 微 处 理 器 实 验 缩 短 微 周 期 的 探 讨.....	(74)
24. 位片式微处理器的微程序汇编 技 术.....	(75)
25. M6800 微 处 理 机 程 序 分 析 器 MPA 的 设 计 基 础 分 析.....	(75)
26. 集成注入逻辑的多模锁存缓 冲 器.....	(75)
27. 关于微型计算机逻辑设计的一些具体 问 题.....	(76)
28. 可编程序逻辑阵列的自动 划 分.....	(76)
29. CDP 1802 D 微处理器内部逻辑的 剖 析.....	(76)
30. Intel 8259/8259-5 可 编 程 序 中 断 控 制 器.....	(77)
31. 高速接口电路“八位I/O口”4E452的研制.....	(77)
• • •	
32. 关于微型计算机语言 PLM 的 报 告.....	(78)
33. MC 6800 JBUG MONITOR 分 析 报 告.....	(85)
34. 77-I 型微型机汇编程序使用说明.....	(116)

35.	77 II 微型计算机的模拟程序系统.....	(117)
36.	M 6800 驻留汇编器解剖报告.....	(117)
37.	MINIBUG II 解剖报告.....	(117)
38.	微型机管理程序——“OS-1”.....	(118)
39.	M6800的监控程序 MIKBUG和MONITOR-4.....	(118)
	• • •	
40.	M6800 微型计算机研制系统.....	(119)
41.	微型计算机系统的研制技术.....	(130)
42.	利用微型计算机研制系统来设计和调试微型计算机控制系统.....	(135)
	• • •	
43.	RCP-1软磁盘驱动器研制中的几个问题.....	(136)
44.	在M6800微型计算机系统中配常用外设的试验研究.....	(141)
45.	盒式磁带录音机用作微型计算机外存.....	(151)
46.	一种新型的显示装置:等离子体平板显示装置.....	(156)
47.	点阵式打印机逻辑控制电路(设计试验小结).....	(156)
48.	磁泡存储器用于空间记录器.....	(159)
	• • •	
49.	SL-1逻辑示波器原理及应用.....	(157)
50.	产生大规模集成电路测试图形的一种新型专用计算机和应用子微处理器测试的可能性.....	(162)
51.	逻辑分析器在测试微处理器系统中的应用.....	(169)
	• • •	
52.	国产微型计算机应用初探——DJS—051型微型计算机控制针织提花织帽圆机.....	(170)
53.	采用国产微型计算机的核爆炸数据处理系统.....	(178)
54.	用微型计算机对数控机床进行自动编程及插补运算的软件.....	(184)
55.	微型计算机在数控线切割机床中的应用.....	(191)
56.	微型计算机在圆度测量仪上的应用.....	(200)
57.	微型计算机在一种血气分析仪中应用的初步分析报告.....	(206)
58.	微型计算机在外部设备和数据通信终端领域的应用.....	(213)
59.	用微型计算机控制的集成电路测试系统.....	(218)
60.	用微处理机编写EPROM.....	(223)
61.	用微型计算机作快速变换.....	(227)
62.	以微型计算机为基础的数字系统设计.....	(237)
63.	微型计算机在电力系统中的应用.....	(237)
64.	汉字显示智能终端的试验与设想.....	(237)
65.	多微型机系统.....	(238)
66.	机载多微计算机系统结构的探讨.....	(238)
67.	微处理机的瞬时核辐射效应问题.....	(238)
68.	微处理机及其在核环境中的适应性.....	(239)

CONTENTS

1. System design of DJS-051 microprocessor
2. Specifications of the DJS-051 CPU & support chips
3. DJS-053-2 microprocessor
4. System design of DJS-063 μ C
5. DJS-063 microcomputer chip family
6. Some aspects of the DJS-063 microcomputer PIA and man-machine communication
7. I²L-020 microprogram control memory
8. 77- I microcomputer
9. MC-730 microcomputer
10. A version of control unit of DG-2 microcomputer
11. Circuit design of the processing element of array microprocessor
12. A practice of implementation of μ C system using the 8080 family chips & S-100 bus
13. Optimal configuration design of real-time-control & management-oriented computer network
14. A language-oriented μ C study
15. Operator-based computer concepts
16. Analytical report of Apple I μ P system
17. A 16-bit μ C made of Intel 3000 family chips
18. An introduction to TK-80 μ C system
19. Architecture analysis of CROMENCO- I
20. MEK 6800 D2 KIT I hardware—An introduction
21. Survey of the 16-bit μ C
22. Internal structure of one-chip CPU-8080A
23. An experimental approach to the reduction of the microcycle time of M10800 family bit-slice μ P
24. Microprogramming assembly technique of the bit-slice μ P
25. Basic design analysis of M6800 μ P program analyzer (MPA)
26. I²L multi-mode latch buffer
27. Some problems of logic design of the μ C
28. Automatic partition of the PLA
29. Anatomy of CDP 1802 D μ P internal logic
30. Intel 8259/8259-5—A programmable interrupt controller
31. Development of high-speed 4E452 8 bit I/O port

32. PLM-A language for the μ C
33. Analysis of MC6800 JBUG monitor
34. Applications note of 77-1 μ C assembler
35. Simulator system of 77-1 μ C
36. Analysis of the M6800 resident assembler
37. Anatomy report of MINIBUG 1 of M68ADS-1 MDS
38. Monitor OS-1 of DJS-060 microcomputer family
39. M6800 MIKBUG and MONITOR-4
- • •
40. Motorola EXORterm 200 MDS
41. Development technique of μ C system
42. A design and debugging method of μ C-based control system with MDS
- • •
43. Some problems in the development of RCP-1 floppy disk driver
44. Interfacing of M6800 μ C system with ordinary peripheral devices
45. Tape cassette used as μ C external storage
46. Panel plasma display
47. Design experiment of logic control circuit of dot-matrix printer (preliminary report)
48. Bubble memory used as space recorder
- • •
49. Principle and applications of the logic oscilloscope SL-1
50. A new special-purpose computer for generating LSI test pattern and its applicability to μ P test
51. μ P test with logic analyser
- • •
52. Preliminary experiments of the application of DJS-051 μ C to the control of the weaving machine for felt cap
53. Application of DJS-051 for nuclear explosion data processing
54. MNC (Microcomputer Numerical Control) software for autom. programming & interpolation
55. Microcomputer application to linear cutting tool machine with NC
56. Microcomputer application to roundness meter
57. Preliminary analysis report on μ C application to blood gas Analyzer
58. The application of microcomputer to peripheral devices & data communication terminals
59. A μ C-based LSI test system
60. An application of μ C for programming EPROM
61. An application of μ C for high-speed FFT
62. Design of μ C-based digital system

63. μ C application in electrical power system
64. An experiment and project on intelligent terminal with Chinese Character display
65. Multi-microcomputer system
66. An approach to airborne μ C system architecture design
67. On instantaneous effect of the nucleus radiation on microprocessor
68. Adaptability of the μ P in the nuclear environment

051 微处理机的系统设计

安徽电子科学研究所 林勋准 执笔

一、概 述

051是一种 NMOS 大规模集成的 8 位微处理机。它由 4~5 个 LSI 组件构成,具有相当于 Intel 8080 和 8228 的功能。机器周期约 1 μ s。它以 8080 的全部指令作为自己的基本指令组,另外还有一组功能较强的扩充指令,而系统控制总线比 8080 简单。系统设计的基本点是力求以我国目前的器件工艺水平来达到较强的处理机性能。

二、设计考虑

在设计 051 之前,我们对当前国外几种代表性的 8 位微处理机进行过一番分析比较。

人所共知,在国际微处理机市场上,8080 一直居于首位。这个事实充分证明它有一些重要的优点,它所体现的概念一直影响其它 μP 的设计。这也是我们以 8080 为基础来开展 051 的设计的主要理由。

但是,051 并不是 8080 的简单翻版。这主要是出于下列的三点考虑:

1. 功能设计上对 8080 进行扩充。

表(一)列出 8080、6800、Z-80 和 8048 等几种有代表性的 μP 的简单的性能指标。

6800 是和 8080 性能相当的 μP 。从市场销售量上说,6800 不如 8080,但就功能设计而论,6800 具有变址能力和双累加器,使其指令系统的效率较高。从我们所见的几篇比较这两者的文章中看到,对同样的一些程序,6800 所用的存储容量较少而速度也稍

高。

Z-80 是对 8080 最好的改进和发展。Z-80 完整地包含了 8080 的全部指令,这使得它能直接引用 8080 系统的成套软件,这样做也就几乎吸取了 8080 的主要优点。同时,Z-80 又在许多重要方面对 8080 进行了巧妙地发展。这包括增加成组传送、成组检索、倍长运算、十进辅助操作、位处理、通用寄存器组、提高中断响应速度等,特别地还包括和发展了 6800 在变址操作方面的优点,设置两个变址寄存器和指令的变址方式。这就使 Z-80 成为 8 位 μP 中功能最强的一个代表者。

表(一)列出的 Intel 8048 (及 8035、8748 等)的特点反映了 Z-80 对 8080 的改进是无疑的,其中某些方面也被吸收到 8048 之中。

所以,051 的设计理应更多地参考 Z-80。但考虑到 050 系列机的共同约束以及器件上的原因,我们没有沿袭 Z-80 对 8080 的改进方式。不在硬件(器件)上,而是用固件的方法来扩充 8080 的功能。做到扩充或不扩充不致影响 051 固有的 8080 功能,也不影响 051 与 050 系列的各机种在 8080 级上兼容。

2. 为实现功能上的开端设计,采用微程序控制。

3. 为在目前国内器件工艺条件下尽快拿出产品,采用 CPU 多片化结构。

事实证明,这些系统设计思想大体上是正确的,从而也形成了 051 的主要特点。

三、系统结构

051 CPU 的系统结构模型如图(1)所

示。

图（1）中各部件的功用如下：

- A——累加器，8位，用于存放运算结果；
- F——运算结果的标志寄存器，其各位的意义如表（2）所说明。其中，N标志运算结果是负数；Z标志运算结果全0；AC标志有辅助进位；P标志运算结果是偶

数；CY标志结果有进位。

- B、C、D、E、H、L——通用寄存器，都是8位；
- SP——堆栈指示器，16位；
- PC——程序计数器，16位；
- IE——允许中断标志，1位。

所有这些部件及其功能规定都与8080相同，不必赘述。

表 1 几种 μP 性能略比

性 能 μP	8080	6800	Z-80	8048	051
累 加 器	1	1	2	1	1
通用寄存器组	1	0	2	2	1
变址操作	无	有	有	无	有
变址寄存器	(间址)	1	2	(多间址)	2
位 地 址	无	无	有	无	有
位 (逻辑) 操作	一般	一般	最多	较多	多
倍长运算	+法	无	+一法	无	$\pm \times$ 法
十进处理辅助	+6	+6	+6、+10移位	+6 移位	最多
成组检索	无	无	有	无	有
成组传输	无	无	有	无	有
中断响应	一般	一般	较快	较快	一般

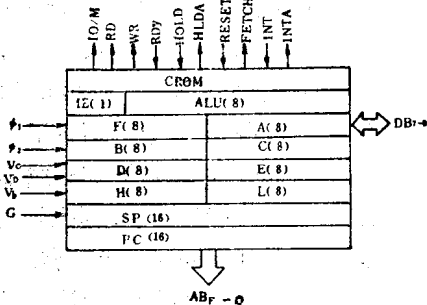


图 1 CPU结构模型

表 2 标志寄存器

位 序	7	6	5	4	3	2	1	0
符 号	N	Z		AC		P		CY

图（1）中总线信号的意义如表（3）所述。

在这里必须说明的是，051 并没有沿用 8080 和 8228 所构成的一套所谓“周期信

息”。我们认为8080的这一套总线信号不是很好的设计。它不但没有必要，而且显得过于复杂。增加使用上的麻烦。Z-80就没有套用这一设计。Intel 自己的后来产品 8085 对8080的重要改进也包括取消这一套“周期信息”，从而不再需要8228这个片子。经过详细的分析，我们认为051只需保存表（3）所列出的那些系统控制信号。它们包括了系统控制所需的全部信号，但总数没有超过40根。

四、指令系统

051 的指令系统有两组：基本指令组和扩充指令组。

基本指令组与8080的指令集完全一致，保证了051可以直接地引用国内外为 8080 所

发展的全部软件。

扩充指令组除了吸收 Z-80 那些功能很强的指令之外，还加入了 16 位 乘除法运算指令。

当然，扩充指令可以完全根据用户的需

要来编制目的性更强的指令。微程序控制逻辑不仅提供了组成复杂指令的可能性，而且还提供了由用户直接编制指令的方便。这一特点使 051 在某些场合能成倍地提高系统的实际操作速度。

表 3 CPU 总线信号

线 序	符 号	方 向	意 义
0 ~ 7	DB ₀ ~DB ₇	双向~双向	数据总线
8 ~ 23	AB ₀ ~AB _F	出~出	地址总线
24	IO/ $\overline{M}$	出	选择I/O 设备或存储器
25	RD	出	读命令
26	WR	出	写命令
27	RDY	入	外部准备就绪
28	HOLD	入	要求CPU 让出总线
29	HLDA	出	对 HOLD 的应答
30	RESET	入	复原
31	FETCH	出	标志CPU在取指令
32	INT	入	中断请求
33	$\overline{INTA}$	出	对INT的应答，低电平有效
34	ϕ_1	入	时钟
35	ϕ_2	入	时钟
36	V _c	入	电源+12V
37	V _D	入	电源+5V
38	V _B	入	电源-5V
39	GND	入	地线

(1) 指令格式

指令有 1 ~ 3 字节各种长度，其格式也不相同。

单字节指令格式有 3 种：

(i) 双操作数指令

7 6	5 4 3	2 1 0
OP	D	S

其中，OP——操作码；D——终址，S——始址；D 和 S 的编址由表 (4) 所规定。其中 M 代表存储单元，其地址由间址 (HL) 所指定，简记 M (HL)。

表 4 寄存器编址

D/S	111	110	101	100	011	010	001	000
对 象	A	M	L	H	E	D	C	B

寄存器对的编址如表 (5) 所示：其中 F 是标志寄存器，它与累加器 A 配成一对。

表 5 寄存器对编址

地 址	11	10	01	00
寄存器对	AF	HL	DE	BC

(ii) 单操作数指令

7 6 5 4 3	2 1 0
OP	S

7	6	5	4	3	2	1	0
OP		D			OP		

(iii) 隐含操作数

7	6	5	4	3	2	1	0
OP							

双字节指令的格式为

7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
OP								数据/地址							

三字节指令的格式为

7	...	0	7	...	0	7	...	0
OP			数据/地址			数据/地址		

在二、三字节指令中,第二、三字节可能是数据(叫做直给数),也可能是存储器/I/O设备的地址。

I/O设备的编址,即I/O接口寄存器的编址可以有二种:

- I/O设备与主存分别编址,那么设备地址(设备号)由I/O指令的第二字节给定;
- I/O设备与主存统一编址,这样,所有访存指令都可用来操作I/O设备。

(2) 寻址方式

051指令系统的寻址方式有下列九种:

1. 直接存储器地址——指令的第二、三字节给出存储器的直接地址;
2. 间接存储器地址——指令中指定一寄存器对,这对寄存器的内容作为存储器的地址;
3. 寄存器地址——指令中给出寄存器或寄存器对的地址;
4. 直给数据——指令的第二、三字节本身作为操作数;
5. 直接转移地址——指令的第二、三字节给出转移地址;
6. 间接转移地址——指令中指定一对寄存器,这对寄存器的内容作为转移地址。

• 4 •

以上6种方式都是原8080所固有的,故不予详释。051在此基础上,参考Z-80的做法,增加了三种:

7. 变址

在复合指令中用指令的第一字节从两对寄存器(分别记为IX、IY)中选定其一对,作为变址寄存器,第二字节是基本操作指令,第三字节给出变址位移量d。

这样一来,原8080的一组没有变址功能的操作指令,都被赋予了变址功能,大大地提高了原有指令系统的效率和灵活性。

8. 相对转移地址——在二字节指令中,第二字节给出转移地址的位移量e。

例如 JRCe 指令,执行的结果是:若 $CY = 0$, 则顺序执行,否则 $PC \leftarrow (PC) + e$ 。

9. 位地址——在指令中给出要检测或处理的存储器或寄存器的某些位的地址。

例如 BITM b, r 是一条位处理指令,其第一字节是操作码,第三中 r 给出存储器或寄存器的地址,第二字节b可指定(r)或M(HL)中要处理的是哪些位,可以是1位或多至8位。位地址也可以变址,例如, BITM b (IX+d), 指出被处理对象是 M(IX+d)中的某些位。

因基本指令系统与8080一致,故不再赘述。

五、分片逻辑

大家知道,8080的CPU是由三个组件(8080+8228+8224)构成的,其中主要功能集中在8080这一片上,约5000管芯。

根据我国目前的工艺水平,要在短时间内(例如一年)研制出单片CPU是较困难的,即使试制出来,批量投产也可能跟不上。因此为了要在一年左右研制出实用的 μP 器件,参考050的经验,我们采用将CPU分片的做法。

CPU多片化结构除了减轻对器件集成度的要求之外,给系统设计可能带来更大的自由度,可以提高功能设计的水平。但是,

因为051的CPU功能早已框定要仿8080,所以,这第二个优点就不存在了。相反地,要将一个既成的单片8080划分开来,约束倒是很多的。

一般地说,多片化可能产生下列一些问题:

- 信号线外引使系统速度下降;
- 封装引线增加,特别是随机组合逻辑的控制信号更难于划分;
- 由于输出级的增加而使管芯的总数上升;
- 系统可靠性及成本也受影响。

所以,在确定分片时,我们采取了下面的几条原则:

1. 集成度依国内先进而有把握(一年左右)的水平来决定,当时拟定规则电路不超过4000管/片。非规则电路2000管/片。
2. 片间连线不得超过28或40线。微程序控制(存储逻辑)提供了这方面的优点,使系统较易区分。
3. 需要高速性能的信号尽量不分属于不同的片子。但这一点往往难于完全做到。

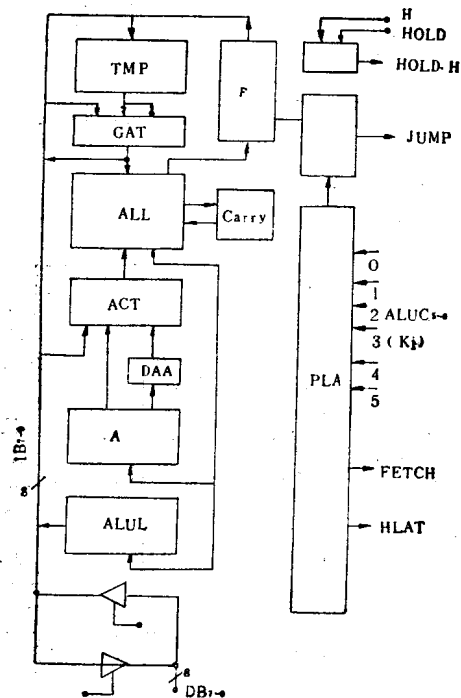


图2 ALU (集成度: 1700; 封装线28)

4. 认真进行输出级的设计。

根据这些考虑,我们将051 CPU 除开时钟发生器之外的全部功能划分为4个组件: ALU, GR, CROM, MCU。图(2)~(5)

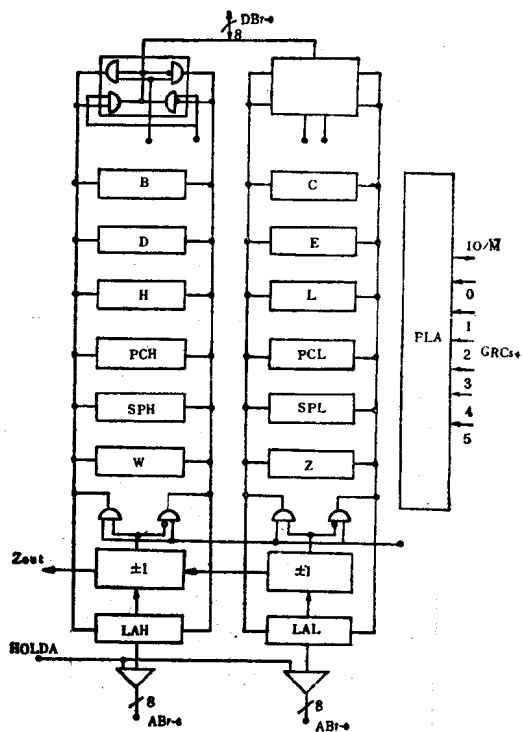


图3 GR (集成度1700, 封装线40)

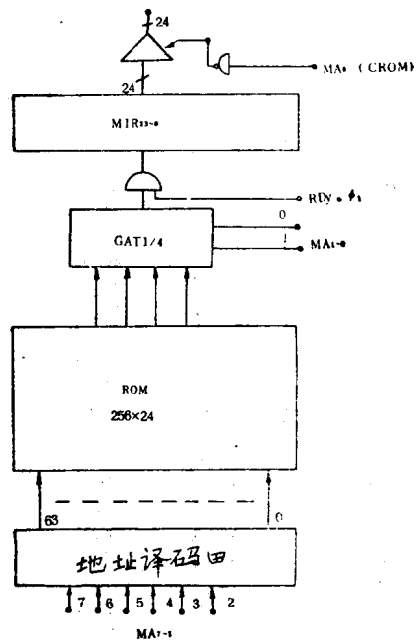


图4 CROM (集成度3000, 封装线40)

示出其大体的构造。把这些图和8080的结构对照一下，不难理解这些分片器件的内容和意义。

可以看到，这些划分与CPU内部各部件的自然功能划分是相对应的，所以用它们组成CPU系统的连接也显得简易明了。

图(6)就是051 CPU的框图。

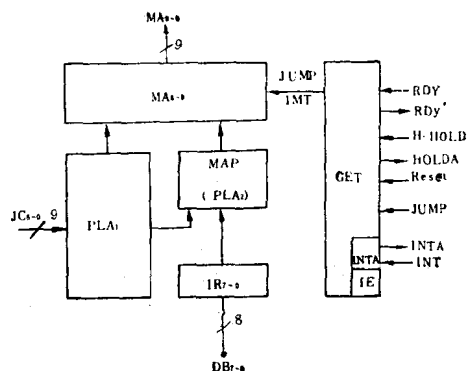


图5 MCU (集成度700, 封装线40)

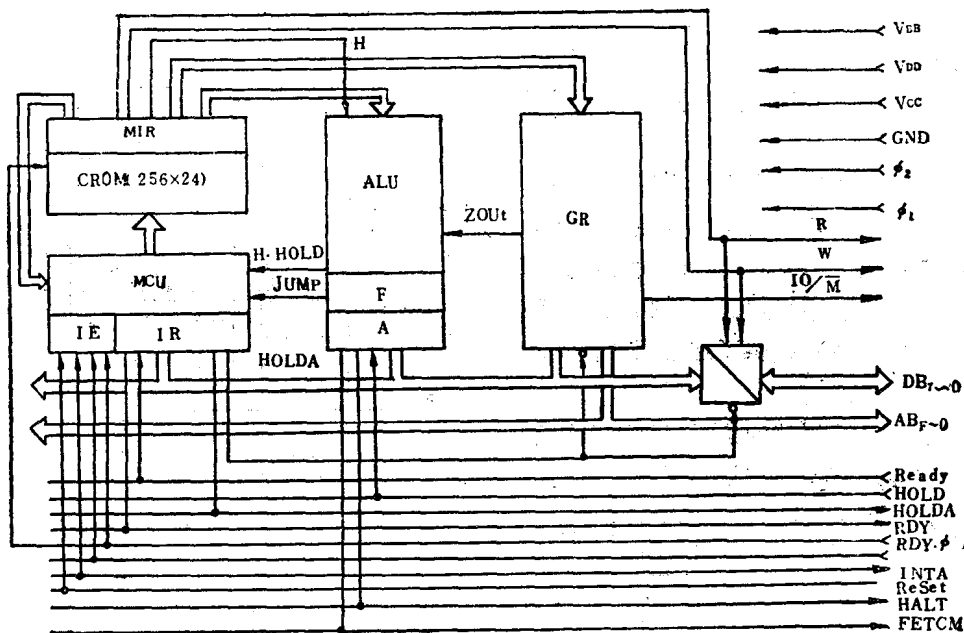


图6 051 CPU

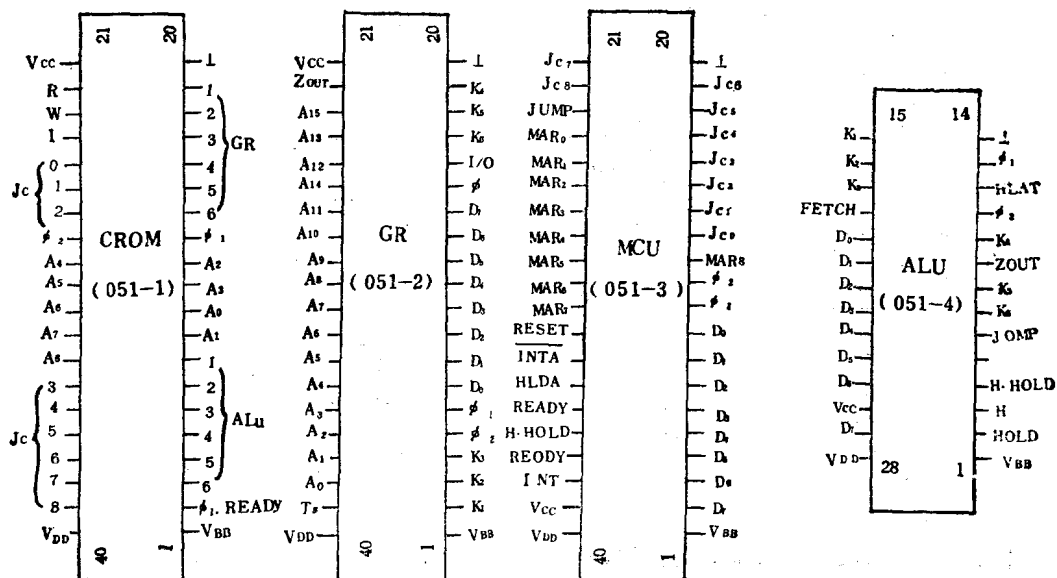


图7 051 CPU组件封装

六、微程序控制

大家知道, μP 的控制器基本上是两大类: 随机组合逻辑和微程序控制逻辑, 后者也称为存储逻辑。微程序的载体称为控制的只读存储器 CROM。PLA 是介于这两者中间的一种方案, 它基本上是组合逻辑加上电路规则化工艺。在这里我们毋须讨论这些控制方式的一般特点, 而只是说明 051 采用微程序控制的具体理由。

第一、存储逻辑的规则性提供了逻辑划分的方便。这是 051 CPU 的多片化设计最迫切需要的优点。

例如, 在 ALU 这一功能块中, 控制信号有几十种, 如果采用组合逻辑, 则封装的引线总数将成为问题; 控制信号全都外引, 速度也会降低。在采用微程序控制之后, 全部控制信号综合为 6 位微操作码 (可译出 64 种控制信号) 就得, 故这个组件仅用了 28 脚的封装。

GR 这个组件也有类似的情况。CROM 和 MCU 构成完整的控制器, 如果不是采用存储逻辑, 也很难用两个片子共 80 脚封装就能包括全 CPU 所有的控制信号。

第二、微程序设计的灵活性, 在高性能微型和小型计算机中被利用来较方便地编制复杂的指令 (甚至连 8080 这样的 μP , 后来有些制造厂也已改用微程序控制)。在 051 中, 这个特点对于扩充指令的设计也起了决定性的作用。如前所述, 扩充指令在许多应用场合有可能将 051 的系统速度提高几倍, 但在硬件上却只增加了一个组件, 而这个组件的制造工艺和 CROM 相同, 故在技术上或造价上都不会有明显的难处。这样的性能价格因数用组合逻辑方式是不能实现或达不到的。

微程序控制的主要缺点是速度较低。这有电路上的和逻辑上的原因。从电路上说, CROM 是一个相对较多串级和较大扇出系

数的阵列, 集中参数和分布参数 (尤其是 MOS 器件) 都影响较大。所以 CROM 的读出延迟时间是个重要的问题。从逻辑上说, 影响速度的因素很复杂。其中, 操作并行性不如随机逻辑是个实质性的问题。因此, 一旦决定采用微程序控制, 就必须在各个环节上设法提高操作的并行度。

当然, 这是要付出代价的。象 051 这种机器也不宜不惜代价地来提高速度。我们只在保证不大增加系统复杂性和器件集成度的前提下改善速度性能。因此我们没有采取重叠操作和多相微程序等方法, 只在串行, 单相微程序的限度内采取措施。

由于认真的逻辑设计, 051 的微程序操作速度达到了较好的结果。就执行指令的节拍数上说, 051 和 8080 (随机组合逻辑) 差不多, 除个别指令外, 大多数是多一拍或少一拍。从整个 CPU 系统各功能块的时间匹配上说, 由于是用单相的微程序, 所以 CROM 这一块比其它几片速度较低, 这就限制了整个 CPU 的操作频率。

下面对 051 的存储逻辑结构作一简介。

(1) 工作原理

图 (4) CROM 和图 (5) MCU 一起构成了 051 的微程序控制器——控制存储器。

指令从主存取出之后被送入指令寄存器 IR。指令的操作码 (IR) 经微地址编码器 MAP 变换为微程序的入口地址, 从 CROM 中确定 (选读) 了一条微指令。这条微指令码进入由 ϕ_2 时钟所定时的微指令缓冲寄存器 MIR, 然后由 MIR 引向 CPU 各处去实施控制, 其中包括形成下一条微指令的地址。

(2) 微指令格式

图 (8) 示出 051 微指令字的格式。

3	3	3	3	1	2	3	3	1	1	1
ALUC		GRC		JC				R	W	H

图 (8) 微指令字

一个微指令字分成几个字段。ALUC字段控制ALU的工作,占6位。GRC字段控制GR的工作占6位。JC字段控制下条微指令的地址,占9位。RWH字段各位有独立的意义:R是读、n是写、H是查询HOLD请求。整个微指令字长24位。

可以看到24位宽度已经有很好的操作并行性:CPL的4个功能块及外部数据的读写都可以同时进行。进一步增加宽度已没有必要,也为40脚封装所限制。

微指令的ALUC字段和GRC字段分别进入ALU和GR组件,在其内部经过一个PLA网络形成对有关各部件的控制信号。

适当展宽微指令的并行度和尽可能地引用PLA技术是弥补微程序操作速度的切实措施。

由于篇幅所限,这里不可能对微指令各字段都给出详述,仅就地址控制字段作一扼要的介绍。

表(7)给出JC字段的意义。

表 7 微地址控制字段的意义

JC ₈	JC _{2~0}	CROM 下 条 地 址 NA _{8~0}										注
1	0 0 0	MA ₈	JC ₇	JC ₆	JC ₅	JC ₄	JC ₃	IR ₅	IR ₄	IR ₃	兼查询中断	
1	0 0 1	MA ₈	JC ₇	JC ₆	JC ₅	JC ₄	JC ₃	IR ₂	IR ₁	IR ₀		
1	0 1 0	MA ₈	JC ₇	JC ₆	JC ₅	JC ₄	JC ₃	0	IR ₇	IR ₆		
1	0 1 1	MA ₈	MAP ₇	MAP ₆	MAP ₅	MAP ₄	MAP ₃	MAP ₂	MAP ₁	MAP ₀		
1	1 0 0	0	JC ₇	JC ₆	JC ₅	JC ₄	JC ₃	1	0	0		
1	1 0 1	1	JC ₇	JC ₆	JC ₅	JC ₄	JC ₃	1	0	1		
1	1 1 0	MA ₈	JC ₇	JC ₆	JC ₅	JC ₄	JC ₃	1	1	INT		
1	1 1 1	×	×	×	×	×	×	×	×	×		
0	×	×	×	0	JC ₇	JC ₆	JC ₅	JC ₄	JC ₃	JC ₂		JC ₁

(3) 时序

为说明051的时序,先看图(9)中两种时序电路(“触发器”)。其中图(9a)是一种锁存器,数据D经时钟 ϕ_a 采样进入记忆电路,立即反映到电路的输出端。图(9b)是一种D触发器,数据D经 ϕ_a 采样进入记忆电路之后,并不立即影响输出端,只当第二时钟 ϕ_b 到来之后,才使输出端随D变化。在两相

表中JC₈=0时,CROM的下条地址NA全由JC字段JC₇~0决定,即NA_i=JC_i,i=7~0,NA₈=0。当JC₈=1时,NA由JC字段,指令操作码和MCU的CROM入口编码器MAP以及NA₈自身的状态来决定。

JC_{2~0}=110时,除执行表(7)所规定的编址操作外,还兼有查询中断请求的动作。如发现有中断请求INT,则强使NA₀=1,否则NA₀=0,这样就实现了微程序的分支。

对其他分支条件的判别也采取与INT分支相同的做法,一旦条件成立,将NA的某一位(通常在NA₀)强制为1;条件不成立则该位仍为“0”。分支条件由ALU的控制码选择并综合为一个条件信号JUMP,和INT一起进入MCU以决定分支地址。

对上述地址控制方式有兴趣的读者,可以参阅Intel's 3000的设计,那里有类似的叙述。

时钟系统中,输入端D通常是与 ϕ_b 同步的,故这个电路的输出比输入延迟了一个周期。

在051中,除了个别控制寄存器(如IE,INTA等)采用D触发器之外,其余均为图(9a)的锁存器。为了避免逻辑状态竞争,锁存器的输入D和输出C(即 ϕ_a)必须错开相位即D应与 ϕ_b 同步,C应与 ϕ_a 同步。

因此,设定作为全CPU原始控制信号的微操作码MIR的输出与 ϕ_1 同步,而其它所

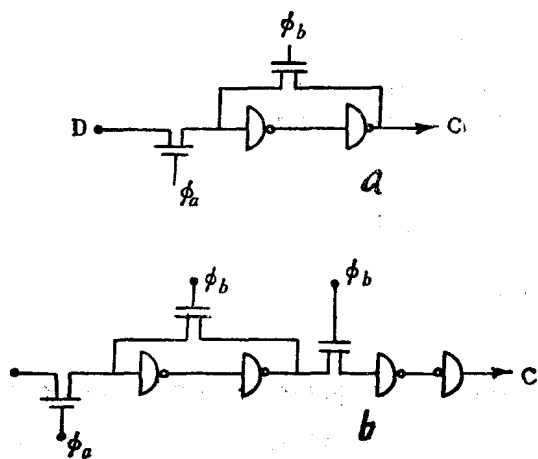


图9a 锁存器 图9b D触发器

有受控寄存器输出则都与 ϕ_2 同步。它们的时序为图(10)所示。

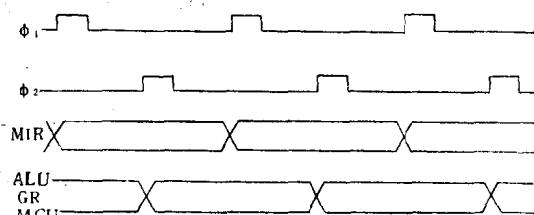


图10 051 时序

051中央处理器与部分外围电路说明

上海无线电十四厂

摘要：051微处理机的CPU是用四片N沟硅栅MOS LSI组成的。该机采用微程序控制。CPU的输出引线与TTL电路兼容，而软件和8080A完全兼容。本文对CPU的总体结构、指令系统、外围电路以及CPU与存储器及I/O设备的接口进行了比较详细的介绍。

【林云梯摘】

053-2 微 处 理 机

北京工业大学无线电电子学系

谈根林 李惠文

一、概 述

053-2微处理机采用全I²L工艺的LSI芯片,字长为8位。指令系统包括Intel 8080的全部指令,并增加14条扩充指令(其中包括功能很强的成组传送和成组检索指令)。本机采用微程序控制,因此灵活可扩展,其中ROM1实现以上基本指令,若增加ROM2即可实现Z-80的全部指令。本机有较强的中断能力,且处理更为简洁。全机电路全部采用静态电路,仅需单一时钟脉冲,并设有用微程序实现的面板和引导程序,使机器调试

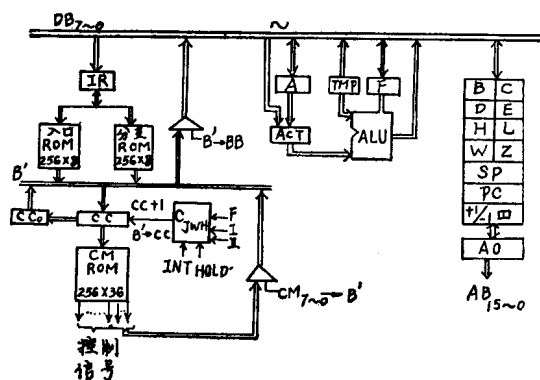


图1 053-2微处理机结构

1. 累加器和ALU部份: A——累加器(8), ACT——累加器的暂存器(8), TMP——暂存器(8), F——状态器(包括S符号, Z全零, P奇偶, AC半进位, CY进位)。F为ALU运算结果的标志, ALU为算术逻辑单元。

2. 寄存器阵列: BC, DE, HL 通用寄存器(16), WZ内部暂存器(16), SP栈指示器(16), PC程序计数器(16), +1/-1器和地址锁存器(16), AO地址缓冲器(16)。

3. 微程序控制器(参看图2)

方便。全机设计已经过用TTL小规模集成电路装成的模型机的实践检验,证明设计是可行的。

二、053-2微处理机结构

如图1所示, 053-2微处理机结构十分简单, 它分成以下三部分:

- (1) 累加器和ALU
- (2) 寄存器阵列
- (3) 微程序控制器

其中, (1)、(2)与Intel8080类似, 故不赘述⁽¹⁾。(3)在本文后面叙述。

三、微程序控制器

整个微程序控制器示于图2。

1. 微指令结构

为了完成053-2的全部指令, 设计了九十多种微操作。整个微指令字长36位, 分成12个字段(参看附表1)。各个字段的功能如下:

(1) CM_{35-33} 用于控制微程序的转移(包括无条件转移、条件转移、转子、分支等)及顺序执行。例如:

CC+1 顺序执行

$CM_{7-0} \rightarrow B', B' \rightarrow CC$ 无条件转移

$JCM_{7-0} \rightarrow B', B' \rightarrow CC$ 条件转移

当J=1时, 实现 $CM_{7-0} \rightarrow B', B' \rightarrow CC$
当J=0时, 实现 CC+1