



GH

高等学校 规划教材
工科电子类

电路设计自动化

郇 豪 后俊伟

DIANLU **SHEJI**

ZIDONG HUA

电子科技大学出版社

TN702

L25

~~442949~~

442949

电路设计自动化

郦 豪 后俊伟

电子科技大学出版社

• 1995 •

[川]新登字 016 号

内 容 提 要

本书从运用电路设计自动化工具进行电子系统设计的方法学入门,介绍了集成电路设计的特点和不同层次设计环境中的设计对象和模型。然后介绍了版图设计、电路设计和逻辑设计等设计自动化工具及其使用方法。

本书的读者对象为电子类专业的本科生和研究生。也可供有关工厂、科研单位的技术人员参考。

DV53/2307

电路设计自动化

郇 豪 后俊伟

*

电子科技大学出版社出版

(成都建设北路二段四号)邮编 610054

成都东方彩印厂印刷

四川省新华书店经销

*

开本 787×1092 1/16 印张 15.75 字数 380 千字

版次 1995 年 11 月第 1 版 印次 1995 年 11 月第 1 次印刷

印数 1—2000 册

中国标准书号 ISBN 7-81043-270-2/TN·33

定价:12.60 元

出版说明

根据国务院关于高等学校教材工作的规定，我部承担了全国高等学校和中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力，有关出版社的紧密配合，从1978~1990年，已编审、出版了三个轮次教材，及时供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要，贯彻国家教委《高等教育“八五”期间教材建设规划纲要》的精神，“以全面提高教材质量水平为中心，保证重点教材，保持教材相对稳定，适当扩大教材品种，逐步完善教材配套”，作为“八五”期间工科电子类专业教材建设工作的指导思想，组织我部所属的九个高等学校教材编审委员会和四个中等专业学校专业教学指导委员会，在总结前三轮教材工作的基础上，根据教育形势的发展和教学改革的需要，制订了1991~1995年的“八五”（第四轮）教材编审出版规划。列入规划的，以主要专业主干课程教材及其辅助教材为主的教材约300多种。这批教材的评选推荐和编审工作，由各编委会或教学指导委员会组织进行。

这批教材的书稿，其一是从通过教学实践、师生反映较好的讲义中经院校推荐，由编审委员会（小组）评选择优产生出来的，其二是在认真遴选主编人的条件下进行约编的，其三是经过质量调查在前几轮组织编写出版的教材中修编的。广大编审者、各编审委员会（小组）、教学指导委员会和有关出版社，为保证教材的出版和提高教材的质量，做出了不懈的努力。

限于水平和经验，这批教材的编审、出版工作还可能有缺点和不足之处，希望使用教材的单位，广大教师和同学积极提出批评和建议，共同为不断提高工科电子类专业教材的质量而努力。

电子工业部电子类专业教材办公室

前 言

本教材系按电子工业部的工科电子类专业教材 1991~1995 年编审出版规划,由无线电技术与信息系统教材编审委员会电路与系统编审小组征稿并推荐出版。责任编委为沈铎。

本教材由东南大学邰豪、后俊伟编写,电子科技大学王兆明担任主审。

本课程的参考学时数为 48 学时,其主要内容为:集成电路设计的特点及设计方法和设计策略;VLSI 设计的计算机表达;VLSI 版图设计方法及设计验证,以及 Cmagic 交互式 VLSI 版图编辑系统;电路模拟方法与技术,以及 SPICE 电路模拟程序;逻辑模拟与测试生成技术;各种印刷电路板和集成电路数据格式,以及集成电路制造标准和 MOSIS 服务。使用本教材的读者应具有一定的版图和电路基础知识。

本教材由邰豪编写第二、三、四、五、六、八章,后俊伟编写第一、七章,邰豪统编全稿。参加审阅工作的还有鲍顺光、沈永朝同志,他们都为本书提出了许多宝贵意见,这里表示诚挚的感谢。由于编者水平有限,书中难免还存在一些缺点和错误,殷切希望广大读者批评指正。

编 者

一九九五年二月

目 录

第一章 电路设计的计算机辅助	(1)
1.1 电路设计	(1)
1.2 集成电路设计的要求	(4)
1.3 设计策略	(6)
1.4 设计系统与软件.....	(11)
第二章 VLSI 设计的计算机表达	(14)
2.1 引 言.....	(14)
2.2 设计表达的一般概念.....	(15)
2.2.1 记录与链表.....	(15)
2.2.2 特性项的无限可扩展性.....	(16)
2.2.3 设计原型.....	(18)
2.2.4 记录的标记.....	(19)
2.2.5 内存申请.....	(19)
2.3 层次的表达	(20)
2.4 视图表达.....	(22)
2.5 连接性表达.....	(23)
2.5.1 节点、弧和端口.....	(23)
2.5.2 连接性表达.....	(23)
2.6 几何图形的表达.....	(25)
2.6.1 形状、变换和图形显示.....	(25)
2.6.2 方向限制.....	(26)
2.6.3 几何运算.....	(27)
2.6.4 查 询.....	(28)
第三章 VLSI 版图设计方法及设计验证	(30)
3.1 集成电路版图基础知识简介.....	(30)

3.1.1	MOS 管结构	(30)
3.1.2	集成电路的制造过程	(32)
3.1.3	工艺步骤	(36)
3.1.4	版图设计规则	(41)
3.2	版图风格	(49)
3.2.1	引言	(49)
3.2.2	全定制版图设计方法	(52)
3.2.3	符号法版图设计	(53)
3.2.4	门阵列设计方法	(55)
3.2.5	标准单元法	(62)
3.2.6	通用单元法	(66)
3.2.7	可编程逻辑器件方法	(66)
3.3	版图验证	(72)
3.3.1	掩膜版图的图形分析	(73)
3.3.2	电路提取	(75)
3.3.3	版图验证和分析	(78)
第四章	Cmagic 交互式 VLSI 版图编辑系统	(81)
4.1	概述	(81)
4.2	Cmagic 系统数据结构与设计方式	(81)
4.2.1	系统数据结构	(81)
4.2.2	版图掩膜层的表示方法	(82)
4.2.3	版图设计的工艺独立性	(84)
4.3	Cmagic 系统简介	(84)
4.3.1	Cmagic 程序结构	(84)
4.3.2	Cmagic 版图编辑系统	(84)
4.3.3	Cmagic 设计规则检查器	(85)
4.3.4	Cmagic 交互式布局、自动化布线系统	(86)
4.3.5	Cmagic 数据格式转换系统	(86)
4.4	Cmagic 系统操作命令	(86)
4.4.1	Cmagic 系统运行的软件环境	(86)
4.4.2	Cmagic 系统主菜单简介	(86)
4.4.3	Tech 命令	(87)
4.4.4	File 命令	(88)
4.4.5	Edit 命令	(89)

4.4.6 DRC 命令	(91)
4.4.7 Route 命令	(91)
4.4.8 DFT 命令	(93)
第五章 电路模拟方法与技术	(95)
5.1 引 言	(95)
5.2 电路模拟的基本内容	(96)
5.3 线性网络方程的建立	(97)
5.4 线性代数方程组的计算机解法	(100)
5.4.1 高斯消去法和 LU 分解技术	(100)
5.4.2 稀疏矩阵技术	(104)
5.5 非线性电路的直流分析	(108)
5.5.1 牛顿-莱夫森方法	(108)
5.5.2 非线性电阻元件的线性化模型	(109)
5.6 网络的瞬态分析	(111)
5.6.1 简单的积分方法	(112)
5.6.2 积分方法的稳定性	(113)
5.6.3 网络瞬态分析的伴随模型法	(115)
5.7 网络的灵敏度计算	(118)
5.7.1 概 述	(118)
5.7.2 灵敏度分析的伴随网络法	(119)
5.8 大规模电路的模拟技术	(125)
5.9 混合模式模拟器的的设计技术	(126)
第六章 通用电路模拟程序 SPICE	(131)
6.1 SPICE 程序的功能	(131)
6.2 SPICE 电路模拟程序的输入文件	(132)
6.3 基本电路器件的描述语句	(133)
6.4 半导体器件的描述	(140)
6.5 子电路的描述	(147)
6.6 控制语句	(150)
6.7 SPICE 程序的使用	(168)
第七章 逻辑模拟与测试生成技术	(174)
7.1 硬件描述语言	(174)

7.1.1	硬件描述语言的作用和发展	(174)
7.1.2	VHDL 语言硬件描述方法	(177)
7.2	逻辑模拟	(187)
7.2.1	逻辑模拟的作用	(187)
7.2.2	模拟方法	(188)
7.2.3	电路模型	(190)
7.2.4	信号模型	(190)
7.2.5	逻辑模拟模型的扩展	(194)
7.3	测试码生成与可测试性设计	(196)
7.3.1	故障模型	(196)
7.3.2	测试生成的过程	(198)
7.3.3	测试码生成方法	(199)
7.3.4	可测试性设计的初步	(200)
7.4	逻辑模拟与测试生成系统应用简介	(204)
7.4.1	概 述	(204)
7.4.2	HTL 语言简介	(205)
7.4.3	HTL 语言描述举例	(210)
7.4.4	FASTEG 的运行	(212)
第八章	CAD 工具的输出	(214)
8.1	引 言	(214)
8.2	印刷电路板格式	(215)
8.3	集成电路数据格式	(216)
8.3.1	CIF 格式	(217)
8.3.2	EDIF 格式	(228)
8.3.3	其他 VLSI 数据格式	(238)
8.4	集成电路的制造	(239)
参考文献		(242)

第一章 电路设计的计算机辅助

1.1 电路设计

设计是人类最重要的创造性活动。设计活动包括提出方案、解决问题、创作或生产等过程。在工程技术领域，产品的设计常常从画草图开始，通过逐步地给出精确的说明而使设计具体化。最终的设计不仅要有准确的尺寸，而且还要提出有关生产步骤的计划。此外，设计还需要考虑有赖于生产情况的一些其他因素，如：要生产的产品数量、制造环境的控制精度等，以便制定适当的设计方案。

现代电子电路及系统具有电路结构和功能高度复杂、设计数据量大等特点，并且要求设计周期短，产品成本低，以使它具有较强的竞争力。因此，现代电子电路设计必须要有科学的设计方法为指导，总的来说，设计需要经过方案的描述、信息处理算法与体系结构的确定、部件的选择和设计的具体化等过程。

一个数字系统的典型设计过程可由图 1.1 演示。

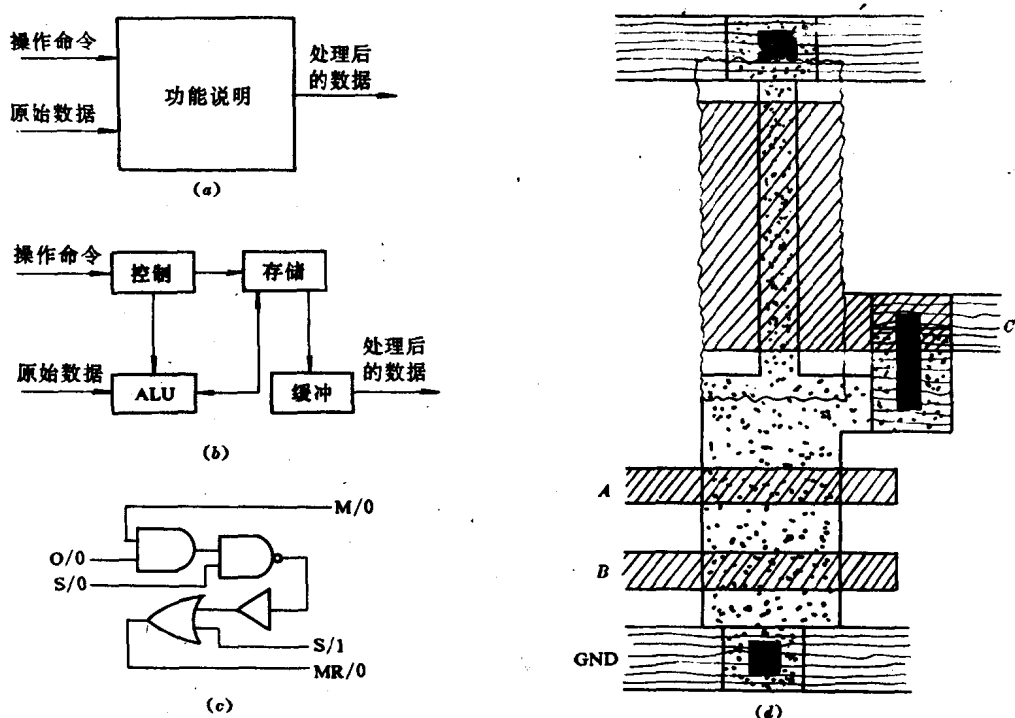


图 1.1 自顶向下电路设计过程

(a) 黑盒模型 (b) 体系结构 (c) 逻辑图 (d) 集成电路版图 (与非门)

图 (a) 所示的最初草图表示了电路的“黑盒”特征, 描述了哪些是输入引线及其引入的原始信息, 哪些是输出引线, 它应该得到什么样的处理结果 (即电路的功能说明); 根据这一功能要求, 设计者应确定合理的数据处理算法, 并选择适当的电路体系结构来实现这一功能, 如图 (b) 所示; 进一步的设计细化是对图 (b) 的每个部件进行逻辑设计, 典型的是用“与”、“或”、“非”等逻辑门来表示设计, 如图 (c) 所示; 但这样的设计仍然是抽象的, 最终的设计必须根据要求和生产情况选择电路的制造工艺, 将这种逻辑图描述成具体的集成电路 (IC) 版图 (Layout) 或印制电路板图, 图 (d) 所示为集成电路中一个“与非”门电路的版图设计, 由此组成的具有完整的尺寸和材料描述是整个集成电路版图数据, 就可以提交半导体厂制备出电路芯片。

为了保证这个电路芯片是一个合格的产品, 一是要保证所提交的设计数据正确无误; 二是要能检查出半导体制备过程中的缺陷产生的废品。前者要求设计者借助适当的验证手段保证每一步的设计都是正确的, 而后者则要求设计者在提交集成电路设计数据的同时, 也要提供相应的测试数据, 以使半导体厂能据此筛选出合格产品。

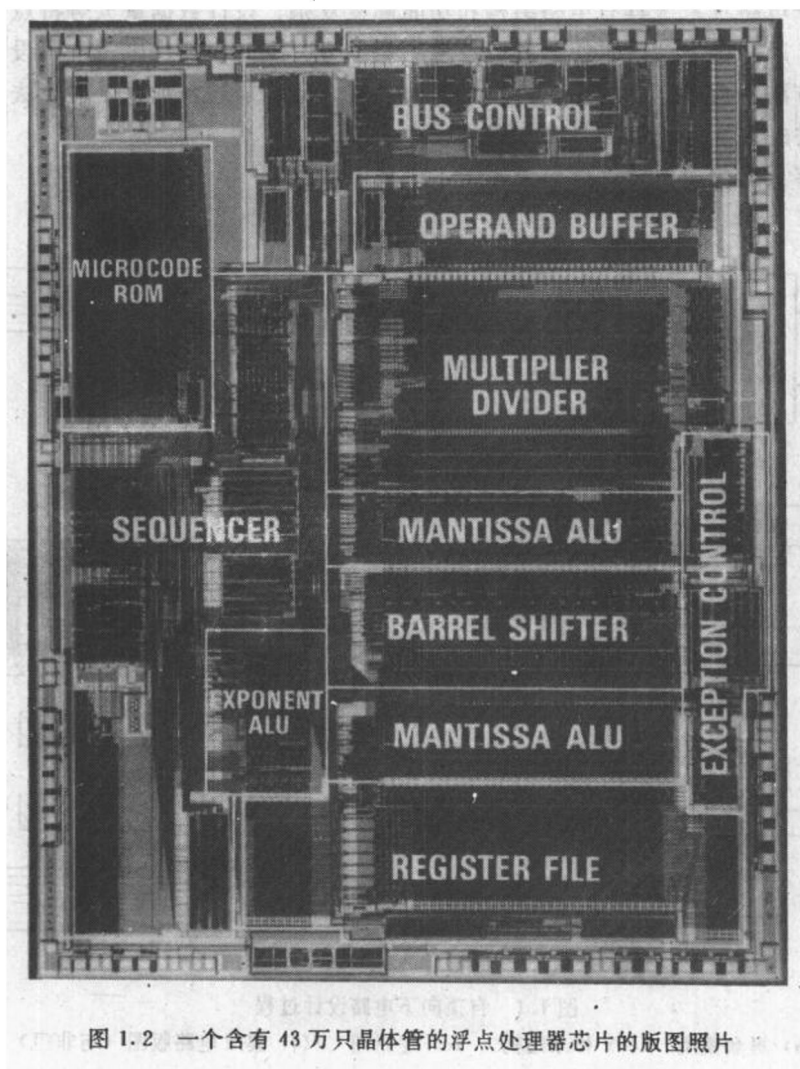


图 1.2 一个含有 43 万只晶体管的浮点处理器芯片的版图照片

上述设计过程常称为自顶向下 (Top-Down) 的设计, 也称正向设计。当然, 一个复杂电路的设计并不总是严格地经过这样的从抽象到具体的过程, 根据设计要求, 如精度、成本、时间等, 有时要对电路反复优化, 有时要借鉴以往的设计经验和设计模块。但自顶向下设计中的逐步求精的方法在描述任何设计中都是很有用的, 实际上, 往往在电路设计的许多层次上都要进行优化, 并需前后反复求精和验证, 最终得到具体的设计数据。

电路的设计还在一定程度上与实现电路的工艺技术有关, 工艺技术是根据设计描述生产出成品电路的手段。针对不同的工艺, 相应地产生了不同的电路设计风格和 Design Environment。根据不同的产品要求, 目前已发展了多种工艺技术, 但总的来说, 电路设计工艺主要有集成电路和印制电路两种。

在集成电路设计中, 设计的描述是由各种导体或半导体材料的多边形组成的, 各种材料的相互交叠就构成了电路芯片的版图。有了象图 1.1 (d) 这样精确的版图数据, 半导体厂就可以制备出相应的成品电路芯片。图 1.2 所示为一个含有 43 万只晶体管、采用 $1.2\mu\text{m}$ 双层金属 CMOS 工艺的浮点处理器电路芯片的版图照片。设计人员根据特定的应用系统或产品需求而设计的这种集成电路也称专用集成电路 (Application Specific Integrated Circuit, 简称 ASIC), 这是为了区别于象 74 系列电路、86 系列微处理器这样的通用 IC。通常专用集成电路产品的批量较少, 而产品的市场竞争又要求 ASIC 的设计周期要短。因此, 针对不同的设计要求, ASIC 可采用全定制、半定制和现场可编程器件等设计方法和工艺技术来实现, 前者设计的电路性能最好, 而后者设计周期最短。

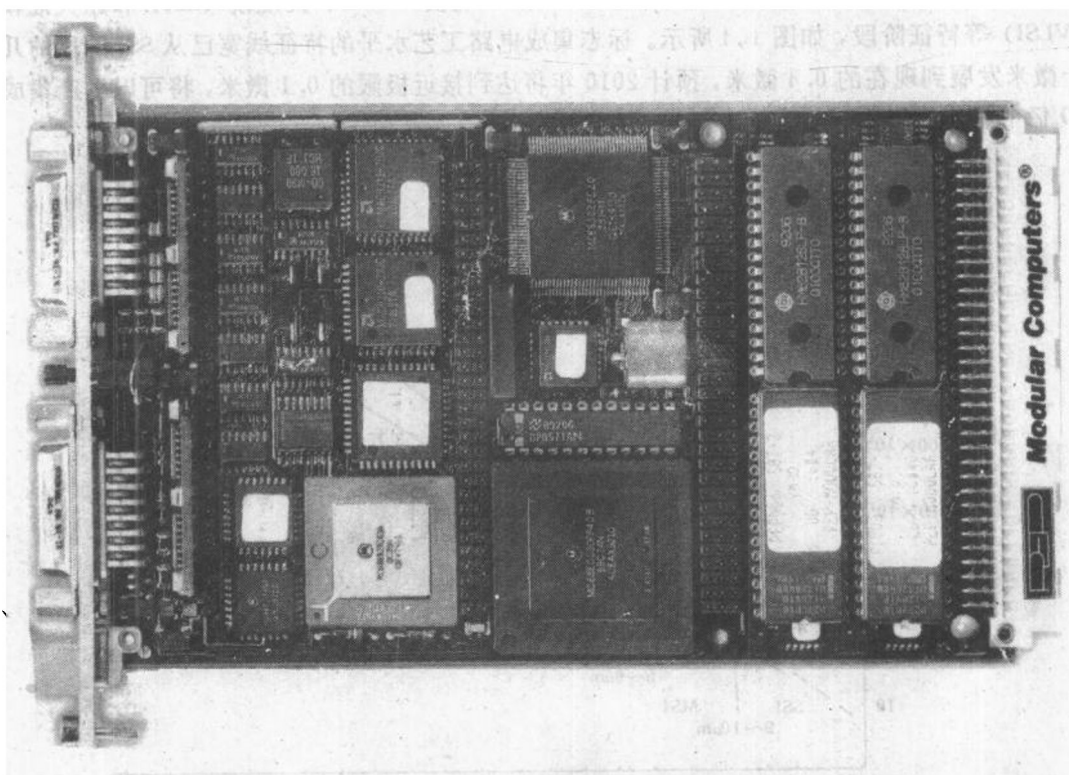


图 1.3 一个 32 位计算机卡

印制电路板 (PCB) 的设计同样要求将导线材料精确定位, 但不同的是, 导线是印在电路板上的, 而且所用的基本元件是一些标准封装的集成电路, 各元件的定位及其引脚间相互连线的定位即构成了 PCB 的最终设计。图 1.3 所示为一个运算速度达 11MIPS (百万条指令/秒) 的计算机卡, 采用 8 层印制板布线和制造工艺。

一般认为, 印制电路比专用集成电路更易设计, 也更易进行故障诊断。但 PCB 电路工作速度慢, 结构不紧凑, 且批量生产成本昂贵。相比之下, ASIC 特别是全定制或半定制电路优越的专用硅版图结构, 对于提高系统性能, 降低批量生产成本非常具有吸引力。在电路复杂度和工艺条件允许的情况下首先应考虑用 ASIC 来实现。

在系统应用中, ASIC 最终仍要被装配在 PCB 上制成产品, 因此 PCB 的设计在电子产品的设计中是不可缺少的。本书将重点讲述针对各种 ASIC 的设计自动化技术, 同时也介绍 PCB 的设计技术。

1.2 集成电路设计的要求

自 1959 年以来, 集成电路技术发生了惊人的变化。第一个设计成的集成电路只含有 4 个晶体管, 而 35 年后的今天, 在 1994 年, 一个集成了近 3 亿个晶体管的 256 兆位存储器芯片已能在实验室中研制出来, 64 兆位存储器芯片已开始走向市场。专用集成电路的生产水平也已达到了 250 万个门的集成度。

集成电路技术的发展经历了小规模 (SSI)、中规模 (MSI)、大规模 (LSI) 和超大规模 (VLSI) 等特征阶段, 如图 1.4 所示。标志集成电路工艺水平的特征线宽已从 SSI 阶段的几十微米发展到现在的 0.4 微米, 预计 2010 年将达到接近极限的 0.1 微米, 将可以生产集成 50 亿个晶体管的 ASIC。

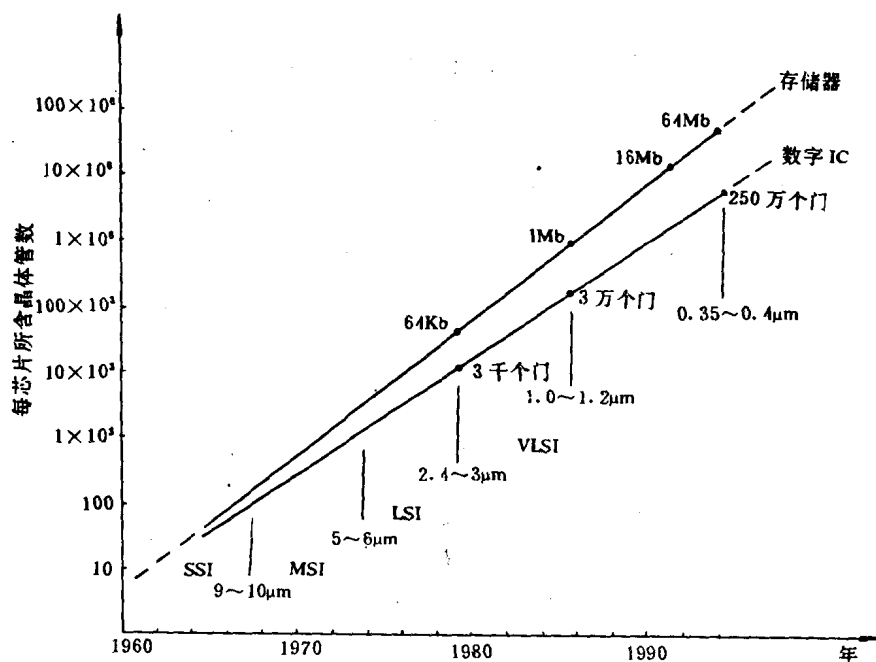


图 1.4 集成电路技术的进展及各阶段特征

随着集成技术的迅速发展,集成电路的设计越来越复杂,要求也越来越高,这主要有以下几个方面:

第一是设计时间。由于电子产品市场的激烈竞争和高技术产品先入市场的明显优势,不允许集成电路的设计花费过长的时间,有时要求几周或几天就完成整个电路芯片的设计。

以往芯片设计中,由于主要依靠手工完成画版图、刻红膜等,版图设计花费时间最多。如1978年微处理器Z8000的设计就是一例,它含有17500个晶体管,版图设计花费了约6600个人时,占整个电路芯片设计时间的50%以上。

随着设计自动化水平的提高,版图设计的负担大大减轻,而芯片的体系结构设计、逻辑设计、以及测试码生成的代价相对明显地增加。为此,近年来高层次设计自动化技术和ASIC设计方法学的研究有了迅速的发展,旨在进一步提高复杂电路的设计效率。目前,借助先进的设计自动化工具和设计方法,一个含有几十万只晶体管的微控制器芯片只需半个月就可完成设计。

第二是设计的正确性。一个VLSI电路芯片所集成的常常是一个复杂的数据或信号处理系统,电路和版图数据量大。要对这样的芯片进行一次修改,所要花费的代价是昂贵的,目前ASIC一般要求保证设计正确无误,投片一次成功。以往对于中、小规模电路还可以采用人工设计验证,而对于VLSI电路,即使投入大量的人力和简单的验证工具也难以保证设计正确。这就要求在一个完整的设计自动化系统的支持下,在各设计层次上都要进行反复验证和检查,各层次的设计数据都能实现自动转换和统一处理。

第三是设计成本。每个IC芯片的成本可以由下式计算

$$C_T = \frac{C_D}{V} + \frac{C_P}{yn} \quad (1-1)$$

式中, C_D 为开发费用; C_P 为每片硅片的工艺成本; y 为平均成品率; V 为生产数量; n 为每片硅片上的芯片数目。

式(1-1)表明,对于小批量生产,应减小开发费用。而对大批量生产,应增加成品率和每一硅片上的芯片数。因此,小批量ASIC通常采用半定制电路或可编程器件技术,而大批量ASIC则可采用全定制电路技术。另一方面,为了增加实际成品率,又必须减小每个芯片的尺寸,这就要求在高层次设计中优化电路结构,在版图设计中减少布局和布线中的所谓“死区”,提高芯片利用率。

第四是产品的性能。IC的性能主要决定于所选择的电路系统的体系结构、器件工艺结构和版图设计的质量。为提高IC的速度,近年来越来越多的采用了阵列式或流水线体系结构,高速、低功耗IC的设计自动化也有了较大的进展。其中版图设计是影响电路性能的一个重要方面。因为芯片内连线的长度是决定电路中分布电容参数的重要因素,所以为了获得高速、低功耗的IC,必须设计一个紧凑的版图,使连线长度尽量减少。目前的设计自动化系统已可以支持设计时钟速度高达300MHz、耗电仅3W的10万门CMOS集成电路。

综上所述,一个集成电路的设计就是在保证产品质量的前提下,正确地选择IC体系结构、器件形式和工艺方案,同时要尽可能地减少芯片尺寸、降低设计成本和缩短设计周期。但是,没有一套强有力的设计自动化系统的支持和设计方法学的指导,对于IC的设计,要做到这些是难以想象的。

集成电路技术的进展不断地对电子设计自动化(EDA)技术提出新的要求,促进了EDA

技术的迅速发展,但 EDA 系统的设计能力一直难以赶上 IC 技术发展的要求。

第一代 EDA 工具在 70 年代左右出现,它们完全是面向 IC 芯片版图设计的。借助图形显示终端,它们可用来录入和处理几何图形和尺寸数据,并可提供版图设计规则检查。由于仅仅支持 IC 最底层设计的版图图形处理,不能提供任何电气设计规则的检查,这样的 EDA 系统只能局限在半导体工厂使用。

第二代 EDA 工具随着计算机工作站的出现,在 70 年代末开始走向市场,它不仅提供图形处理能力,而且具有电路图录入、逻辑模拟和电路模拟功能,开始具备辅助 IC 层次式设计的能力。

第三代 EDA 工具在 80 年代中期出现,开始引入了 EDA 框架 (Framework) 的概念。在同一个设计框架下,借助多窗口界面,设计者可以灵活地完成 IC 的寄存器传输级 (RTL) 设计、逻辑设计、电路设计和版图设计。各层次的设计数据都在设计数据库的支持下得到统一的管理,方便了层次式设计迭代和比较。这一代的 EDA 工具还具备了由逻辑图自动生成芯片版图的硅编译器、层次式电路测试码生成等功能。

近两年第四代 EDA 工具已开始出现,随着 ASIC 高层次设计需求的增加,硬件描述语言等设计数据格式趋于标准化。而不同的 ASIC 设计风格和系统应用的要求导致各具特色的多个 EDA 软件被安装在同一个用户的工作站上,从而使 EDA 框架标准化。新的 EDA 系统不仅能实现高层次的自动逻辑综合、硅编译器和测试码生成等,而且可以调动多个各具特色的模拟器对同一个设计实体进行协同模拟,进一步提高了 EDA 系统的工作效率和设计正确性。

1.3 设计策略

复杂的电子电路,不论是用 VLSI 实现还是用 PCB 实现,较好的设计策略是用层次设计与自动设计相结合的方法。基本的设计过程是采用自顶向下的设计。也就是说,从一个行为概念开始,建立越来越详细的层次结构,直至得到一个充分低的级,它能直接变换成物理实现。最后,物理实现完成整个系统的功能。

一、设计分级

当前典型的电路设计过程是通过层次方法将设计细化,以使设计容易掌握。设计层次一般分为五级:系统级、寄存器传输级、门(逻辑)级、电路级和器件(版图)级,如图 1.5 所示。

系统级是最抽象的设计层次,它将设计看作是由一些大的系统部件组成。各部件之间的相互连接是比较随意和抽象的。重要的是在于表达系统的体系结构、数据处理的功能、算法等。例如:对于计算机系统而言,主要是从宏观上表达处理器、内存储器、通道、磁盘、控制台等部件之间的相互关系,以及它们与外界的交互关系。系统级按其抽象程度在设计过程中又常常分为体系结构级 (Architecture Level) 和算法级 (也称指令级)。

寄存器传输级以具有内部状态的寄存器(锁存器)以及连接寄存器之间的逻辑单元(如各种运算单元)作为部件,重点在于表达信号的运算、传递和状态的转换过程。

门级设计也称逻辑设计,它以布尔量为信号,以门或触发器为基本部件,表达出电路

的详细逻辑功能和逻辑关系。为提高设计精度，常引入延迟和多值信号模型。

电路级设计则以 R 、 C 、 L 和晶体管等为基本元件，具体表达电路在时域上的伏安特性或频域上的信号关系，以及电路的速度、功耗、信号电平容限等性能。

器件级也称版图级，传统上讲这并不属于电路设计的领域，但复杂电路的物理实现，如单元划分、布局、布线等在很大程度上将影响电路的性能（对于 VLSI 电路而言情况更是如此）。因此，现代电路设计以版图级作为最低层次，产生最终的制造说明。

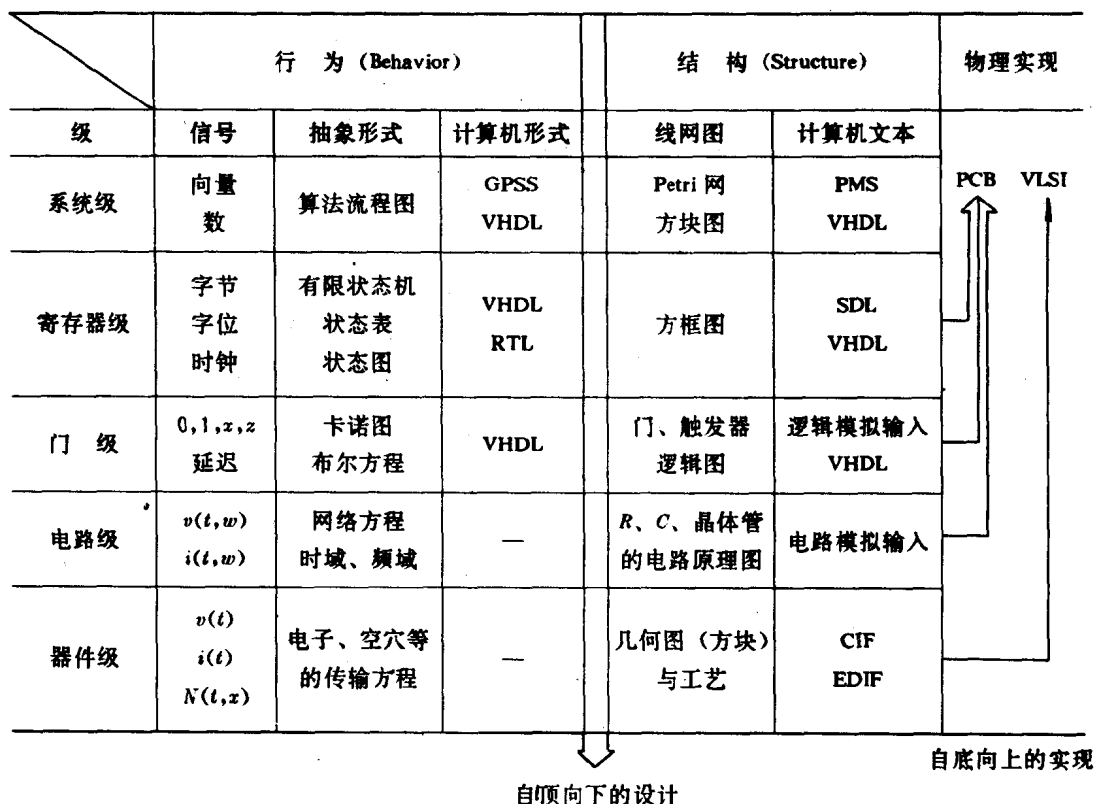


图 1.5 电路的设计层次

二、层次设计

电路的层次设计过程，可以用 D. D. Gajski 于 1983 年提出的 Y 图描述，如图 1.6 所示。图中的每一个轴表示一种设计的描述域：行为域、结构域与物理域。每个域中有多个抽象的级，而且离中心越远则抽象程度愈高。

行为域从概念上描述了电路或系统的功能，通常它只表示系统的输入输出间的函数关系。行为域的设计着眼于严密地规定逻辑部件。它将根据逻辑部件的规格目标，以考虑给出什么样的输入信号序列，形成什么样的内部状态，发生什么样的输出信号序列等信息为中心进行设计。它对于用什么样的逻辑电路来实现其功能并不特别注意，只是全力去正确地定义逻辑部件所应完成的功能，行为域是设计的出发点。

结构域从电路结构上描述系统所采用的具体单元以及它们的相互连接关系，包括各个单元的详细的端口定义。结构域设计常常以线路图 (Schematic Diagram) 或线网表

(Netlist) 的形式给出, 线网表可以以元件为中心, 也可以以线网 (节点) 为中心。显然, 结构域设计表面上不反映电路的功能特征, 其功能通过各单元的功能及其相互驱动关系来体现, 它是一个设计的具体电路实现。

物理域从物理结构上描述系统的具体几何实现。例如集成电路版图布局, 布线的几何描述, PCB 的元件封装说明, 布局布线等。物理域设计常常与具体的电路工艺条件相关联。

电路设计的总过程是沿每个轴向中心点逼近的一个序列。从行为到结构, 到物理实现的迭代, 然后回到更低一级部件的行为。随着设计的进行, 迭代的螺旋线指向 Y 图的中心, 得到最后的掩膜版设计。这样的设计过程常常也称为自顶向下的设计过程。

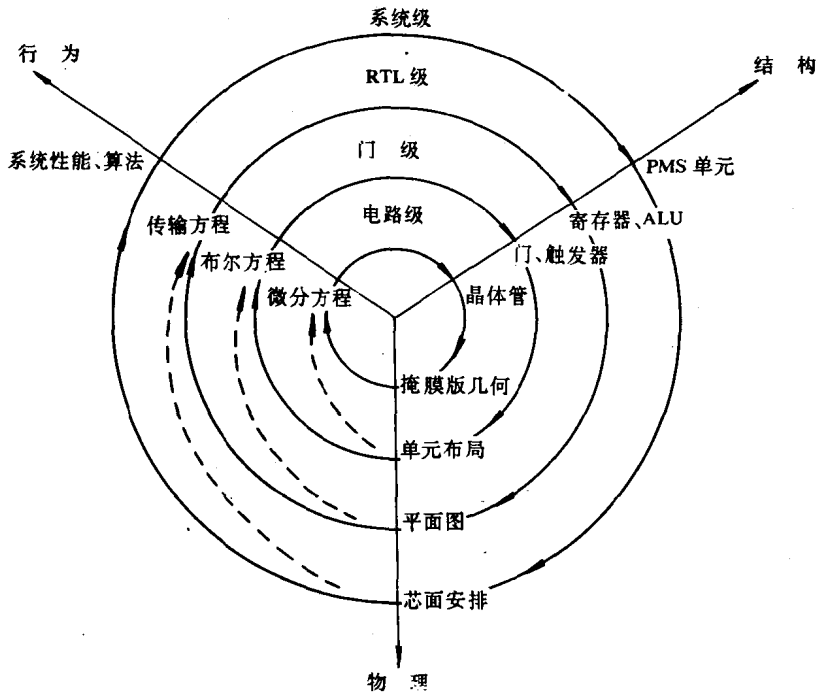


图 1.6 电路设计的 Y 图表示

例如, 一个复杂电路的设计可以从系统级开始。首先描述系统的行为规范: 系统的输入数据、输出数据、控制信息、数据处理的算法程序、函数关系等。然后, 根据系统的行为说明, 选择适当的计算机体系结构和系统单元, 描述各 PMS 单元 (即处理器、存储器和开关单元, 这里“开关”指的是译码器、多路器等组合部件) 间的结构关系。有了电路的具体部件和结构, 就能够对 IC 芯片或 PCB 版图进行总体安排, 根据经验和数据库知识预测电路规模, 必要时对系统性能指标作些调整, 再一次进行设计迭代, 当结果满意后, 就可以进入更低一级的电路设计了, 如专用处理器的 RTL 级设计, 从实现处理器的寄存器传输方程到具体的寄存器、运算单元和总线结构, 如此向最低级逼近的设计迭代, 最后完成版图设计。

对于 PCB 的层次化设计可以作一简化, 设计过程如图 1.7 (a) 所示。

因为大多数功能结构块直接就能变换成相应的物理元件, 即 RAM、ROM、微处理器、寄存器、触发器等, 它们在电气上、功能上都有明确的定义, 设计就是这些组件在 PCB 上的