

S1240

程控数字电话 交换系统(中)

上海贝尔电话设备制造有限公司

人民邮电出版社

TN916.427

7X912.427
S 23
2

372778

S1240 程控数字电话交换系统

中 册

硬 件 结 构

上海贝尔电话设备制造有限公司



人民邮电出版社

登记证号(京)143号

内 容 提 要

本书是由上海贝尔电话设备制造有限公司专门组织人力编写的,全书分上、中、下三册,详细介绍了S1240程控数字电话交换系统的系统结构,软、硬件模块及其技术。中册侧重介绍系统的硬件结构,对B型终端控制处理机、终端接口、数字交换网络、模拟用户模块、服务电路模块、数字中继模块、时钟和音信号模块、维护与外设模块、No. 7公共信道信号模块、远端用户单元接口模块等进行了详细说明。

本书适合S1240设备的维护人员、电路工程师、工程技术人员及各级管理人员,也可供大中专学校的师生参考。

0V68/20

S1240程控数字电话交换系统(中册)

硬 件 结 构

上海贝尔电话设备制造有限公司

责任编辑:覃春林

*

人民邮电出版社出版发行

北京东长安街27号

北京市印刷一厂印刷

新华书店总店科技发行所经销

*

开本:787×1092 1/16 1993年12月 第一版

印张:23.75 1993年12月 北京第1次印刷

字数:512千字 印数:1—11000册

ISBN7-115-05096-1/TN·640

定价:20.00元

编委会名单

主任委员：麦志强

副主任委员：陈芳烈

委 员：裘祖聿 冯大慈 朱其亮 顾重威

汤庭龙 李树岭 叶锦钊

前 言

S1240(在本书正文中简称 1240)程控数字电话交换系统,自 1985 年引进到我国公众电话网以来,不到十年间,发展非常迅速。截至 1992 年年底,各省、自治区和直辖市已开通投产的新建和扩容局所已达七百多个,共三百余万线。销售总量达七百余万线。从而确定了 1240 系统在我国公众网中的重要地位。

1240 系统是国际上第一套采取全分布控制方式的大容量程控数字电话交换系统。其优越性已在世界范围内得到验证。中国电话网的运行实践证明,该系统的工作稳定可靠,无全系统瘫痪之虞,话务负荷能力及忙时呼叫处理能力较高,便于在线扩容。

ELC 型是 1240 系统的第二代产品,包括有大中容量局(M/L)、小型独立局(SSA)及远端用户单元(RSU)等系列化产品,可以满足各种类型的长、市话局需要。高达四万门的市话局和两万余路端的长话局已在国内公众电话网投入运行。容量更大的长、市话局也将陆续开通。

为了适应 1240 系统迅速发展的形势,满足国内用户培训技术人员和日常维护管理的需要,特组织编写本套书。过去我们也有过这类图书,但由于多系国外原文版或国内翻译的培训教材,其内容不尽适合国内人员的水平,因而不能充分满足维护管理工作的实际需要。

本书共分三册。上册“系统总体介绍”,着重讲述了 1240 的硬软件系统结构、性能、技术指标及工作原理等基本知识,使读者对系统整体有较完整和全面的了解;中册“硬件结构”,按构成电话系统的各种功能模块,逐个说明其结构、组成和工作原理,对关键部件进行了详细剖析,并提供了主要技术数据和元器件排列,以满足日常维护调测的实际需要;下册“软件概论”,着重对系统软件的基本知识作简要讲述,其内容包括 CHILL 语言,数据结构,数据库,操作系统及软件生成等。

由于 1240 系统软件和硬件结构比较复杂,且在不断改进更新过程中,而本书编写历时较长,在此期间,软件和硬件都有些变化。加上大部分写作人员缺乏编写书稿的经验,谬误或疏漏之处,恐所难免,恳切希望广大读者及交换技术专家们对本书提出改进意见,不胜感谢。

参加本书的编写人员,除特邀的南京邮电学院陈锡生教授、北京邮电学院的王钟馨副教授、宋茂强副教授外,都是上海贝尔电话设备制造有限公司的高、中级工程技术人员和培训部部分年青教师,计有:

叶锦钊	宋树成	邬晓勤	郭浩根
谢玉琴	陈秋华	刘鹏程	沈毓文
王力衡	赵晓春	章倩	李晶
倪国树	李建红	梁灿文	陈建华

参加本书审校、定稿的教授,主任高工和高工,都是邮电部门的资深专家,计有:

袁祖聿	俞维扬	杨明干	汤庭龙
朱其亮	王钟馨	叶锦钊	

在此谨向各位作者、审稿专家以及为本书出版作出努力的所有同志致以深切的谢意。

本书编委会

1993 年 4 月

目 录

第一章 B 型终端控制处理机	1
1.1 概述	1
1.1.1 终端控制处理机的发展	1
1.1.2 TCPB 的特点	1
1.2 TCPB 的功能结构	2
1.2.1 V30 微处理机简介	2
1.2.2 存储器及输入输出端口	9
1.2.3 接口	19
1.2.4 综合处理机控制单元	31
1.2.5 中断系统和复位系统	38
1.3 TCPB 的应用	40
1.3.1 TCPB 板的型号	40
1.3.2 TCPB 存储空间安排	40
1.3.3 TCPB 总线选择	40
1.3.4 TCPB 电气特性	43
1.3.5 TCPB 的输入/输出信号	43
第二章 终端接口	45
2.1 引言	45
2.1.1 终端接口在 1240 交换系统中的地位	45
2.1.2 串行接口	47
2.1.3 并行接口	47
2.1.4 内部存储	47
2.2 标准串行接口	47
2.3 并行接口	49
2.3.1 控制总线	49
2.3.2 数据总线	49
2.3.3 地址总线	50
2.4 内部存储器	50
2.4.1 公用存储器	50
2.4.2 端口用寄存器	54
2.4.3 信道用寄存器	55
2.5 内部公用总线	57
2.5.1 并行同步信息接口	58
2.5.2 并行异步信息接口	58
2.5.3 并行非信息接口	58

2.6 信道状态.....	59
2.6.1 接收语音/数据信道状态	59
2.6.2 接收信道 0 状态.....	63
2.6.3 接收信道 16 状态	66
2.6.4 发送语音/数据信道状态	66
2.6.5 发送信道 0 状态.....	68
2.6.6 发送信道 16 状态	69
2.7 负确认和拒收机理.....	69
2.7.1 拒收机制.....	69
2.7.2 负确认机制.....	70
2.8 端口和信道命令的结构.....	70
2.8.1 接收端口命令.....	71
2.8.2 发送端口命令.....	75
2.9 端口及信道事件.....	79
2.10 终端接口的基本操作	80
2.10.1 信息包的接收和发送	80
2.10.2 单地址写入及取出(间接连通)	87
2.10.3 直接连通	87
第三章 数字交换网络	94
3.1 概述.....	94
3.1.1 DSN 功能	94
3.1.2 DSN 网络的结构	95
3.2 数字交换单元.....	97
3.2.1 DSE 的基本功能	97
3.2.2 DSE 的结构介绍	98
3.2.3 DSE 的交换原理	106
3.2.4 DSE 的外部特性	107
3.3 实用 DSN 连接因素	112
3.3.1 低话务方式	112
3.3.2 高话务方式	112
3.4 网络地址	114
3.4.1 模块在 DSN 中的网络地址的形成	114
3.4.2 DSN 内部的网络地址的形成	114
3.4.3 模块网络地址的应用	115
3.5 DSN 的维护及诊断	117
3.5.1 DSN 的维护机制	117
3.5.2 维护和诊断特性	119
3.6 网络的扩容	121
3.6.1 扩展步骤	121
3.6.2 免干扰	122

3.7 网络的性能	122
3.7.1 阻塞概率	122
3.7.2 过载的影响	123
第四章 模拟用户模块	124
4.1 概述	124
4.2 模拟用户模块的功能及其组成	124
4.2.1 功能	124
4.2.2 组成	124
4.3 模拟用户电路板	125
4.3.1 性能和特点	125
4.3.2 功能结构介绍	126
4.3.3 控制信号传送过程	137
4.3.4 话音信号处理过程	139
4.3.5 控制字格式	140
4.3.6 ALCB 印制电路板后板信号示意一览表	144
4.4 振铃电路印制板	148
4.4.1 性能及特点	148
4.4.2 功能结构介绍	148
4.4.3 RNGA 印制电路板后板信号示意一览表	150
4.5 测试存取单元	157
4.5.1 功能简介	157
4.5.2 TAUA 印制电路板后板信号示意一览表	158
4.6 机架告警板	162
第五章 服务电路模块	164
5.1 引言	164
5.2 多频信号简述	164
5.2.1 MFC 多频互控记发器信号	164
5.2.2 非互控 MFC 信号脉冲发送原理	165
5.3 数字滤波原理	165
5.3.1 检测原理	165
5.3.2 服务电路模块中的频率检测	168
5.3.3 理论上的进一步探讨	171
5.4 服务电路模块	174
5.4.1 工作简述	174
5.4.2 服务电路模块的规范要求	177
5.4.3 服务电路模块的框图	177
5.4.4 服务电路模块与数字交换网络的连接	178
5.4.5 服务电路模块一般工作流程	179
5.5 多频滤波器	181
5.5.1 输入电路	182

5.5.2	乘法器部分	185
5.5.3	累加器部分	185
5.5.4	滤波系数存储器	187
5.5.5	测试音	190
5.6	多频处理机	190
5.6.1	相关电路板间的接口原理	191
5.6.2	芯片处理机	192
5.6.3	程序存储器	195
5.6.4	数码分解器和标志信号电路	198
5.6.5	结果存储器	199
5.6.6	先进先出寄存器	199
5.6.7	音频信号生成	202
5.7	固件程序	206
5.7.1	概述	206
5.7.2	判别程序的功能	207
5.7.3	R_2 信号判别程序	207
第六章	数字中继模块	208
6.1	概述	208
6.2	数字中继板的功能	208
6.2.1	中继接口部分	209
6.2.2	逻辑部分	209
6.3	中继接口部分	211
6.3.1	2Mb/s 接口	211
6.3.2	外部时钟再生电路	212
6.4	数字中继逻辑	213
6.4.1	AMI/HDB ₃ 和 NRZ 间码型转换	213
6.4.2	再定时	213
6.4.3	帧同步的监视与检测	216
6.4.4	复帧同步的监视与检测(仅对随路信号)	218
6.4.5	格式转换(码率转换)	218
6.4.6	告警的检测与处理	220
6.4.7	DTKL 对信道 0 的处理	221
6.4.8	DTKL 命令和状态寄存器	221
6.5	随路信号 RAM	221
6.5.1	接收随路信号缓冲器	222
6.5.2	发送随路信号缓冲器	222
6.5.3	接收/发送信道内缓冲器	222
6.5.4	随路信号 RAM 和 TCE 之间随路信号信息的通信	223
6.5.5	DTKL 命令/状态寄存器	223
6.5.6	随路信号 RAM 中对信道 0 的处理	225

6.5.7 告警寄存器	225
6.6 随板微处理机系统	225
6.6.1 随板控制器	226
6.6.2 固件程序	226
6.6.3 OBC 随机存取存储器	227
6.6.4 定时器组	227
6.6.5 高级数据链路控制器	227
6.7 随板控制器接口	228
6.7.1 OBCI 总体介绍	228
6.7.2 OBCI 命令寄存器	231
6.7.3 OBCI 寄存器	232
6.7.4 并行接口	234
6.7.5 OBCI 命令	237
6.7.6 TCE 与 OBCI 间的信息包格式	240
第七章 时钟和音信号模块	244
7.1 概述	244
7.1.1 结构介绍	244
7.1.2 功能介绍	244
7.2 时钟和音信号模块的技术设计条件	247
7.2.1 时钟网络结构	247
7.2.2 等级型同步网络	247
7.2.3 抖动和漂移	248
7.2.4 相对时间间隔误差	248
7.3 时钟和音信号模块的技术性能	248
7.3.1 时钟	249
7.3.2 录音通知、音源和时刻	249
7.4 时钟和音信号模块的功能介绍	249
7.4.1 参考时钟控制板的功能介绍	251
7.4.2 中央时钟电路	253
7.4.3 数字信号发生器	256
7.4.4 数字录音通知单元简介	260
7.4.5 测试信号分析仪简介	261
7.4.6 时钟和音信号分配板	261
7.4.7 机架时钟板	262
7.5 时钟和音信号模块在系统运行中应注意的问题	264
7.5.1 运行中可能出现的故障	264
7.5.2 解决的方法和应注意的问题	264
第八章 维护与外设模块	266
8.1 概述	266
8.1.1 操作与维护的基本概念	267

8.1.2	维护与外设模块的结构及组成	267
8.1.3	维护与外设模块处理机间的通信	271
8.2	维护与外设模块硬件	272
8.2.1	C 型处理机板	272
8.2.2	直接存储信道处理机板	273
8.2.3	双端口存储器	283
8.2.4	磁带单元控制器	287
8.2.5	磁盘控制器	293
8.2.6	人机通信控制器	296
8.2.7	状态单元电路	304
8.2.8	主告警盘	308
8.2.9	告警灯驱动板	309
8.2.10	显示逻辑电路	311
8.2.11	维护架告警板	315
8.3	新旧版 M&P 模块的比较	320
第九章	模块控制单元	322
9.1	概述	322
9.2	模块控制单元的硬件结构	322
9.3	模块控制单元的应用范围	323
第十章	No. 7 公共信道信号模块	324
10.1	概述	324
10.2	CCSM 模块的基本功能和结构	324
10.2.1	基本功能	324
10.2.2	基本结构	326
10.2.3	信号终端与数据链路的连接方式	326
10.3	CCSM 模块的硬件功能	326
10.3.1	No. 7A 型规程板 (PROA 板)	327
10.3.2	公共通道控制器板 (CHCR 板)	331
10.4	PROA 板和 CHCR 板的固件	334
10.4.1	PROA 板的固件	334
10.4.2	CHCR 板的固件	342
10.4.3	CHCR 和 PROA 的接口	346
10.4.4	CHCR 和 TCPB 的接口	347
第十一章	远端用户单元接口模块	348
11.1	模块概述	348
11.2	RIM 模块的硬件结构组成	349
11.3	中继电路 DTRE	350
11.4	DTIC 电路	351
11.5	DTIC RAM	353
11.6	DTRE 信号工作方式	353

11.7 RIM 模块的软硬件特点	354
11.8 RIM 与 RSU 的呼叫建立过程	354
11.8.1 RSU 用户为主叫用户的接续	354
11.8.2 RSU 用户为被叫用户的接续	355
11.9 RIM 模块在系统中的应用	355
11.9.1 DTRE 印制板编号与用途	355
附录 1 TERI 板信号引脚	356
附录 2 SWCH 板背板信号表	359
附录 3 SWCH 板电气特性	363
附录 4 接头 A、B 信号	364

第一章 B 型终端控制处理机

1.1 概 述

在 1240 系统中,所有硬件模块都包含有相同结构的控制单元,控制单元(CE)是由终端控制处理机(TCPB)和终端接口及相关的存储器组成的。其中,终端控制处理机是控制单元的核心部分,它通过运行相应软件来控制整个模块的工作并实现与其他模块中软件的通信。TCPB 结构上是新一代的终端控制处理机。

1.1.1 终端控制处理机的发展

TCPB 是为了改进处理机的性能和提高印制电路板(PBA)的集成度而迅速开发出来的成果。

最初设计的 A 处理机(APRO)是以 Intel8085 为基础的原型机,但它不久被重新设计的 B 处理机所取代。

在 1240 系统中,第一个实际应用的处理机板是采用 Intel8086 微处理机的 B 处理机(BPRO),其工作时钟频率为 4MHz,它只能存取外面的 RAM(最多可用 4 块 256K 字节的存储器板,即 1 兆字节),内部只配备了 4K 字节的 PROM,并设有高速总线和低速总线接口电路以联系终端接口(TERI)或终端设备。BPRO 内部的控制由处理机控制寄存器(PCR)担任。

在 BPRO 的基础上研制出来了 TCPRO 和 CPRO。前者在 TCPRO 板上装有 128K 字节的 RAM,引进了集成的低速总线接口(PLSI)。而 CPRO 则除配备了 128K 字节的随板 RAM 外,其 PROM 容量达到 8K 字节,关键是采用了多主总线(MMB)来满足 M&P 模块设计中的特殊要求。

不久,TCPRO 又经过改进变成 TCPA(改进型终端控制处理机板),TCPA 的随板 RAM 增加到 1M 字节,所以一般就不再需要外部存储器。此外,还增加了一个处理机控制寄存器—EPCR(扩展型的处理机控制寄存器,并采用串行接口以便于操作员直接监控模块的工作,所以 TCPA 提高了处理机板的工作容量和处理能力。

最后改进成 TCPB,它实现了终端处理机板的质的飞跃,因为它采用了新型的微处理机—V30(70116),它综合了 TCPA 和 CPRO 的优点和特点。

1.1.2 TCPB 的特点

1. TCPB 引用了新型的微处理机—V30

V30(NEC 70116)是和 8086 兼容的,它采用了 CMOS 工艺,并改进了某些硬件和软件,其工作时钟频率提高到 8MHz,从而使它的运算速度比 8086 高 40%,它的指令系统比 8086 更为高级,且功能更强,所以 V30 的引用是终端处理机性能上引人注目的改进。

2. TCPB 的性能强

TCPB 具备了各种处理机板的所有的功能(除双端口存储器外),可根据不同模块的设计要求适应用为单主工作方式或多主工作方式,既可通过高速总线连接 TERI 和终端设备,亦可通过多主总线和其他处理机共享终端设备和存储器。它可处理各种类型的中断,能实行存储器写保护和汉明码(Hamming)校验。TCPB 还能通过串行接口用作模块和 VDU 的直接通信,此外 TCPB 还能提供告警输出接口和测试接口。

3. TCPB 集成度高

TCPB 采用了两种专用集成电路芯片,即综合处理机控制单元(IPCU)和处理机低速总线接口(PLSI)。IPCU 几乎包含有 TCPB 板内各种设备的全部控制功能。

1.2 TCPB 的功能结构

TCPB 板包含:

- V30(70116)微处理机
- 82C59 可编程中断控制器(PIC)
- 82C54 可编程间隔计时器(PIT)
- 16K 字节 EPROM
- 1M 字节随板 RAM
- 1KX1 位写保护 RAM
- 总线接口缓冲器
- 地址译码和设备选择电路
- IPCU 集成芯片,可提供:
 - * 82C84 时钟发生器
 - * 处理机控制寄存器(PCR)
 - * 扩展型处理机控制寄存器(EPCR)
 - * 总线仲裁器(只用于多主方式)
 - * 总线控制器
 - * 串行接口(SI)
 - * 存储器存取控制逻辑
 - * 存储器错误检验和更正逻辑(EDC 逻辑)
 - * 存储器存取仲裁器
 - * 测试接口
- PLSI 集成芯片(在不用低速总线时,省略 PLSI)
- 告警输出接口
- 系统复位电路

TCPB 的结构如图 1-1 所示。

1.2.1 V30 微处理机简介

V30 兼容 8086,两者大部分硬件构造和软件功能相同而速度更快,功能更强,集成度更

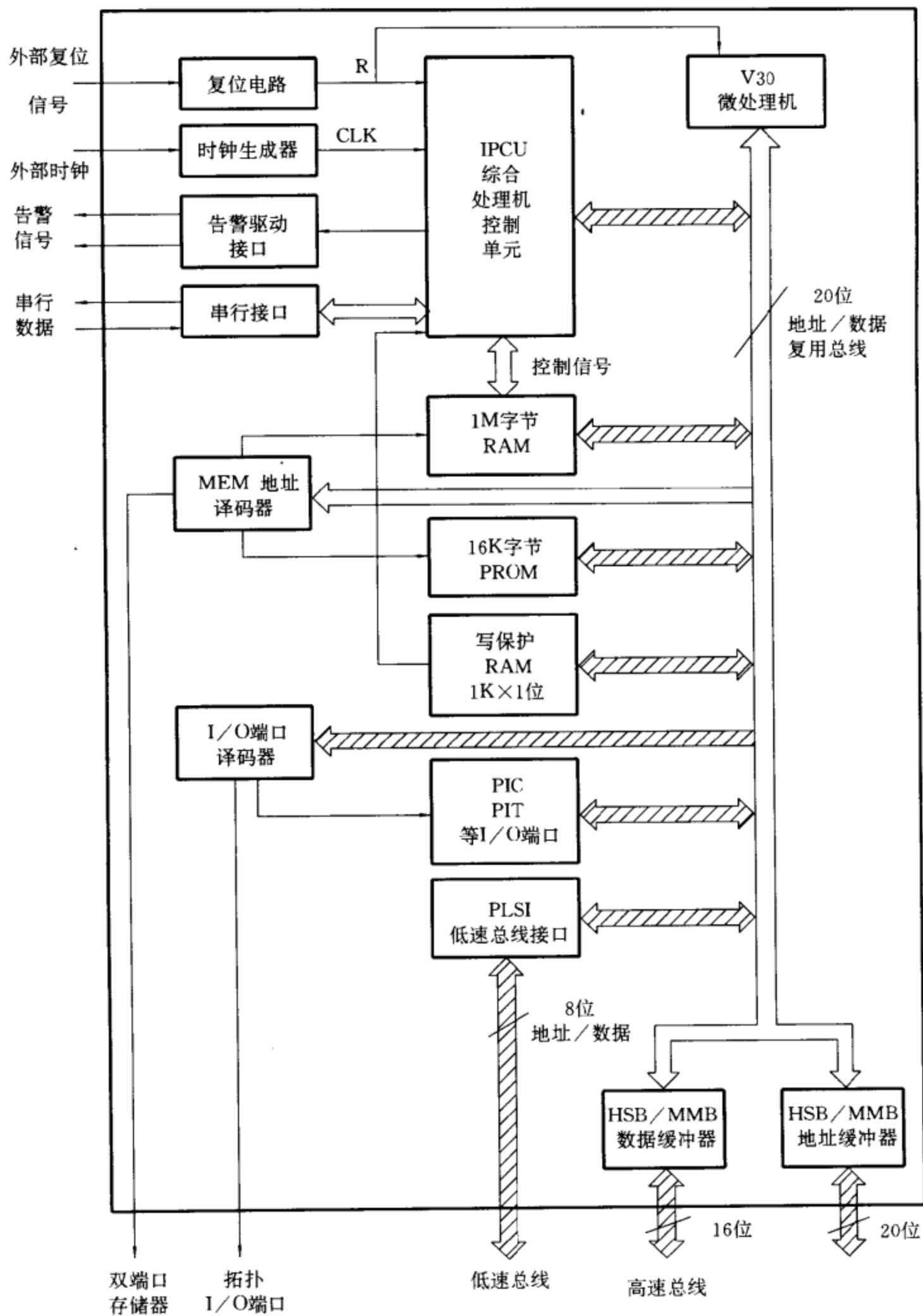


图 1-1 TCPB 结构图

高。

1.2.1.1 V30(70116)硬件组成

V30 是一块有 40 插脚(针)的集成芯片,它采用 CMOS 工艺来提高集成度,工作时钟频率高达 8MHz,也可选用低时钟(4MHz),可由外部跳线(SLOW)的电平值决定(SLOW=0 表示用低时钟)。V30 由三个工作单元组成:执行单元(EU)、总线控制单元(BCU)和时钟控制逻辑(T/C 逻辑),其结构如图 1-2 所示。

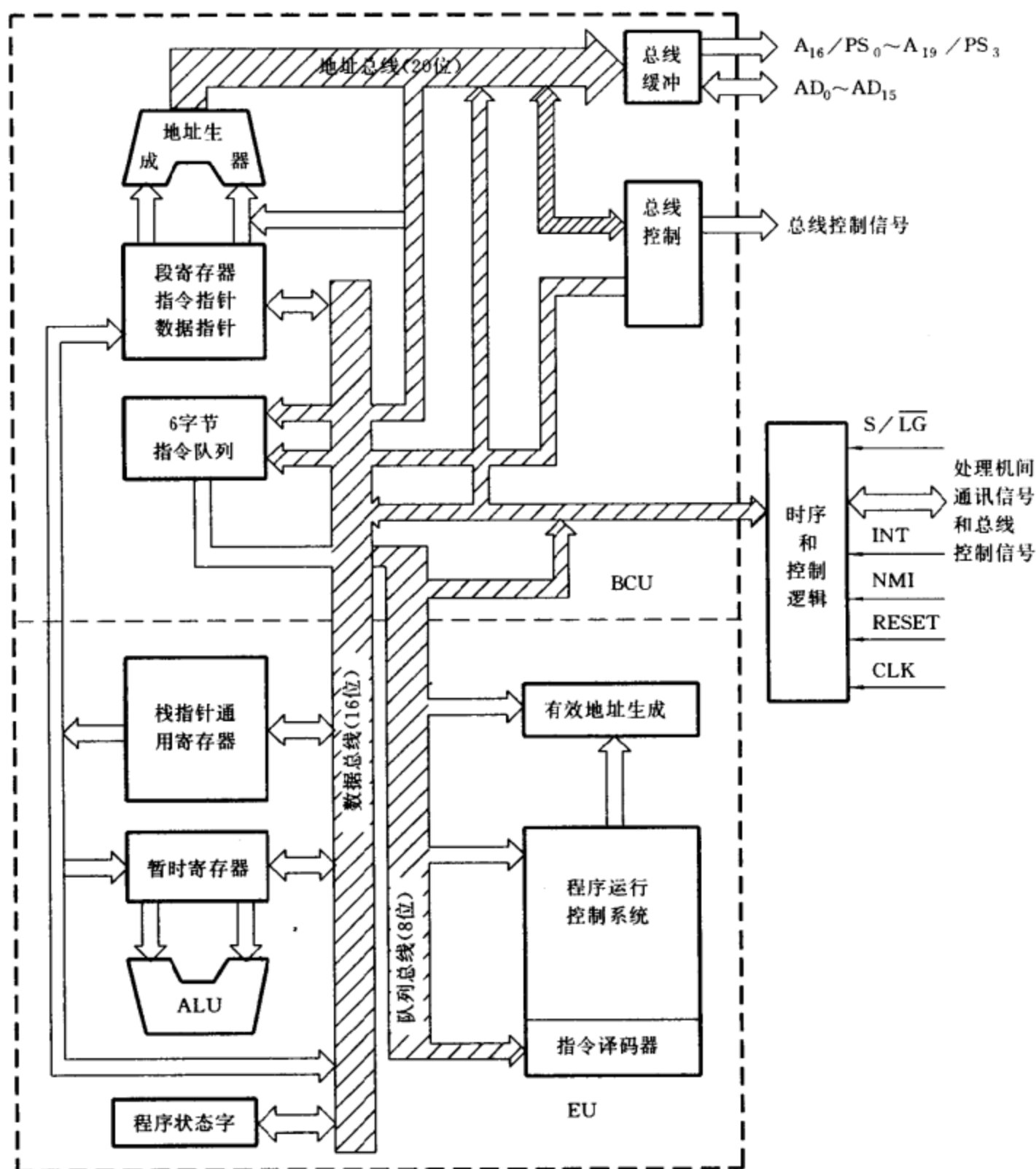


图 1-2 V30 处理机结构图

1. 执行单元(EU)负责执行指令、数据运算等工作,它包含一些通用寄存器、算术逻辑运算器(ALU)和程序运行控制系统,而从存储器中提取指令的工作则是由 BIU 完成。BIU 和 EU 能并行处理取指令和执行指令,故大大提高了工作效率。

2. 总线控制单元(BCU)负责存储器和输入输出端口的存取,并控制总线工作,它包含一些专用寄存器和总线控制逻辑。V30 的处理机总线采用时分复用原理,这 20 位复用总线分配如下:AD₀—AD₁₅为地址/数据信号复用,A₁₆/PS₀—A₁₉/PS₃为地址/状态信号复用,所以有 20 位的地址可寻址 1M 字节的存储空间和 64K 字节的独立输入/输出端口,能并行处理 16 位数据信号,也可用 8 位的字节操作。这种复用性能要求每次存取至少占用 4 个时钟周期(T₁—T₄),T₁ 存放地址,T₂—T₃ 读/写数据,T₄ 结束本次存取操作,详见图 1—3。该复用性能要求增

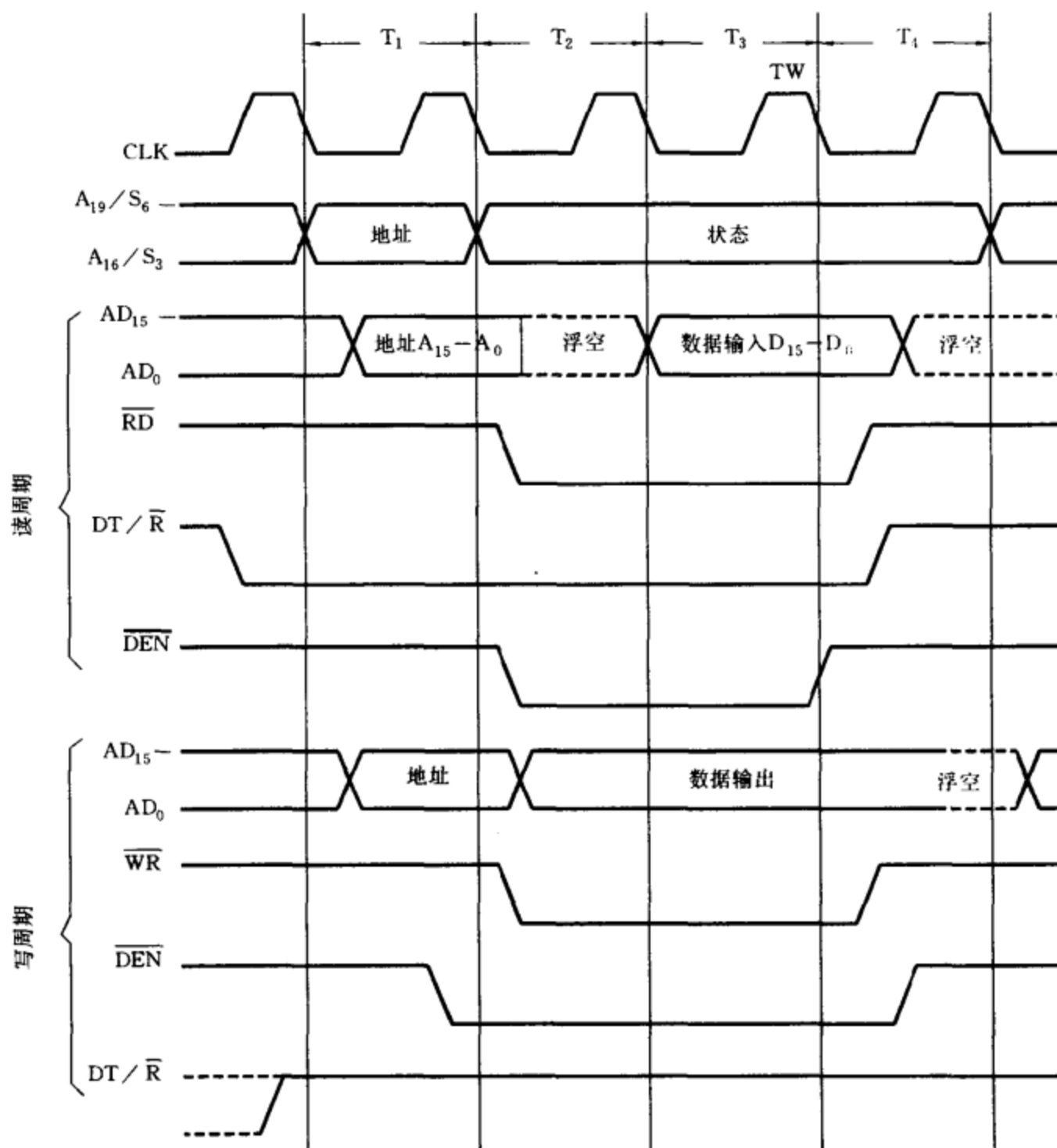


图 1—3 V30 总线周期图

加地址锁存器和数据收发器等缓冲设备,详见图 1—4。

3. T/L 逻辑可实现定时和控制功能,提供和外界通信的信号。

V30 有两种工作方式:最小方式和最大方式,前者指单个处理机独立有存储器和终端设备,后者指多个处理机共享系统资源。在 TCPB 中,V30 采用后一种方式(置 S/LG="D"),此时 T/C 逻辑代替 BCU 提供总线控制信号,然后由 IPCU 的总线控制器解释这些信号以直接