

多晶硅发射极晶体管及其集成电路

● 王限元 张利泰
赵宝琛 等 编著

● 科学出版社

78.732
122

多晶硅发射极晶体管 及其集成电路

王阳元 张利春 赵宝瑛 等 编译

科 学 出 版 社

(京)新登字 092 号

内 容 简 介

本书收集了多晶硅发射极晶体管及其集成电路方面的学术论文 41 篇,全面介绍了多晶硅发射极技术的理论、工艺和应用。全书分为四部分。第一部分综述多晶硅发射极技术的历史和发展趋势;第二部分介绍多晶硅发射极晶体管的主要理论模型;第三部分介绍多晶硅发射极晶体管的主要实验结果;第四部分介绍与多晶硅发射极技术有关的工艺及应用。

本书可供从事半导体器件及集成电路研制和设计的科技人员参考,也可作为微电子学专业高年级学生及研究生的学习参考书。

0t02/32

多晶硅发射极晶体管 及其集成电路

王阳元 张利春 赵宝瑛 等 编译

责任编辑 魏 玲

科学出版社出版

北京东黄城根北街 16 号

邮政编码: 100707

北京市怀柔县黄坎印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1992 年 3 月第 一 版 开本: 850×1168 1/32

1992 年 3 月第一次印刷 印张: 18

印数: 1—1730 字数: 477 000

ISBN 7-03-003355-8/TN·135

定价: 18.30 元

编 译 者 序

毫无疑问,自1948年晶体管发明以后,20世纪50年代末硅平面工艺技术的诞生是集成电路发展史上的重要里程碑,它为今天的集成电路工业奠定了基础.30多年来,在硅平面工艺的基础上又产生了许多新工艺、新技术,正是这些新工艺、新技术推动着集成电路持续高速的发展.60年代末70年代初,多晶硅栅在MOS集成电路中的应用以及自对准硅栅技术的发展,使MOS集成电路跃上了一个新的台阶,多晶硅栅技术也成为70年代MOS集成电路工业生产的主流技术.进入80年代,多晶硅栅与难熔金属硅化物相结合所产生的自对准多晶硅/硅化物复合栅技术也已成为当今亚微米MOS超大规模集成电路的一种基本结构和基本工艺.

与MOS集成电路的发展相适应,70年代中期出现的多晶硅发射极技术也使硅双极集成电路产生了一个新的飞跃.

多晶硅发射极技术起源于70年代初期.1972年Takagi等人把多晶硅薄膜用作双极型晶体管发射极的掺杂扩散源和发射极引线.1974—1975年期间,Graul等人发展了一种称之为“POLYSIL”的重要的多晶硅发射极技术,他第一次获得了具有高发射效率和高增益的多晶硅发射极晶体管.经过近20年的发展,多晶硅发射极技术已成为硅双极集成电路的主流技术和各种新的双极集成电路的基础技术.

多晶硅发射极技术对双极集成电路的影响与多晶硅栅技术对MOS集成电路的影响非常类似,而且,在BiCMOS技术中它们还将汇合在一起.这两种技术的进一步发展都将与难熔金属硅化物相结合.可以明确地说,这将为BiCMOS工艺技术的发展提供一个很好的技术平台.

然而,我们不无遗憾地指出,在我国,虽然(相对地说)多晶硅栅技术在MOS集成电路中得到了比较广泛的应用,但多晶硅

发射极技术却一直没能应用于双极集成电路的工业生产中，这就使我国的双极集成电路技术基本上仍处于国际 70 年代中期的水平，与 MOS 集成电路技术相比，它处于更为严重的落后状态。对多晶硅发射极技术的研究，虽然有一些实验室工作或研究开发工作，但也是零星而不系统的，有的虽称之为多晶硅发射极集成电路，但并不是真正的多晶硅发射极，实际上只不过是把多晶硅当作发射极掺杂扩散源和发射极引线来用而已。

基于上述情况，根据专家们的建议，国家有关部门决定把多晶硅发射极超高速集成电路的研制列为“八五”重点科技攻关项目，并具体落实于北京大学。北京大学曾经是我国第一支多晶硅栅 N 沟道 MOS 大规模集成电路（1024 位 MOS 随机存取存储器）的诞生地，也是我国多晶硅栅技术的发源地之一。近年来，在推广应用硅栅 N 沟道技术的基础上，北京大学微电子学研究所多晶硅薄膜物理和与 N 沟道相联系的 MOS 绝缘层物理方面开展了比较系统和深入的研究工作，取得了一批重要成果。现在承担“多晶硅发射极超高速集成电路”这项科学技术攻关任务，也在客观上为该校的科技人员创造了条件，使他们可以在多晶硅栅、多晶硅发射极这两个毗邻的技术领域中比翼齐飞。

为了更好地掌握多晶硅发射极技术，在开展科技攻关的同时，我们酝酿了出版两本书的计划：一是与科技攻关的调研工作相结合，写一本比较系统地介绍多晶硅发射极晶体管的理论和工艺技术的书，以使我们对它的历史和现状有更全面和深入的了解；二是准备在“八五”科技攻关的基础上，写一本关于多晶硅发射极超高速集成电路方面的书。前者以介绍他人工作为主，尽量包括一部分我国科技人员的工作；后者则以总结自己工作为主，注意综合和参考他人的工作。就在这个时候，我们从 IEEE 出版的新书中发现了《多晶硅发射极晶体管》一书，这自然为我们实施第一个计划提供了有利的条件。该书出版于 1989 年，所选多系 1988 年以前的材料，因此我们决定采取编译的形式，即以该书为基础，删除个别“旧”的内容，增加一些“新”的进展，以尽可

能包括近年来有代表性的工作，并参考该书的基本结构框架，编成本书。本书分为综述、理论、实验和工艺技术四个部分，包括论文 41 篇，其中第一部分介绍多晶硅发射极技术的发展历史和方向；第二部分介绍多晶硅发射极晶体管的理论模型，包括目前国际上比较公认的“迁移率阻碍”和“界面氧化层势垒”两个理论模型，以及将这两个模型结合起来统一考虑的综合模型；第三部分介绍多晶硅发射极晶体管的各种实验结果；第四部分介绍多晶硅发射极集成电路的自对准和超自对准、氧化物隔离和沟槽隔离，以及硼、砷同时掺杂等各有关工艺。

参加本书编译工作的主要是“多晶硅发射极超高速集成电路”课题组的部分人员。其中赵宝瑛副教授做了大量工作，他负责全书的初校、初审和整理工作，并承担了部分论文的编、译、校任务。担任各论文译、校工作的主要是博士生马平西和硕士毕业后留校任教的钱钢，多晶硅发射极超高速集成电路曾是他们学位论文的主要领域，现在他们仍在从事着与此有关的工作。全书最后由我们进行修改和定稿。

我们谨以此书献给奋斗在我国微电子科学技术和工业战线上的朋友们和同事们，希望能对他们从事的生产、教学和科研工作有所帮助。希望本书的出版能对多晶硅发射极技术的推广应用有所促进，即使这些帮助是微薄的，促进是微小的，那也是对我们劳动的最有意义的回报。

这里，我们特别要提到姜均露教授，衷心感谢他对本书的关注和支持。

我们的研究生何美华和陈铸在全书的整理工作中做了大量工作，谨向他们表示深深的谢意。

由于科研任务紧迫，编、译、审校的时间比较仓促，再加上我们水平所限，恐难达到读者对文章“信、达、雅”的要求，不当之处希望同行和读者批评指正。

王阳元 张利春
于北京大学

目 录

综 述

双极技术发展趋势·····	3
多晶硅发射极双极晶体管的理论和实验·····	24
亚微米与亚半微米双极技术·····	58

理 论 模 型

SIS 隧道发射: 薄界面层发射区理论 ·····	75
发射极接触对硅双极器件电流增益的影响·····	88
界面层在多晶硅发射极双极晶体管中的作用·····	96
多晶硅发射极双极晶体管的解析和数值综合模型·····	114
多晶硅发射区的热离子发射-扩散模型 ·····	143
不连续类氧化层界面多晶硅发射极晶体管理论模型·····	149
多晶硅发射区中的少数载流子注入理论·····	165

实 验 研 究

砷注入多晶硅发射极高性能晶体管·····	177
多晶硅发射极晶体管实验结果和理论结果的比较·····	185
具有薄界面氧化层的多晶硅发射极的电导机制·····	202
具有多晶硅隧道结发射区接触的高增益双极晶体管·····	210
少数载流子在多晶硅/单晶硅界面传输的实验研究·····	227
多晶硅发射极双极晶体管中增益的增强和基区掺杂之间 折衷关系的研究·····	251
多子和少子在多晶硅发射区接触中的传输·····	270
砷和磷掺杂的多晶硅发射极晶体管的发射极电阻·····	279
人为生长界面氧化层的多晶硅发射极晶体管的发射极电 阻与电流增益的折衷关系研究·····	286

多晶硅接触的 n^+-p 结中界面的扩散势垒和电学势垒的关系	292
超大规模集成电路中双极晶体管多晶硅发射极接触的物理、 技术和模型	303
砷和磷掺杂多晶硅发射极双极晶体管实验结果与计算结果的 比较	337
薄界面氧化层对硅双极器件电学性能的影响	353
多晶硅发射极双极晶体管中界面氧化层热稳定性的研究	363
多晶硅薄膜氧化动力学	382
集成电路中多晶硅薄膜载流子迁移率的实验研究和理论模型	396
多晶硅发射极接触双极晶体管的发射区和基区渡越时间	407

工艺技术与应用

一种先进的高性能沟槽隔离自对准双极技术	425
采用硼砷多晶硅工艺的高速双极技术的工艺和器件特性	441
HE工艺:一种用于模拟和数字电路的先进沟槽隔离双极技术	461
以ZrN作掩模和用SF ₆ 作反应气体的深槽刻蚀工艺	469
先进高性能ECL电路中沟槽隔离电容按比例缩小性质的研究	472
BSA:基区结深小于0.1 μ m的双极晶体管技术	483
先进的自对准双极晶体管的穿通特性	489
先进窄发射区双极晶体管的尺寸缩小对瞬态特性的影响	502
采用超自对准工艺技术制作30ps的硅双极集成电路	512
双极VLSI中的自对准多晶硅发射极晶体管	524
单层多晶硅自对准基极和亚微米发射极接触的高速双极技术	537
纵向隔离自对准晶体管——VIST	543
3GHz的横向pnp晶体管	555
73GHz自对准锗硅基区和磷掺杂多晶硅发射极双极晶体管	562

综 述

双极技术发展趋势

T. H. Ning D. D. Tang

1. 引言

近几年来推动着硅技术迅速发展的主要技术是 MOS 技术, 尤其是 CMOS 技术, 这一点是不容置疑的. 但是, 人们对双极技术前沿工作的迅速进展却缺少应有的了解. 图 1 示出了每芯片上双极逻辑电路数目的增长情况, 从中可以看出集成度随着多层互连技术的提高而增长, 这是由于芯片上被连接的电路的数量是由有效走线长度决定的. 图 2 反映了双极存贮器的发展. 通过采用横

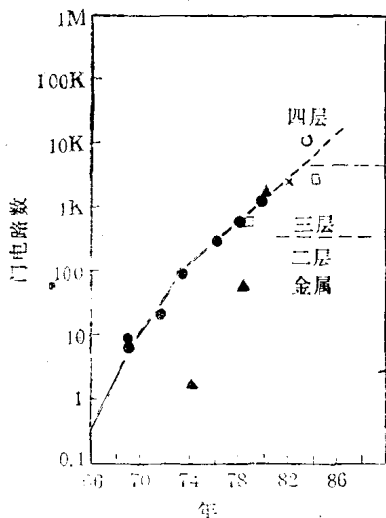


图1 双极逻辑集成电路芯片的发展水平^[1-5], 虚线标明设计中所用金属层的数目. 由图中实三角^[4]所示可以看出, 集成度的增长速度相当快

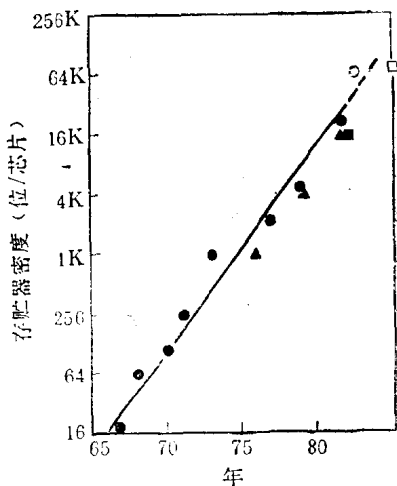


图2 双极静态存贮器集成电路芯片的发展^[8-10]

向 pnp 负载器件和深槽隔离技术，有可能提高存贮器位密度，或者说减小存贮单元尺寸。很明显，双极逻辑电路和存贮器两个领域一直在持续发展着。

判断器件技术进步的一个有效方法是观察由相应器件组成的环形振荡器电路的速度。图 3 示出了 ECL 和 NTL 环形振荡器速

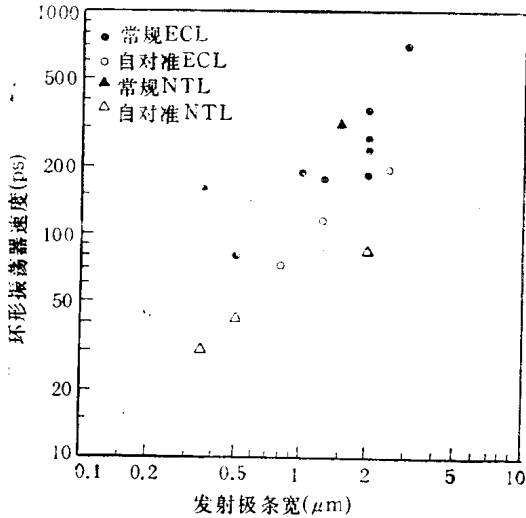


图 3 双极 ECL 和 NTL 环形振荡器速度与发射极条宽的函数关系 (根据文献[4, 5, 11-14]绘制)

度与器件发射极条宽的函数关系。它表明自对准器件的速度比常规非自对准器件的速度快得多。自对准器件结构的方案有多种^[11-20]，其中最流行的一类是采用多晶硅基极接触的方法。此外，所有的高速硅双极器件都用多晶硅发射极接触以得到浅纵向剖面分布。图 4 是一个先进的双极器件的结构图，它显示了三个关键的技术特征：自对准基极接触（这里用了多晶硅）、深槽隔离和多晶硅发射极接触。双极技术发展采用多晶硅的自对准技术，其重要意义决不亚于十多年前 MOS 技术从铝栅发展到硅栅的进步。它不仅使得双极器件的尺寸按比例缩小到亚微米范围，逻辑门延迟时间降低到 100ps 以下^[14, 21]，存贮器存取时间减少到亚毫微秒^[22]，而且也有可能把双极器件用到每秒千兆位通讯系

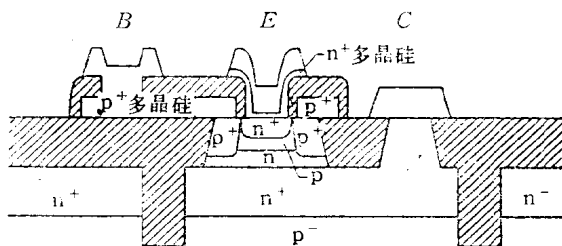


图4 先进双极器件剖面图^[14]

统和高密度超大规模集成电路中去^[24, 25]。

已有很多文章评述最近硅双极技术的高速发展^[10, 16, 27]，其中有一篇很好的文章，它把双极器件与其它高速半导体器件作了对比^[28]。本文将讨论深槽隔离自对准双极结构的器件和工艺问题，考察这些器件按比例缩小到亚微米尺寸时出现的困难，只有了解这些问题和困难，我们才能讨论可能解决这些问题的技术措施，从而确立今后的研究方向。

2. 常规双极器件按比例缩小的问题

图5示出了一个设计合理的典型的非饱和型双极电路的延迟-功耗特性。低功耗时，延迟时间由引线和器件的寄生电容决定，而且延迟时间随门电流的增大而减少。最小的延迟时间由少子电荷量决定，少子电荷量随电流增加而增加。基区扩展效应或 Kirk 效应也可能使电路延迟时间随功耗增加而增加，但通过调整集电区掺杂分布可以使其影响减至最小，所以这个效应在这里可以忽略^[29]。双极器

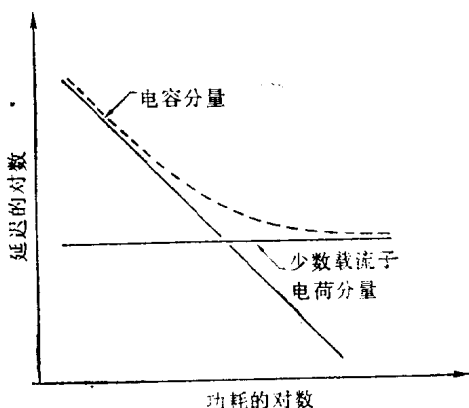


图5 典型双极逻辑电路的延迟-功耗特性。
假设基区扩展分量可忽略

件按比例缩小的中心思想是协调减小纵向掺杂剖面分布和横向平面尺寸,以使对延迟时间有影响的所有重要因素都或多或少地按比例减少。

图 6 给出了 $1\mu\text{m}$ 常规非自对准双极器件与 $1\mu\text{m}$ 沟槽隔离自对准双极器件的寄生电容和寄生电阻的比较。总的看来, 常规双极器件的寄生电容是很大的, 要使电路速度提高到接近于由少子电荷量限制的水平, 必须消耗相当大的功率, 这就是为什么双极电路常常和高功耗相联系的原因。

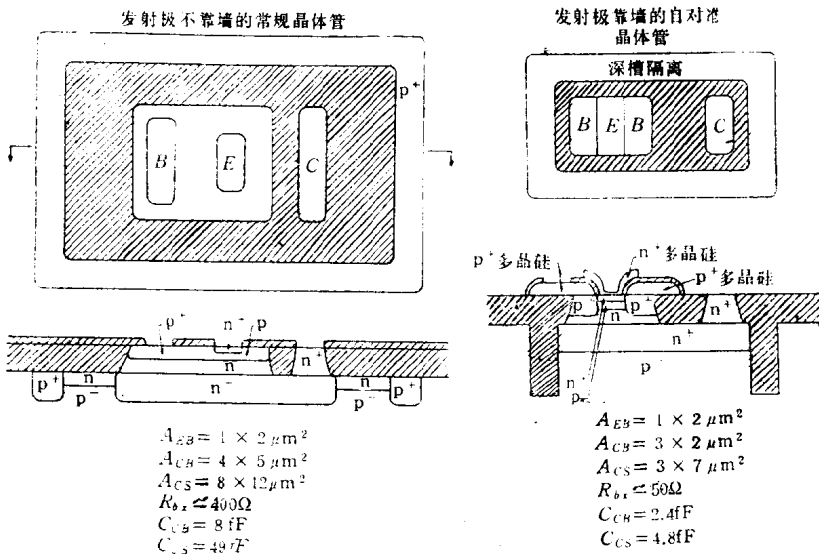


图6 常规双极器件与沟槽隔离自对准器件寄生效应的比较

减小常规双极器件纵向掺杂剖面分布面临两个问题。第一，器件的内基区和外基区通常是在同一次硼注入或硼扩散工序中形成的，对于基区结深大于 $0.5\mu\text{m}$ 的情况，外基区方块电阻通常在 $400\sim 1\,000\Omega/\square$ 的范围。对于基区结深远小于 $0.5\mu\text{m}$ 的情况，外基区方块电阻很容易达到每方块千欧姆数量级，这样的阻值对高速电路是太大了。解决这个问题的一般方法是对外基区增加一次掩蔽注入，以调整外基区的掺杂浓度。采用这种分别注入的技

术可以把外基区的方块电阻做到 $100\text{--}200\Omega/\square$ 。第二,用通常的扩散或注入工艺形成发射结和基区结,基区宽度等于二者结深之差。基区宽度减小,发射区结深也必须按比例减小,这样才能把基区宽度控制得窄并保证重复性。遗憾的是,当发射区结深减少到 200nm 或 200nm 以下时,少子扩散长度就比发射区结深大,结果使电流增益大大减少^[31]。为保证电流增益,设计师们常常采取减少器件的内基区掺杂浓度的方法,这将使内基区电阻率明显增加,发射极-集电极穿通电压降低。这种不兼容的设计要求大大限制了常规双极器件按比例缩小的能力。

3. 先进双极器件按比例缩小的问题

正如在第1节中所讨论的,先进的双极器件都具有下述三个关键特征中的一个或几个特征:自对准结构、深槽隔离和多晶硅发射极接触。自对准结构和深槽隔离大大减少了器件面积和相应的寄生电容,因此显著地减小了双极电路的功耗-延迟积并提高了电路密度。尽管对于多晶硅发射极接触的确切机制的看法还不尽一致,但实验证据已经明确地表明,采用多晶硅发射极接触,可以使双极晶体管纵向按比例缩小,这既改善了电路性能,又不致于显著地影响电流增益。今后双极技术的趋势是研究实现自对准结构、深槽隔离和多晶硅发射极接触的各种方案,这些方案不仅要技术上可行,还必须能适合于高速和高密度电路。本节的下面部分将详细讨论每一个关键技术的优点和要求,目的是为了指出今后研究开发工作的重点。

3.1 自对准器件结构

一般说来,随着光刻系统套刻精度的改善和工艺中线宽公差减小,自对准工艺相对于非自对准工艺的长处将变得不太重要。对于 $1\mu\text{m}$ 工艺,光学分步重复曝光系统对准精度大约是 $\pm 0.4\mu\text{m}$ 并可望最终达到 $\pm 0.1\mu\text{m}$ ^[32],线宽公差大约是 $\pm 0.3\mu\text{m}$ 。但目

前的实际状况是，套刻精度和工艺公差还很大，因而自对准技术具有明显的优越性。所以有理由认为，在近期自对准工艺仍然是双极器件技术的发展方向。

到目前为止，所报道的自对准双极结构中，最先进和最理想的是所谓对称结构^[19]或侧墙-基区-接触结构（SICOS）^[13]，如图7所示。由于外基区下面有埋氧化层，所以 npn 器件有最小的集电结电容。该器件工作在向下模式（downward）和向上模式（upward）时，它们的 $I-V$ 特性可以比拟，但向下模式工作时的速度要比向上模式的高。

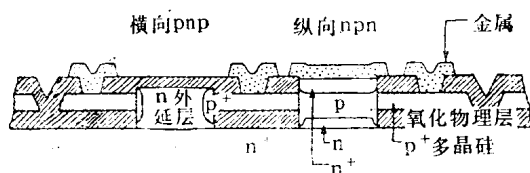


图7 对称（或 SICOS）双极器件结构示意图

所有报道的自对准双极工艺^[11, 13-22]都对外基区的掺杂进行独立调整，它与内基区掺杂无关，其中文献[11, 13, 14, 17, 19]中讨论的工艺，是在工艺流程的后部形成内基区，这样的工艺有利于产生很浅的发射结和集电结。还有一些工艺，在内基区形成之后还进行长时间的热处理，这样的工艺将不利于形成重复性好的非常窄的基区宽度。这一点将在下面结合多晶硅发射极接触进一步讨论。

高速电路中一个重要的器件参数是基区电阻，它有两个分量，内基区电阻 R_{bi} 和外基区电阻 R_{bx} 。内基区的掺杂浓度必须足够高以避免穿通，但又不能太高以免造成电流增益不足，一般要求内基区方块电阻大约为 $10\text{k}\Omega/\square$ 或再小些^[30]。对于确定的发射区条宽，常常采用长的或梳状的发射区图形来减小 R_{bi} 。

对于图4所示的采用多晶硅作基极接触的自对准器件， R_{bx} 是多晶硅薄层电阻的函数。对采用 300nm 厚的多晶硅， R_{bx} 的测量

结果大约为 $50\Omega^{[33]}$ 。在亚微米工艺中, 为避免表面问题, 要减薄多晶硅, R_{L} 将随之增加。当然可用硅化物或多晶硅/硅化物的复合层来代替多晶硅以解决这个问题。目前, 除了关于在接近最后的工序中“PSA”和“APSA”工艺^[16]在多晶硅上形成 PtSi 的报道外, 研究硅化物自对准双极器件的文章还很少。这个范畴的工作确实需要进一步发展和努力。

尽管目前实现自对准器件结构的方案很多^[11, 13-22], 但它们的寄生电容都差不多同样低。所以凡是纵向掺杂剖面分布和外基区方块电阻指标相类同的自对准器件结构, 其器件特性和电路性能都不相上下, 至少对高速电路是如此。因此研究的重点将是减少工艺复杂性和提高成品率。

3.2 深槽隔离

深槽隔离技术对存贮器的影响最大。这就是深槽隔离技术早期大都应用于存贮器设计的原因^[10, 12, 34, 35]。然而, 深槽隔离技术也提高了逻辑电路的速度^[12, 14]。

深槽曾用氧化硅填充, 或先衬氧化硅层和(或)氮化硅层, 然后填充多晶硅^[12, 14, 34]。从概念上讲, 填充多晶硅的沟槽必须足够宽以便能够形成绝缘衬层, 所以这种沟槽不能做得比氧化层填充的沟槽窄。但是, 只要沟槽不是过宽, 极窄沟槽的优越性并不明显, 因而努力方向不是追求亚微米的窄沟槽, 而是要减少工艺复杂性和提高成品率。

在早期的实验当中, 隔离槽不邻接器件有源区^[14, 34]。基区和发射区邻接深槽显然可以提高集成密度, 尤其是在高密度存贮单元设计中, 我们必将看到基区和(或)发射区邻接隔离槽的研究成果。

深槽隔离技术中应注意的问题是避免产生可能使器件失效或成品率降低的缺陷。对于造成器件失效的缺陷问题, 目前已基本解决, 这一点可以从深槽隔离的双极 SRAM 已经做到 64K 位水平这一事实得到证明。关于成品率问题, 不仅从双极技术研究领