

# 采用位片器件的 数字系统设计

[美] G. J. 迈尔斯 著  
葛银林 武振东 阎世尊 译  
侯朝煊 校

新 时 代 出 版 社

025092

1  
1

712-1  
MES/1



# 采用位片器件的数字系统设计

[美] G.J. 迈尔斯 著

蒋银林 武振东 阎世尊 译

侯朝焕 校



~~025002~~

0026651

新 时 代 出 版 社



## 内 容 简 介

本书从LSI位片逻辑电路的基本概念出发,结合微程序控制的概念,介绍了各种位片器件及其前景、微指令设计、各种支援器件、可编程逻辑、微程序支援工具和固件工程。本书对有些厂家生产的各类位片器件的优缺点作了较全面的评述,对于应用这些器件构成系统作了详细的说明。

本书由浅入深,系统性强,可供从事信号处理机、控制系统和计算机等数字工程设计的科技人员阅读,也可作为大专院校有关专业师生的参考书。

*JSS4105*

DIGITAL SYSTEM DESIGN WITH LSI BIT-SLICE LOGIC.

Glewford J. Myeps

John Wiley & Sons, Inc. 1980.

\*

### 采用位片器件的数字系统设计

〔美〕G. J. 迈尔斯 著

蒋敏林 武振东 阎世尊 译

侯朝焕 校

---

新时代出版社出版 新华书店北京发行所发行

国防工业出版社印刷厂印刷

787×1092毫米 16开本 16.5印张 378千字

1986年4月第1版 1986年4月北京第1次印刷

印数: 0,001—2,670册

---

统一书号: 15241·71 定价: 3.40元

## 译 序

随着半导体技术的飞速发展，数字工程已经进入了第四代——大规模集成电路的时代。第一代数字电路的积木块由电子管、晶体管等分立元件组成。第二代数字工程的积木块发展成为集成电路，每块集成电路包含 10~50 个基本元件，能实现“与”和“或非”等逻辑功能。第三代数字工程积木块发展为中规模集成电路，每块集成电路约包含 50~200 个基本元件，构成寄存器、计数器、多路转换器、算术和逻辑运算单元等单片器件。近十年来，数字工程已进入第四代，积木块发展成为大规模集成电路，它在一个单片上包含了数万个基本元件，可构成大容量存储器、微处理机和位片器件。它们使数字工程的面貌完全改观。

位片器件是一类高速 TTL 大规模集成电路，它与微处理机是根本不同的。微处理机是一种 LSI 器件，它是一种存储程序的计算机的心脏部分。在微处理机芯片上有 ALU（算术逻辑运算单元）、各种寄存器、用于指令译码与控制的时序逻辑网络，并常常带有少量存储器。微处理机有一个固定的简单指令系统。大多数微处理机是由 MOS 工艺制造的。位片器件可以被用作计算机部件，但它本身不能执行程序，所以位片器件本身不能实现计算机功能。位片器件是一种 TTL 的高速器件，它能够而且已经用来作为高速数字系统的部件。位片器件所组成的系统较微处理机有更大的灵活性，它不仅用于构成中央处理机或指令处理机，在设计输入/输出通道和磁盘控制器等方面也有应用。由位片器件片间的相互连接，可以形成各种不同宽度的逻辑电路，因而位片器件可以灵活地组成不同字长的数字系统。

当前，在国外已将大量的位片器件应用于计算机、控制机和信号处理机中，在国内也有不少单位已经使用位片器件构成高速的数字系统。但有关位片器件方面的文献和书籍却非常之少。本书是难得的一本系统介绍位片器件的书，我们将本书翻译出来，是希望为促进我国的位片器件之应用和发展作点贡献。

本书共分九章：第一章介绍位片逻辑电路的概念。由于位片逻辑电路和微程序控制是紧密联系的，所以第二章介绍微程序控制的概念。第三章和第四章介绍了一些厂家生产的位片器件，并对其性能特点作了比较。第五章介绍微指令设计。第六章介绍各种支援器件。第七章介绍可编程逻辑。第八章介绍微程序设计的支援工具。第九章介绍固件工程的概念。

本书由蒋银林同志翻译第四、五、八和九章，武振东同志翻译第三章，阎世尊同志翻译第七章，侯朝焕同志翻译第一、二和六章，并负责全书的校审工作。陈炳从同志详细审阅了第八、九章，并提出了许多宝贵意见，在此表示感谢。

在翻译过程中，我们对原书中的个别错误作了订正，并根据目前国外位片器件的发展补充了个别材料。由于一些专业术语的国内译名尚不统一，我们将本书的主要术语的译名列于最后的附录中，以供读者参考。由于我们水平所限，故译文中难免会有错误和不妥之处，欢迎读者批评指正。

## 原 序

如果以基本设计单元或基本积木块的特性作为数字工程“划代”的标准，那末可以说，今天已进入了它的第四代。第一代积木块是分立元件，如电子管和后来的晶体管。第二代可归结为用集成电路门作为基本设计单元。在第三代，工程师有了更有效的积木块，如寄存器、多路转换器和算术逻辑运算部件等。到第四代，设计单元已发展成为微处理机、CRT（阴极射线管）控制器和模-数转换器之类完善的单片器件。第四代中的一种更新的器件是位片逻辑电路，这是一种功能强且灵活性大的数字式积木块。这种位片逻辑电路就是本书的主题。

同关于其他第四代积木块（如微处理机）的文献的大批数量相比，关于位片逻辑电路的文献却非常之少（半导体制造厂商的说明书除外）。这就是为什么要编写本书的一个原因。另一个原因是，自1978年以来，一些制造厂商宣告：使用位片逻辑电路的新的大型计算机已生产出来。

本书的宗旨是为系统设计师和数字设计工程师提供一本指导性的参考书。本书也可作为补充教材用于电子工程和计算机科学专业，这类课程如计算机组织、数字系统设计、数字逻辑设计、微处理机和微程序设计等。

第一章除了介绍位片逻辑电路的概念之外，还简要介绍了应用最广的位片器件2901。因为位片逻辑电路通常是伴随微程序控制概念而使用的，因此第二章介绍了微程序设计控制器概念。第三和第四章介绍了可以从半导体制造厂商那里购买到的若干种位片器件。除了详细讨论这些器件之外，第三和第四章还展示了位片器件的前景，讨论了某些芯片的设计问题。

第五章讨论了更为先进的微程序设计课题，例如流水线、编码和优化等技术。第六章介绍了一些辅助的大规模集成电路逻辑元件，其中有些是按位片器件设计的。在第七章中讨论的补充器件是通用器件，它们可以按固定格式定制或“编程”，用作专门的逻辑元件，这类器件如可编程的逻辑阵列和门电路阵列等。

鉴于微程序的概念与位片逻辑电路的使用密切相关，最后两章讨论了用于微程序开发的工具、设备和原理。

衷心感谢两位同事—IBM系统研究所和Poughkeepsie实验室的丹·奥唐纳和IBM Poughkeepsie实验室的戴夫·霍克的帮助，他们阅读了本书的手稿并提出了许多有益的建议。还要感谢下述公司在提供资料和允许使用其中有关部分方面所给予的合作：先进微器件公司；仙童公司；英特尔公司；单片存储器公司；摩托罗拉公司；德克萨斯仪器公司。

本书中纯属作者个人的一些观点和主张，其错误概由作者负责。

G. J. 迈尔斯

# 目 录

<b>第一章 位片逻辑电路引论</b> .....	1
1.1 位片器件的演化 .....	2
1.2 位片的特性 .....	3
1.3 2901ALU/寄存器芯片 .....	4
1.4 位片器件与微处理机的比较 .....	9
1.5 半导体工艺 .....	10
<b>第二章 微程序控制引论</b> .....	14
2.1 假想的微程序控制的机器 .....	16
2.2 展望 .....	30
2.3 微程序控制的优越性 .....	31
2.4 资料来源 .....	34
参考文献 .....	35
<b>第三章 ALU/寄存器芯片</b> .....	36
3.1 2901 芯片 .....	36
3.2 3002 芯片 .....	47
3.3 MC10800 芯片 .....	57
3.4 SBP0401A 芯片 .....	62
3.5 2903 芯片 .....	71
3.6 74S481/74LS481 芯片 .....	84
3.7 6701 芯片 .....	93
3.8 9405 芯片 .....	94
3.9 4705 芯片 .....	97
3.10 F100220 芯片 .....	98
3.11 各类芯片的比较 .....	98
参考文献 .....	104
<b>第四章 微程序定序器</b> .....	105
4.1 2909 定序器芯片 .....	106
4.2 2911 定序器芯片 .....	111
4.3 29811 下一地址控制器 .....	112
4.4 29803 十六路转移控制器 .....	119
4.5 2910 定序器 .....	122
4.6 3001 定序器 .....	130
4.7 MC10801 定序器芯片 .....	137
4.8 74S482 定序器芯片 .....	144
4.9 8X02 定序器 .....	147
4.10 67110 定序器 .....	150
4.11 9408/4708 定序器 .....	153

4.12 各种芯片的比较 .....	154
参考文献 .....	159
<b>第五章 微指令设计</b> .....	<b>160</b>
5.1 微指令流水线技术 .....	160
5.2 流水线设计的其他形式 .....	164
5.3 流水线预测 .....	166
5.4 可变周期时间 .....	168
5.5 余量控制 .....	169
5.6 微命令编码技术 .....	170
5.7 前置和后置流水线译码 .....	172
5.8 大容量控制存储器的寻址 .....	174
5.9 横向微指令同垂向微指令的比较 .....	177
5.10 两级控制存储器 .....	179
5.11 用主存储器作控制存储器 .....	182
5.12 一个设计的实例 .....	182
参考文献 .....	185
<b>第六章 其他位片器件和支援器件</b> .....	<b>186</b>
6.1 位片器件系列 .....	186
6.2 2930 程序控制单元 .....	187
6.3 9407 程序控制单元 .....	190
6.4 MC10803 存储器接口 .....	192
6.5 2914 优先中断控制器 .....	196
6.6 3214 中断控制单元 .....	201
6.7 2904 状态和移位控制单元 .....	203
6.8 2925 时钟发生器和驱动器 .....	210
参考文献 .....	212
<b>第七章 可编程序逻辑电路</b> .....	<b>213</b>
7.1 可编程序逻辑阵列的结构 .....	213
7.2 可编程序逻辑阵列的使用 .....	215
7.3 可编程序阵列的逻辑电路 .....	218
7.4 74S330 现场可编程逻辑阵列 .....	223
7.5 82S100 现场可编程的逻辑阵列 .....	224
7.6 其他可编程逻辑电路 .....	224
7.7 可编程逻辑阵列的扩展 .....	225
7.8 可编程逻辑阵列的应用 .....	225
参考文献 .....	227
<b>第八章 微程序的支援工具</b> .....	<b>228</b>
8.1 微汇编程序 .....	228
8.2 定义-控制型微汇编程序 .....	230
8.3 专用微汇编程序 .....	236
8.4 高级微程序设计语言 .....	238
8.5 开发和测试系统 .....	239

8.6 软件模拟程序.....	243
参考文献 .....	244
<b>第九章 固件工程 .....</b>	<b>246</b>
9.1 研制周期.....	246
9.2 微程序设计.....	247
9.3 微程序测试.....	249
9.4 微程序的扫描和检查.....	251
9.5 微程序正确性的验证.....	251
参考文献 .....	252
附录 英汉对照表 .....	253



## 第一章 位片逻辑电路引论

位片逻辑电路是数字设计工程师可采用的最新一代基本积木块。位片器件不仅给工程师提供一系列功能强、速度高和灵活性大的积木式元件，而且它们力图解决大规模集成电路（LSI）技术的主要问题，即尽可能大批量生产各种部件类型。

当回顾工程师所使用的基本积木块的历史时，尽管其发展过程是逐步演化而不便截然分成不同阶段，但仍然可以粗略地将其分成四代积木块。每一代不仅在元件的速度、费用和可靠性方面有明显的改进，而且在系统设计和制造过程上的生产率也有明显的提高。为了便于后续各章的讨论，看看每一代对下列几种传统的设计方式的影响是有帮助的：

线路设计——将晶体管、电阻和电容等分立元件连接起来，形成诸如“与”门、“或”门之类的逻辑器件。

逻辑设计——将逻辑器件连接成组合逻辑或时序器件，如寄存器、计数器和加法器等。

系统设计——将加法器、寄存器和存储器阵列等连接成数字系统，如处理机和输入/输出设备控制器。

工程结构设计——各元件的工程布设，如在印刷电路板或绕接电路板上的布设。

从四十年代开始，直到六十年代初期的第一代积木块是由晶体管（早期是电子管）、二极管、电阻和电容等分立元件组成的。当时，工程师面临着线路、逻辑、系统和工程结构设计的全部任务。

六十年代初期和中期的第二代积木块发展为集成电路。每块集成电路包含10~50个基本元件，可实现“与”和“或非”等逻辑功能。这时，逻辑设计和系统设计工作量依然如故（实际上随着各系统的日趋完善，其工作量也有所增加），但是其线路设计的任务却大大减少（当然需要有少数人来从事集成电路本身的设计）。由于集成电路减少了系统的组成部件的总数，故工程结构设计的任务略有减少。

六十年代末期和七十年代初期的第三代积木块是一种中规模集成电路（MSI），每块集成电路大致包含50~200个基本元件，这些积木块能实现寄存器、计数器、多路转换器、运算器之类的功能。这一代不仅进一步减小了工程结构设计的任务（同样是由于减少了构成系统所需的实际部件的数量），而且也减轻了逻辑设计的任务。

始于七十年代初期的第四代，在积木块的大小和规模上向前跨进了一大步。一个显著的变化是在存储器方面，先是出现了包含4K位的单片存储器，尔后16K和64K位的存储器也广泛投入市场。另一个显著的变化是在微处理机方面，一块芯片上含有2万，甚至更多的基本元件，从而可构成一个完整的中央处理机（CPU），也许还带有容量较小的存储器。

如果采用微处理机及其支援芯片（如磁盘控制器、键盘控制器、通信接口、存储器刷新逻辑电路、总线控制器等），则可大大减少数字系统的系统设计和工程布设的任务。

然而，微处理机并非对所有的设计问题都能有效解决（如高速、单处理器计算机的设计问题）。微处理机相当慢，并且只有固定的和较简单的指令系统。这就要求第四代积木块还应具有更灵活的指令系统。位片器件正是对这一需要的回答。

### 1.1 位片器件的演化

第四代积木块是大规模集成电路（LSI）器件。LSI的发展是因为它具有下述优点：低成本（大量的电路被制造在一个单片上，这样，与前几代比较，便减少了基本元件的成本，降低了大量人工组装的费用）；高速度（由于减小了晶体管尺寸、元件间通路长度和线间电容）；高可靠性（由于减少了元件间的机械连接点数）；较短的设计周期。然而，LSI器件的设计者现在却面临着两个新的问题：“输出引脚”问题和“单片大批量生产”问题。

输出引脚或引脚数问题是很容易理解的。一个典型的LSI硅片尺寸约为 $0.15 \times 0.2$ 平方英寸。显然，芯片与外部连接的引脚数是有限的。目前可行的最大引脚数是100条左右，不大可能过多超出这个上限值。这就限制了安置在芯片上的电路的类型。例如，要制造一个32位算术逻辑运算单元（ALU）的芯片是不现实的（尽管按工艺水平而言，芯片能容纳得下全部电路）。这是因为，这样的器件将超过100条引脚（32条输出线、64条输入线、几条控制信号输入线和几条状态信号输出线）。因此引脚数的限制成了利用LSI的一个很大的障碍。

第二个问题是特定的LSI器件的尽可能大批量生产。生产LSI器件的特点是，其设计费用十分高，而单片的生产费用则相当低。因此，仅当每种型号的单片大批量（例如几万或更多）使用时，LSI的经济效益才具有吸引力。

这里，人们面临着进退两难的境地。大量的电路被集成在一片LSI器件上，这一事实意味着这类器件（除存储器阵列和微处理机外）是专门针对某一特殊系统设计的，因而不能用于其他的设计项目。例如，假设某计算机公司研制了一处理机的系列，系列中的每一种型号的处理机都有不同的价格和性能指标。事实上，即使按照在处理机A中使用的要求来设计某些LSI芯片，它们也未必能在处理机B中使用，因为各个处理机多半有不同的内部设计特点（例如，具有不同的数据通路宽度；具有不同的ALU功能；具有不同的内部并行度）。也就是说，一个包含上千个门的LSI芯片的特点是，要尽可能包括由它组成的系统的更多特点，这就使得它不可能适用于其他的设计，从而限制了它的生产量。这就是面临的另一个困难，以致于使得设计者难以充分发挥LSI的优点。由于上述情况，要求研制多种类型的LSI芯片，因此，应注意把引脚数限制问题和单片大批量生产问题折衷考虑，以便增加专用芯片的批量生产。

现实的解决方法是：在以LSI为基础的设计中，人们不应着眼于使系统中的基本元件或者门电路数目减到最少，而应力求使芯片的类型减到最少。我们所需要的是一组通用芯片类型，这些器件的功能不应是固定死的，而应由外部来控制（即由器件外的逻辑电路来控制）。为了用作绝大多数系统的积木块，这些器件应能完成大量的功能，而其中的许多功能也许在某项具体的设计中可能用不上。同时，这些通用器件在可资利用的设计中也可能稍有（即使有也极少）限制（如数据通路宽度的限制）。这种通用器件还必须遵从引脚数的限制。位片器件就是对上述这些要求的回答。

## 1.2 位片的特性

问题就在于如何将一系统分割为 LSI 积木块的系列, 使得它们可用于其他各种设计变型中。先考虑中央处理机。事实上, 与指令系统无关的大多数处理机的核心类似于图 1.1 所示的结构, 即处理机的核心通常由寄存器堆、多功能 ALU 和移位逻辑电路所组成。可以设想将所有这些包含在一个芯片上。但是, 由于种种原因, 这并不是解决问题的办法。首先, 很可能会碰到引脚数问题。其次, 由于它在很大程度上依赖于原始设计 (例如数据通路宽度), 芯片将不是通用的。例如, 如果图 1.1 是 16 位处理机的核心部件, 那么, 这种芯片在 32 位、36 位和 8 位的产品设计中将无法使用。

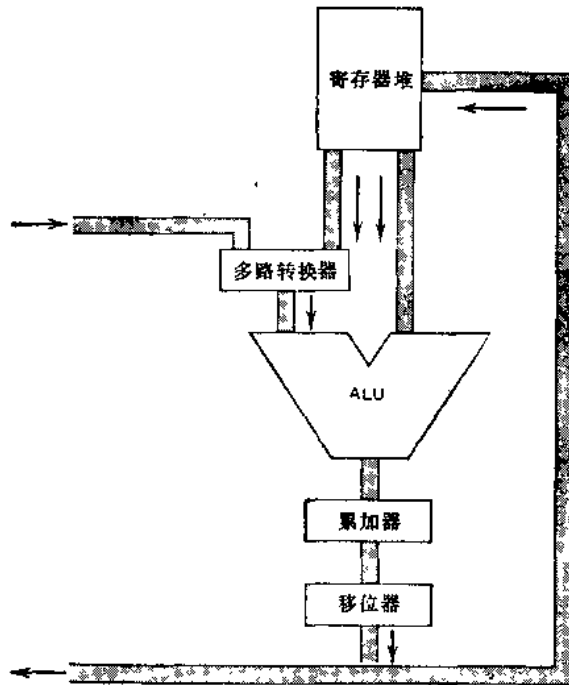


图 1.1 典型的处理部件的组织

其解决办法是: 将图 1.1 表示成如图 1.2 所示的三维等效图, 然后通过设计制作位向分割的单片。于是, 这就引出具有图 1.3 所示结构的器件。

图 1.3 表示的器件可以称为 4 位 ALU/寄存器芯片。通过设计这种芯片, 并给出合适的信号 (例如: ALU 进位输入和进位输出、移位寄存器的输入和输出等), 同时将一组这种器件互连起来, 便可得到一种通用积木块; 它可用来组成任意宽度 (即字长为 8, 12, 16...位) 的 ALU/寄存器部件。这类器件由于具有下述特性而解决了我们前面提出的问题:

1. 由于器件“窄小”, 故引脚数问题不再存在。图 1.3 所示类型的器件可能有 24~40 条引脚。

2. 虽然它是一种“窄小”的芯片, 但由于它包含一组寄存器、一个 ALU、若干移位器等大量的电路, 因而它是一种 LSI 器件。

3. 它可作为一种通用积木块。这是因为, 这种器件是为了能完成大量功能而设计

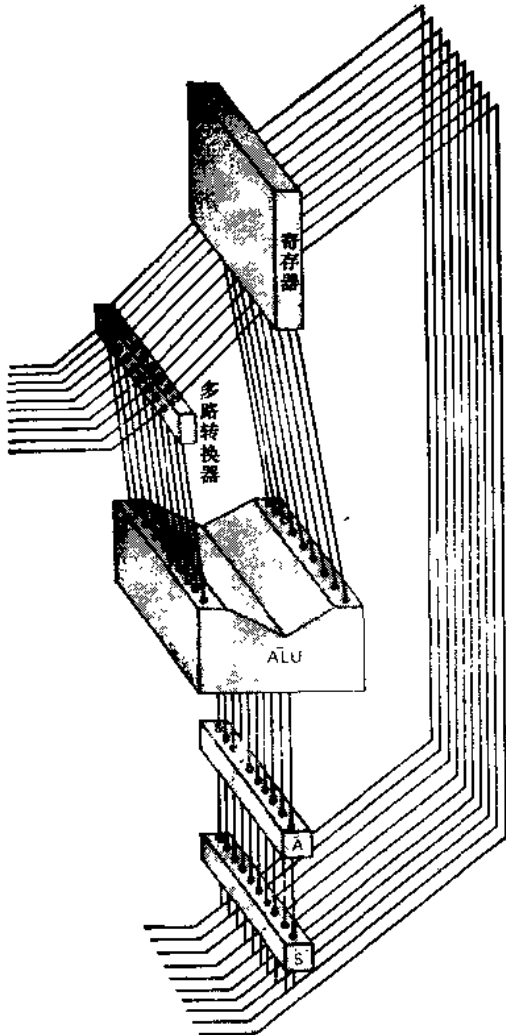


图1.2 典型的处理部件的三维表示

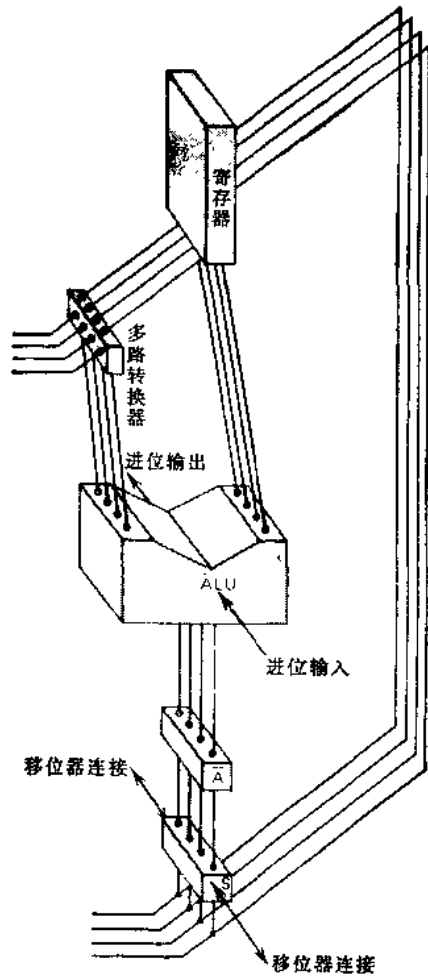


图1.3 处理部件的一种位向分割的位片

的，这些功能中的某些部分在具体的一项应用中也许并不使用(如果器件是大批量生产，则这种未利用功能的代价是微乎其微的)；这种器件能够级联，以形成任意宽度的处理部件。

值得注意的是，这里我们仅介绍了一种类型的位片——ALU/寄存器位片。现在已经有了其他一些类型的位片，这些将在后面几章介绍。

### 1.3 2901ALU/寄存器芯片

了解位片器件的最好方法是研究一种实际的器件，而2901ALU/寄存器芯片是最适合于首先讨论的器件。2901首先由先进微器件公司(Advanced Micro Device)生产，现在已有很多厂家作为第二货源同时生产。2901是最广泛使用的位片器件。它在位片逻辑电路中的地位就象微处理机中的8080一样。2901作为中央处理机(CPU)的核心部件，已广泛用于下述产品：数据设备公司的DEC System-2020；通用数据公司(Data General)的Nova4；国家半导体公司(National Semiconductor)的System/400；

功能自动化设备公司 (Functional Automation) 的 F6400; 阿姆佩克斯公司 (Ampex) 的 Model 12。

2901 是具有 40 条引脚的 LSI 芯片。大多数 2901 的改进型都采用低功耗肖特基 TTL 工艺。这种芯片包含约 500 个门电路。这里仅对 2901 作初步介绍, 第三章还要详细讨论。

图 1.4 示出了 2901 的组织。它的数据通路宽度是 4 位。其基本部件是: 一个 16 字 × 4 位的双口 RAM; 一个工作寄存器 (Q); 一个 ALU; 此外还有移位、译码和多路转换等逻辑电路。

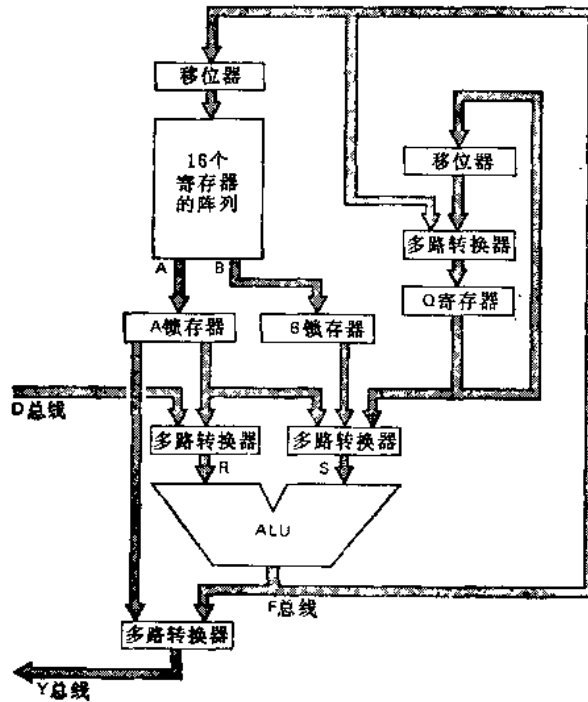


图 1.4 2901 的组织

在十六个寄存器中, 每一个寄存器的内容既可以读到 A 总线上, 也可以读到 B 总线上。这两条总线中均包含有一个锁存器。当 ALU 的输出写回寄存器堆时, 锁存器可用来避免竞态条件。

ALU 的两个输入均来自多路转换器。ALU 的 R 输入可以选自 A 总线上的寄存器内容, 也可以选自 D 总线上的值。ALU 的 S 输入可以从 A 总线、B 总线或 Q 寄存器中选择。两个多路转换器均有禁止能力, 这就是说, 可以使送给 ALU 的 R 输入端或 S 输入端的值为零。

尽管 Q 寄存器是为完成乘法和除法运算而设置的, 但它仍然是一个通用的工作寄存器。从 Q 寄存器的连接线可以看出, Q 寄存器可由 ALU 输出总线或它自身馈入。若 Q 寄存器由它自身馈入, 则移位器允许它的现时值经左移一位、右移一位或不移位 (不变化) 而馈入 Q。

图 1.4 表明, ALU 的输出可被选通到下述三个地方: Y 总线 (外部输出总线); Q 寄存器和寄存器堆。当它被选通到寄存器堆时, 装入数据的寄存器就是被选通到 B 总线

的那个寄存器。在 ALU 到寄存器堆之间有一移位器，在数值置入寄存器堆之前，允许 ALU 的输出左移或右移一位，或不移位。值得注意的是，外部输出 Y 总线是由一个多路转换器控制的，这表示送入 Y 总线的数据既可以是 ALU 的输出，也可以是 A 总线上的值。Y 是三态输出，意思是，若在现行操作期间没有数据送入 Y 总线，它就保持高阻状态。

2901 的外部连接线示于图 1.5。输入线包括 4 条 D 总线和 20 条控制线。输出线包括 4 条 Y 总线和 6 条状态信号线或条件信号线。下边的四条线有时用作输入，有时则用作输出，有时两者都不是（处于高阻状态），这取决于 I 控制线所规定的功能。例如，若 I 信号规定 Q 移位器左移一位，则  $Q_0$  是输入（允许低位数由外部输入），而  $Q_3$  是输出（允许移出的一位用作校验或馈入另一片 2901）。

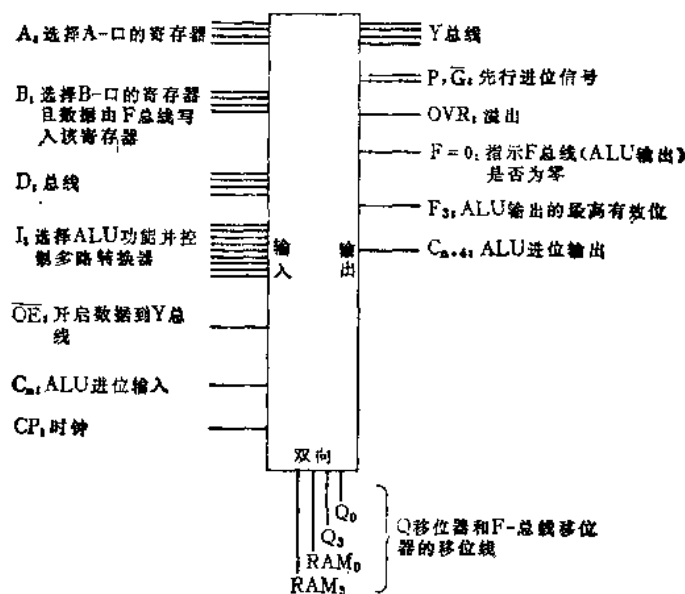


图1.5 2901的外部连接线

这里作为约定，寄存器或总线中最低有效位的标号是零。上标横线（即  $\bar{\phantom{x}}$ ）用来表示下述的三种情况：（a）一个值的反码；（b）输入控制信号以“低”态为有效；（c）“低”态时表示输出条件出现。在特定情况下，上标属于哪一种意思，这可由上下文明显看出。

除了 I 控制线外，在图 1.5 中的大多数控制输入线是很明显的。I 输入线被分为三组，每组三条控制线：第一组控制 ALU 输入端的多路转换器；第二组控制 ALU 的功能；第三组控制两个移位器、Q 寄存器的多路转换器、Y 总线多路转换器，以及选通 F 总线进入寄存器堆。

第一组 I 输入线规定 ALU 的输入。能馈入 ALU 的 R 端的有 A 寄存器（即由 A 地址输入线选择的寄存器堆中的字）和 D 总线等的的内容以及零。能馈入 ALU 的 S 端的有 A、B、Q 寄存器的内容以及零。然而仅允许有八种组合方式（不允许 A-A、0-0、A-0、D-B 等组合方式）。

第二组 I 输入线（三条 I 输入线）规定 ALU 所执行的功能。ALU 可执行三种算

术运算和五种逻辑运算功能。由于在算术运算功能期间还可以使用  $C_n$  (进位) 输入, 所以, 如果  $C_n$  用作控制输入, 则 ALU 能执行六种不同的算术运算功能。这时, ALU 的功能是:

加法	$(F = R + S)$
加法加 1	$(F = R + S + 1)$
减法减 1	$(F = R - S - 1)$
减法	$(F = R - S)$
减法减 1	$(F = S - R - 1)$
减法	$(F = S - R)$
“与”	$(F = R \wedge S)$
屏蔽	$(F = \overline{R} \wedge S)$
“或”	$(F = R \vee S)$
“异或”	$(F = R \oplus S)$
“异或非”	$(F = \overline{R \oplus S})$

按照第一组和第二组两种组合的规定, 可执行下述功能:

增量	$(F = R + S + 1, R \text{ 或 } S = 0)$
减量	$(F = S - R - 1, R = 0 \text{ 或 } F = R - S - 1, S = 0)$
求反 (或称取反码)	$(F = S - R - 1, S = 0 \text{ 或 } F = R - S - 1, R = 0)$
求补 (或称取补码)	$(F = S - R, S = 0 \text{ 或 } F = R - S, R = 0)$

第三组 I 输入线控制下列操作:

1. F 总线移位器是否将 ALU 的输出向左移一位、向右移一位或不移位。
2. 是否将 F 总线移位器中的值送入 B 寄存器 (寄存器堆中由 B 输入所规定的那一个寄存器)。
3. Q 寄存器是否应左移、右移或不移位。
4. Q 寄存器是从它的移位器取数还是从 F 总线取数。
5. Y 总线是从 A 寄存器取数还是从 F 总线取数。

第三组的三条 I 输入线仅允许规定上述操作的八种组合方式。

作为例子, 设定下列输入信号 (这里, 0 是低态, 1 是高态):

$A = 0010$

$B = 0011$

$I = 110000001$

$\overline{OE} = 0$

$C_n = 0$

$Q_0 = 1$

$RAM_0 = 0$

则将产生下列操作:

1. 寄存器 2 和 3 中的值相加, 其和左移一位, 最低位注入 0, 将移位器输出的值

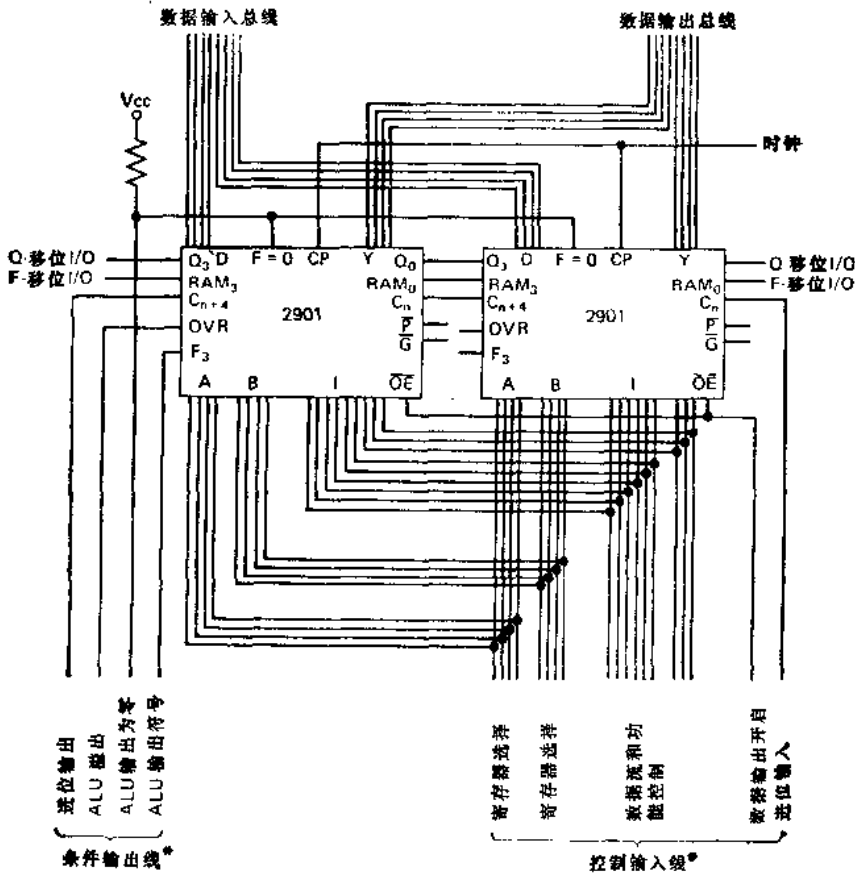
存入寄存器 3。

2. Q 寄存器中的值左移一位，最低位注入 1，然后，将此值存入 Q 寄存器。
3. 寄存器 2 和 3 中的值之和，经由 Y 总线输出到芯片外部。

图 1.5 所示电路还包括少量的输出信号，这些信号用于馈给同它级联的 2901 芯片和用作条件检验。其中，有两个输出信号用于先行进位逻辑电路。这里，将多片 2901 级联起来，人们希望利用先行进位技术来提高算术运算速度。OVR 表示算术运算期间的溢出（即 ALU 的最高有效位的进位输入值和进位输出值不同）。F = 0 输出表示 F 总线上的结果是零；F<sub>3</sub> 是 F 总线上的结果的最高位，可用于检验该结果的符号。

因为位片器件的主要优点是具有相互连接的能力，因此解剖一个相互连接的简单例子是很有帮助的。图 1.6 就是这样的一个例子。它示出了两片 2901 相互连接，形成一个 8 位处理部件的情况。

两片 2901 互连以后，就形成了一个处理部件，它的数据通路宽度为 8 位。十六个寄存器和 Q 寄存器的宽度也是 8 位，并分驻在两片 2901 中，每片 2901 各占一半。一个 8 位数据输入总线将数据并行馈入两片 2901，而两片 2901 又将数据馈给一个 8 位数据输出总线。



\* - 4 条移位输入/输出线也可用作控制输入和条件输出

图 1.6 两片 2901 的连接方式



图 1.6 的最重要方面是控制信号线和条件输出线的连接方式。值得注意的是有串行和并行两种连接方式：大多数的控制信号并行馈入 2901；但对少数信号线，2901 是以串行方式连接的。特别是 I 信号是以并行方式送入 2901 的，目的是保证每一片 2901 都执行同样的数据流、移位和算术逻辑运算操作。最低位（右边）2901 芯片的进位输入是由外部控制源输入的，而另一个 2901 芯片的进位输入是与第一个芯片的进位输出相连接的，其目的是保证算术逻辑运算单元能作为一个整体。按串行进位方式的 8 位算术逻辑运算单元进行工作。同样应注意到：移位器的连接应能确保 Q 移位器和 F 总线移位器构成两个 8 位移位器。

在大多数情况下，仅由最高位的芯片给出条件和状态输出。例如，对于 8 位算术运算，OVR 和  $F_3$  在低位芯片上的输出没有特别的意义，因而也是无用的。 $F = 0$  输出是集电极开路输出，意即它可以通过一个提升电阻在片间作“线与”连接，以指示两片 ALU 的输出（即整个 8 位 ALU 输出）是否同时为零。由于在这个简单例子中没有采用先行进位逻辑电路，因而未使用两个芯片上的先行进位引脚。

为了形成不同宽度的器件而作的片间互连方式是位片器件的中心内容，故建议读者详细地研究图 1.6，以便弄清楚如何使两片 2901 具有 8 位处理单元的特性。

图 1.7 示出了具有 40 条引脚 DIP（双列直插封装）的 2901 输出引脚图。这里仅有两条引脚没有提到，即  $V_{CC}$ （+5 V 电源）和 GND（地线）。

当使用位片工作时，应分析信号从一个芯片至另一个芯片的传播速度，以确定系统的定时关系。也就是说，确定驱动的最快速率（即周期时间，或改变一组控制信号之间的时间），以及直到输出端稳定，建立正确的结果所需的时间。对它们的详细讨论还为时过早，但在图 1.6 上可作简单分析。

先进微器件公司的 2901A 芯片的一些确保的或最坏情况下的传播时间（典型的传播时间通常约为确保时间的三分之二）如下：

1. 从 A、B 输入到 Y 输出 80 毫微秒
2. 从 A、B 输入到  $C_{n+4}$  输出 75 毫微秒
3. 从 A、B 输入到最后状态输出 95 毫微秒
4. 从  $C_n$  输入到最后状态输出 50 毫微秒
5. 从  $C_n$  输入到 Y 输出 30 毫微秒

上述第 3 种情况是 2901A 中最长的通路，但这并不表示能按这种速率驱动图 1.6 所示的系统。原因在于芯片间的串行进位。也就是说，直到  $t + 75$  毫微秒之前，左边芯片的进位输入是不稳定的。这意味着直到  $t + 75 + 50$  毫微秒之前，该片的输出是不稳定的（50 毫微秒是由  $C_n$  输入到输出的最长通路）。因此，驱动该系统的时钟周期将不可能快于 125 毫微秒（在新的 2901 改进型中，已经缩短了这个时间）。

#### 1.4 位片器件与微处理机的比较

位片逻辑电路的概念显得有些含混，这是因为它与微处理机之间既有联系又有差

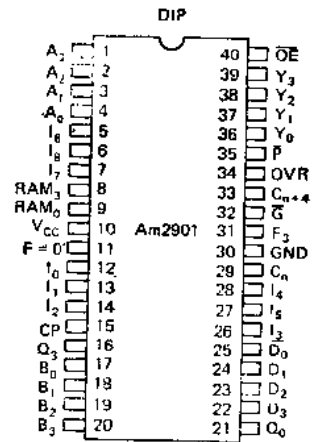


图 1.7 双列直插封装 2901 输出引脚图