

BINGXING CHULIJI YU YINGYONG

并行处理机与应用

刘重庆 编著

并行处理
机与应用

上

3.879

6

934

版
社

上海交通大学出版社

并行处理机与应用

刘重庆 编著

上海交通大学出版社

内 容 简 介

本书全面系统地介绍了各类并行处理机的原理及有关的算法和应用。全书共分七章：第一章为概论；第二、三章介绍利用VLSI芯片实现的流水线处理机，搏动型结构是新近提出的一种新型的流水线概念；第四、五章介绍属于单指令流多数据流(SIMD)类别的阵列处理机，内容包括二维阵列机和以联想存储器为特征的阵列机以及金字塔结构的三维阵列机；第六章介绍多处理机；第七章介绍非Von Neumann计算方式的数据流计算机。

并行处理机是随VLSI微电子技术进步而迅速发展的新型计算机体系结构，它在许多科学领域都有着广泛的应用前途，已越来越受到人们的高度重视。本书注重把信息处理和模式识别中被广泛应用的算法与并行处理结构相结合，它有助于并行处理技术的推广应用。

本书可作为图像处理与模式识别、计算机、自动控制、生物医学信息工程及其它有关专业的研究生和本科生的教科书或教学参考书，也可供从事以上专业的教师、工程技术人员和研究工作者参考。

J5428/39
21

并行处理机与应用

出 版：上海交通大学出版社
(淮海中路1984弄19号)

发 行：新华书店上海发行所

印 刷：立信常熟印刷联营厂

开 本：787×1092(毫米) 1/16

印 张：14.25

字 数：351,000

版 次：1990年11月 第一版

印 次：1990年12月 第一次

印 数：1—1,520

科 目：230-286

ISBN7-313-00717-5/TP·39

定 价：2.85元

前 言

随着科学技术的进步,许多科学、工程任务需要处理庞大的信息量或进行实时处理,突出表现在图像处理、智能计算机、工程设计和自动化以及基础研究等科学领域。利用传统的顺序计算机处理这类任务,其操作速度已不能满足要求,而并行处理技术是能显著提高操作速度的有效途径之一。顺序计算机方面的教材、参考书的种类相对而言是比较多样、丰富,但是,目前国内自编出版的并行处理机和应用方面的书籍尚比较少见。上述的两个方面就是当初确定编写本书的主要原因。

本书是在作者为上海交通大学讲授“并行处理机与应用”课程的基础上编写的。本书的编写有以下几个特点:第一,注重说明并行处理的原理,而对介绍的并行处理系统仅作简单的陈述;第二,将算法与硬件结构相结合进行讨论;第三,注意到大规模集成电路(VLSI)对并行处理产生的重大影响,书中介绍了利用VLSI实现一些并行算法的方法。

全书共分七章。第一章概论,回顾了计算机系统的进展过程、并发活动形式、结构特征、分类方法和并行处理计算机的近代应用。

第二、三章介绍利用VLSI芯片实现流水线处理。第二章的内容包括素数因子Fourier变换的分布运算处理机、利用坐标旋转方法实现矩阵等一些算法的运算和用于生物医学图像处理的CYTO计算机原理和结构。第三章详细讨论了新型的搏动型阵列机的有关内容。

第四、五章介绍属于单指令流多数据流(SIMD)类别的阵列处理机。第四章阵列处理机讨论了它的互连结构和并行算法,简述了Illiac IV和CLIP4两种典型的阵列处理机系统,还讨论了以联想存储器为特征的联想处理机和STARAN、ARES两种联想处理机系统。第五章金字塔结构可作为三维阵列结构,该章讨论了金字塔结构的性质、结构形式和基本运算,以及利用金字塔结构分析了图像分割和区域匹配问题。

第六章多处理机,介绍了结构、分类、互连网络、调度策略和PUMPS多处理机系统。

第七章数据流计算机介绍了数据流图形、动态结构、数据流语言和一个实际的数据流计算机系统。

本书由上海交通大学图像研究所李介谷教授主审。在本书编写的过程中,受到了李教授的热忱指导和帮助,在此谨致深切的谢意。作者还得到许多同事和研究生的支持和帮助,在此表示感谢。

限于作者水平,本书的不妥与错误之处在所难免,敬请读者指正。

刘重庆

1989年6月

于上海交通大学

目 录

第一章 并行处理概论	1
1-1 计算机系统的进展	1
1-2 单处理系统中的并行性	4
1-3 并行计算机结构	8
1-4 结构分类方法	14
1-5 并行处理应用	19
第二章 流水线处理机	23
2-1 流水线: 重叠并行性	23
2-2 流水线分布运算的PFFT处理机	26
2-3 坐标旋转数字计算机(CORDIC)	33
2-4 CYTO流水线细胞计算机	50
第三章 搏动型阵列结构	55
3-1 什么是搏动型阵列	55
3-2 搏动型二维卷积结构和芯片	62
3-3 计算矩阵的通用搏动型结构	66
3-4 分割矩阵算法	72
3-5 有限I/O带宽约束条件下的阵列设计	83
3-6 分割和算法映射为固定大小的搏动型阵列	94
3-7 模式聚类的VLSI搏动型结构	107
第四章 阵列处理机	116
4-1 SIMD阵列处理机	116
4-2 SIMD互连网络	120
4-3 阵列处理机的并行算法	128
4-4 Illiac IV 阵列处理机	132
4-5 CLIP4处理机	134
4-6 联想阵列处理机的结构和分类	137
4-7 STARAN处理机	140
4-8 ARES处理机	143
第五章 金字塔结构	148
5-1 金字塔性质	148
5-2 金字塔结构的几种建议形式	149
5-3 基本运算	154
5-4 图像分割的结点链接策略	163
5-5 区域匹配	170

第六章 多处理机	176
6-1 概述	176
6-2 分类	178
6-3 互连网络	180
6-4 计算的并行方式	182
6-5 处理机互连通信方法	186
6-6 多处理机调度策略	191
6-7 PUMPS多处理机系统	193
第七章 数据流计算机	200
7-1 两种计算方法	200
7-2 数据流程序图	201
7-3 U解释器	207
7-4 数据流语言	212
7-5 实际的数据流计算机	215

第一章 并行处理概论

本章将介绍高性能计算机并行处理的一些基本概念,回顾计算机系统的进展过程和说明近代计算机系统各种并发活动的形式。根据并行计算机结构特征和利用大规模集成电路(VLSI)构造新型计算机的方法,并行计算机分为流水线计算机、阵列处理机、多处理机和数据流计算机四种结构配置。本章还说明了计算机结构的三种分类方法。最后,介绍了并行处理计算机的近代应用。

1-1 计算机系统的进展

1-1-1 几代计算机系统 计算机实际是集合硬件、软件、算法和算法语言的一种系统。集成电路和系统结构的迅速发展在很大程度上改善了计算机的性能。根据元件工艺、系统结构、处理方式和使用的语言来确定,现在的计算机系统是第四代计算机系统,第五代计算机系统还在计划之中,尚未成为现实。前面各代的计算机系统可综述如下:

第一代(1938-1953) 1938年第一台电子模拟计算机和1946年第一台数字计算机的出现,标志了第一代计算机的开始。从40年代使用机电继电器到50年代使用真空管作为开关元件,此间,硬件元件都是十分昂贵的,迫使CPU采用位串结构形式,计算是以定点为基础的位-位方式完成。

在早先的计算机中仅使用二进位代码的机器语言。1950年研究了第一台可贮存程序的计算机EDVAC,这标志开始使用软件。在早期的计算机中,硬件占了计算机价格的很大部分,而软件语言部分相当简单。至1952年IBM公司研制了701电子计算器,系统使用了William管存贮器、磁鼓和磁带。

第二代(1952-1963) 1948年发明了晶体管,1954年Bell实验室构造了第一台晶体管数字计算机(TRANDEC),在TRANDEC中使用800只晶体三极管和二极管分立元件组成的积木块、印制电路和磁芯存贮器,这些结构和元件被许多计算机相继采用。在计算机算法语言方面,1956年提出了FORTRAN高级语言和1960年研究发表了ALGOL高级语言。

1959年,Sperry Rand构造了Larc系统和IBM开始Stretch工程,这是为改善计算机结构作出贡献的最先两台计算机。在1960年出现了第一台晶体管化的科学计算机IBM1620。1959年研究了COBOL语言。1963年采用了可更换磁盘组,同时批处理方式被推广应用,该方式顺序地执行用户程序,在一个程序执行完之后才开始下一个程序的执行。

第三代(1962-1975) 这一代计算机的标志是使用了以中、小规模集成电路为基础的积木块,应用了多层印制电路。在CDC-6600计算机中仍旧使用磁芯存贮器,但是,至1968年,许多快速计算机如CDC-7600已开始用固态存贮器代替磁芯存贮器。在这期间,出现了带有智能的编译程序,这显著地增强了高级语言的能力。

为允许同时执行I/O操作交错的许多程序段,研究了多道程序设计。70年代初期,研制了许多高性能的计算机,如IBM360/91、Illiacy IV、TI-ASC、Cyber-175、STAR-100、C-mmp

和几台矢量处理机。60年代后期,出现了分时操作系统。使用分层结构的存储器系统研究了虚拟存储器。

第四代(1972-现在) 目前一代计算机的显著特点是:逻辑和存储器两部分都使用大规模集成电路。出现了高密度的电子线路组装技术。高级语言(如许多矢量处理机中的扩充Fortran)被采用扩充到处理标量和矢量两类数据。许多分时操作系统使用虚拟存储器。第二代矢量计算机中已出现量化的编译程序,如Cray-1(1976)和Cyber-205(1982)。在多台处理机系统中出现了高速主机和超级机,如Univac 1180/80(1976)、Fujitsu M382(1981)、IBM 370/168MP、IBM3081(1980)、Burroughs B-7800(1978)和Cray X-MP(1983)。在商用超级计算机中特别强调高度流水线和多处理。1982年,专门设计了大容量并行处理机(MPP),由16,384位-片处理机组成的MPP是在一个阵列控制器的控制之下,它主要用于人造地球资源卫星的图像处理。

根据计算机专家们的估计,90年代使用的计算机将是第五代的计算机,它使用VLSI芯片结合高密度的模块化设计。预期未来的超级计算机的操作速度将大于 1000×10^6 次浮点运算/秒。以下各章中将介绍现有的几种主要的计算机系统。

1-1-2 并行处理的发展动向 S.Fernbach曾说过,10到20年之前,今天的大型计算机(主机)被认为是当时的超级计算机,同样可以说,10至20年之后,今天的超级计算机将会被认为是“工艺水平”的标准设备。上一小节对计算机系统的进展作了回顾,若从计算机的应用角度看,计算机经历了四个升级:

数据处理;
信息处理;
知识处理;
智能处理。

图1-1表示数据、信息、知识和智能之间的关系。数据空间最大,包括各种格式的数值和字符符号,数据对象在空间内被认为是相互无关的。通常各行各业特别是在科学、商业和政府部门每日都有大量数据需待处理。信息项是依据某种句法结构或关系而相关的数据对象集合,因此,信息项形成数据空间的子空间。知识是由信息项加某些语义所组成,因此,知识项又是信息空间的子空间。最后,智能是对知识项的集合加上推断,图解1-1的最内部和最高处的三角形代表了智能空间。

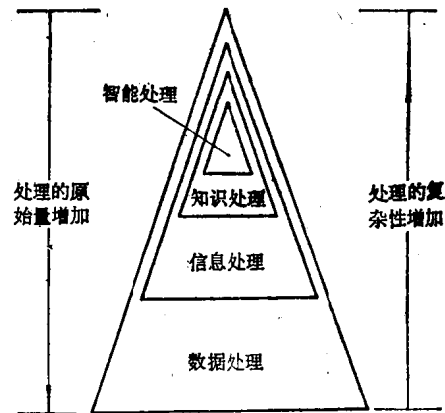


图1-1 根据计算机处理观点的数据、信息、知识和智能空间

计算机的应用起始于数据处理,且仍是今天计算机的主要任务。随着对数据结构愈来愈多的研究,许多用户正使计算机的角色从纯数据处理转移到信息处理。目前的大多数计算机仍限于这两级的处理,且这两级的计算已达到高度并行性。近年来随着知识库的迅速扩充,计算机用于知识处理的需要不断增长。例如,表1-1所示的用于解决专门领域问题的各种专家系统,其性能已达到可以与专家知识相比拟的水平。许多计算机科学家已设想,90年代知识处理将是使用计算机的主要推动力。

现今的计算机可以有很丰富的知识,但是远非智能性的。建立智能是很困难的,智能处理

表1-1 用于知识处理的部分现有计算机专家系统

系 统 名 称	专 门 知 识
AQ11	飞机故障诊断
Intennist casnet	医学咨询
Dendral	依据质谱仪假设分子结构
Dipmeter advisor	石油勘探
EL	分析电子电路
Macsyma	数学处理
Prospector	矿物勘探
RI	计算机配置
SPERIL	地震危害估计

更是如此。现今的计算机操作速度很快,且有大量可靠的用于数据-信息-知识处理的存贮单元,但是,没有一台计算机可认为是真正具有智能思想的系统。计算机仍不能与人类用语言、文字、图像、文件和图例等自然形式通信。在执行定理证明、逻辑推理和建立思想方面,计算机远不能满足要求。现在正是促进计算机用于信息处理,面向建立可工作的知识-智能系统的时代。许多计算机科学家认为,知识-智能两个最高处理级所使用的并行度应该高于数据-信息处理级。

从操作系统来看,按照年序计算机系统的改进可分为四个阶段:

批处理;

多道程序;

分时;

多处理。

在这四种操作方式中,从一个阶段到一个阶段并行度急剧增加,一般的发展动向是强调信息的并行处理。这里所指的信息术语具有扩大的意义其中包括数据、信息、知识和智能各项。

并行处理是利用计算进程中的并发性事件进行有效的信息处理,并发性含有并行性、同时性和流水线三种含意。并行性事件可在同一时间间隔内在多重资源中发生,同时性事件是在同一瞬时发生,而流水线事件可在重叠的时间段发生。这些并发性事件可以在计算机系统的各处理级获得。并行处理需要在计算机内并发执行许多程序,与顺序处理相比较并发活动是达到改善系统性能的一种经济上有效的方法。

最高级并行处理是通过多道程序、分时和多处理来实施多作业或多程序,该级需要研究并行处理的算法。并行算法的实现决定于把有限的硬件-软件资源,有效地配置给求解大的计算问题的多个程序。次最高级并行处理是实施同一程序内的过程或任务(程序段),这涉及把一个程序分解为多个任务。第三级是利用多条指令的并发性,为了显出指令中的并发性,常常执行数据相依性分析,期望DO循环内的标量操作可以矢量化。最后,希望在每条指令内实现快速的并发操作。总结起来,并行处理可以在四个程序级内进行:

作业或程序级;

任务或过程级;

指令间级;

指令内部级。

最高作业级常常用算法实施，最低指令内部级则用硬件方法来实现。自高级至低级的并行处理硬件的作用渐增，而自低至高级的并行处理用软件方法实现的情况渐增。为解决一个问题，硬件与软件之间的折衷方案常常是引起争论的问题。随着硬件价格的不断下降和软件价格的上升，已越来越多地采用硬件方法代替传统的软件方法，而快速实时、资源共享和容差计算环境的需要也支持了这种动向。

由上述的一些特点说明，并行处理确实是综合的研究领域，需要算法、语言、软件、硬件、性能评估和计算方案选择等各方面的知识和经验。本书主要讨论具有中心计算机设备的并行处理。虽然在分布系统中也可利用高度并发性，但是物理上分散的和松耦合的计算机网络的分布处理，这里将不予以介绍。

具有一个中心处理机的系统称为单处理机系统。在1-2节将说明单处理机系统实现并发性各种方法，它达到的高性能有一定的限度。在一个控制器的控制条件下，使用多处理单元可以进一步增加单处理机的计算能力。在统一的操作系统控制下，计算机结构也可以扩大至包括具有共享存储器和若干外围设备的多处理机系统。

就并行处理程度来说，总的结构趋势是从单处理机系统移向多处理机系统或由一个单处理机控制的处理单元阵列。在各种情况中，高度流水线正与各系统级相配合，在1-3节中将介绍这些并行计算机结构。在了解单处理机和多处理机系统的并行性以后，根据计算机结构和操作方式介绍几种结构分类方法。

1-2 单处理系统中的并行性

许多通用的单处理机系统具有相同的基本结构。本节将分类介绍单处理机中并行性的发展，以典型的单处理机系统说明并行处理原理和平衡子系统带宽的方法。

1-2-1 并行处理方法 在单处理计算机中已研究了许多并行处理的方法，它们可分为以下的六种类别：

- 多倍功能部件；
- CPU内的并行性和流水线；
- CPU和I/O重叠操作；
- 使用分层的存储系统；
- 平衡子系统带宽；
- 多道程序和分时。

下面先介绍前面的四种并行处理方法，另两种方法在后面一小节中讨论。

1. 多倍功能部件

早先的计算机在其CPU中只有一个运算和逻辑部件。因为ALU一次只能执行一种功能，所以执行很长序列的运算逻辑指令是一个相当慢的操作过程。实际ALU的许多功能可以分布于并行操作的多个和专用的功能部件。CDC-6600(1964年)在其CPU内有10个功能部件，可以彼此独立地同时操作。

多倍功能单处理机的另一个例子是IBM360/91(1968)，它有两个并行执行部件(E部件)；

定点运算和浮点运算。在浮点E部件内有浮点加减和浮点乘除两个功能单元,IBM360/91是高度流水线、多功能和科学单处理机。几乎所有的现代计算机和附属的处理机都装配了多功能部件,实现并行性或同时性算术逻辑操作。功能专用化和分布化的实践可以扩展到阵列处理机和多处理机。

2. CPU内的并行性和流水线

现在,几乎所有的ALU内都用并行加法器作为先行进位和保留进位。使用多倍功能部件是CPU内的一种并行形式。且指令执行的各个阶段是流水线的,包括取指令、译码、取操作数、算术逻辑执行和贮存结果。为便于重叠执行指令,已研究了预取指令和数据缓冲技术。多数的商用单处理机系统,CPU内的流水线时钟速度约在10-500ns之间。

3. CPU和I/O操作重叠

使用独立的I/O控制器、通道或I/O处理机,I/O操作与CPU计算可以同时执行,直接存贮器存取(DMA)通道可供I/O设备和主存贮器之间直接传递信息。DMA的实施是基于周期挪用,而且I/O多处理可以加速CPU(或存贮器)和外部世界之间的数据传递,后端数据库机器可用来管理磁盘上贮存的大型数据库。

4. 分层存贮器系统

CPU速度通常比存贮器存取速度大约快100倍,分层存贮器系统可弥补两者之间的速度差别。计算机存贮器分层概念如图1-2所示,最深级是ALU直接可寻址的寄存器文件,高速缓冲存贮器作为CPU与主存贮器之间的缓冲器,经由多路交错可以存取主存贮器的信息组,用外部磁盘和磁带部件建立虚拟存贮器空间。这些方法都意在扩大存贮器带宽,使之与CPU带宽相匹配。

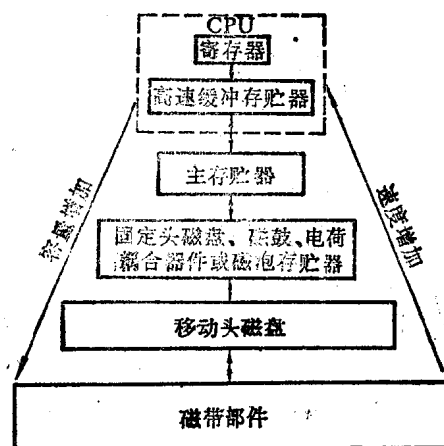


图1-2 传统的存贮器分层结构

1-2-2 平衡子系统带宽 一般来说CPU是计算机中速度最快的单元,处理机周期 t_p 为数+ns,主存的周期时间 t_m 为数百ns,I/O设备的速度最慢,其平均存取时间 t_d 为数ms,因此,

$$t_d > t_m > t_p \quad (1-1)$$

例如,IBM370/168计算机, $t_d = 5\text{ms}$ (磁盘), $t_m = 320\text{ns}$ 和 $t_p = 80\text{ns}$ 。子系统之间的速度差别,会带来系统的瓶颈问题,为避免该问题的发生,需要使各子系统的处理带宽相匹配。

系统带宽定义为每单位时间内执行的操作次数。主存贮器带宽由每单位时间内可以存取的存贮字的总数测量。令 W 为每存贮器周期 t_m 传递的总字数,那么最大存贮器带宽 B_m 等于

$$B_m = \frac{W}{t_m} \text{ (字/秒或字节/秒)} \quad (1-2)$$

例如,IBM3033单处理机的处理机周期 $t_p = 57\text{ns}$,每存贮周期 $t_m = 456\text{ns}$ 可以从8路交错存贮器系统请求8个双字(每个双字为8个字节)。因此,3033的最大存贮器带宽 $B_m = 8 \times 8 \text{ 字节} / 456\text{ns} = 140 \times 10^6 \text{ 字节/秒}$ 。存贮器存取冲突可引起延迟某些处理的访问请求,故实际被利用的存贮器带宽 B_m^a 常常低于 B_m 值,即 $B_m^a \leq B_m$,大致定为:

$$B_m^a = \frac{B_m}{\sqrt{M}} \quad (1-3)$$

M 是存贮系统中交错存贮模块数。IBM3033 单处理机的近似值为 $B_m^u = 140/\sqrt{8} = 49.5 \times 10^6$ 字节/秒。

对外部存贮器和I/O设备, 因为磁盘和磁带部件的顺序存取性质, 更加涉及到带宽的概念。考虑到等待时间和旋转延迟, 数据传送速度可能变化, 一般以平均数据传送速度 B_d 作为磁盘部件的带宽。典型的现代磁盘可以达到 10^6 字节/秒数据传送速度。带有多个驱动器的磁盘, 若每个通道控制器配置10个驱动器, 数据传送速度可增加到 10×10^6 字节/秒。现代的磁带装置大约有 1.5×10^6 字节/秒的数据传送速度。其它的物理部件如行打印节、阅读机/穿孔机和CRT终端, 由于机械运动的原因数据传送速度更慢。

处理机的带宽由CPU的最大计算速度 B_p 所决定, Cray-1为 160×10^6 次/秒, IBM370/168为 12.5×10^6 条指令/秒, 这是分别由 $1/t_p = 1/12.5\text{ns}$ 和 $1/80\text{ns}$ 所得到的峰值, 实际被利用的CPU速度 $B_p^u \leq B_p$, B_p^u 是基于测量每秒输出的结果数目(字):

$$B_p^u = \frac{R_w}{T_p} \text{ (字/秒)} \quad (1-4)$$

这里, R_w 是结果的字数, T_p 为产生 R_w 结果所需要的总计CPU时间。对可变字长的计算机, 速度将随字长而改变。例如CDC Cyber-205对32位结果有 200×10^6 次/秒的峰值CPU速度, 而对64位结果仅有 100×10^6 次/秒(假定是一个矢量处理机)。

根据目前的技术水平, 在高性能单处理机中, 主要子系统的带宽之间存在以下的关系,

$$B_m \geq B_m^u \geq B_p \geq B_p^u > B_d \quad (1-5)$$

由式(1-5)说明, 主存贮器具有最大的带宽, 这是由于它必须由CPU和I/O设备两者进行更新的缘故, 如图1-3所示。由于子系统速度如式(1-1)所示呈现不平衡, 需要匹配三个子系统的处理能力, 下面介绍两种主要的匹配方法。

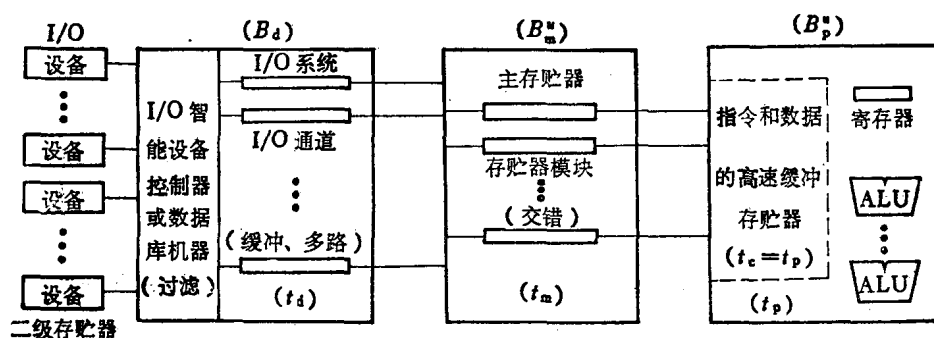


图1-3 在单计算机中CPU、存贮器和I/O子系统之间带宽平衡的技术

1. CPU与存贮器之间的带宽平衡

在CPU与主存贮器之间使用高速缓冲存贮器可以弥补它们之间的速度差别。高速缓冲存贮器应该有 $t_c = t_p$ 的存取时间。存贮器信息组从主存移动到高速缓冲存贮器内(例如IBM 3033 16字/信息组), 使CPU大部分时间可以从高速缓冲存贮器立即获得指令/数据, 高速缓冲存贮器作为数据/指令缓冲器。

2. 存贮器和I/O设备之间的带宽平衡

在慢速I/O设备和主存贮器之间可以使用不同速度的I/O通道, I/O通道执行缓冲和多路转换功能, 通过挪用CPU周期使多个磁盘的数据传送到主存。而且智能磁盘控制器或数据库

机器常用来过滤偏离磁盘磁道的不相关数据,该滤波可以缓和I/O通道的饱和问题。因此,应用高速缓冲存储器、多路转换和过滤操作的组合,可以提供更快速、更有效的数据传送速度,与存储器速度相匹配。

在理想情况下,希望达到全平衡系统,即整个存储器带宽与处理机和I/O设备的带宽之和相匹配,即

$$B_p^u + B_m^u = B_m^u \quad (1-6)$$

这里, $B_p^u = B_p$ 和 $B_m^u = B_m$ 是两个最大值,达到该全平衡需要大量的硬件和软件支持,是超出了现有任何系统所能支持的软硬件的限度。

1-2-3 多道程序和分时 本小节将简要说明多道程序和分时概念,它们是以软件方法达到单处理系统中的并发性。利用这一并发性单处理机系统即使仅有一个CPU,许多的用户程序仍旧可获得高度资源共享。图1-4(a)中的顺序执行是传统的批处理说明,分别使用i, c 和 o 标志代表输入、计算和输出操作。

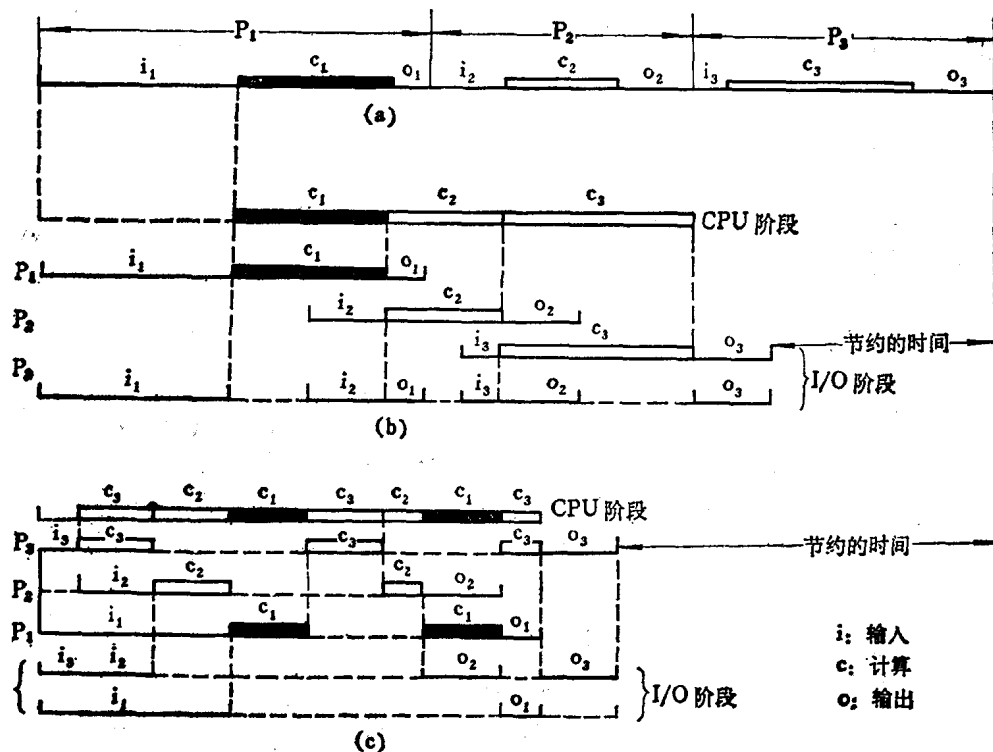


图1-4 单处理计算机取得并行处理的操作系统方法
(a) 批处理; (b) 多道程序处理; (c) 分时处理

1. 多道程序 在相同的时间间隔内,计算机可以存在多个进程活动竞争存储器、I/O和CPU资源。人们已了解某些计算机程序是CPU受限(计算量大),某些程序是I/O受限(I/O量大),在计算机内就可以把各种形式的程序混合执行以平衡各种功能部件的带宽,程序交错是意在通过重叠I/O和CPU操作以充分地利用资源。

如图1-4(b)所示每当进程 P_1 占用I/O操作时,系统调度程序可转换CPU处理 P_2 进程,这就允许在系统内同时执行几道程序,当 P_2 进程完成时,CPU可以转换去执行 P_3 进程,I/O和CPU

重叠操作显著减小了CPU等待时间。这种在几个程序中CPU和I/O操作的交错称为多道程序。多道程序减小了总的执行时间，进程 $P_1, P_2, \dots$ 可以属于同一或不同的程序。

2. 分时 单处理机中的多道程序使许多程序共享CPU。有时高优先级程序可能占有CPU时间太长，以致不能与其它程序共享CPU，分时操作系统可以克服这种问题。它对所有竞争使用CPU的程序分配固定或可变时间片，这概念可用图1-4(c)说明。分时方式节省的时间可能比批作业或多道程序两种方式多。

在单处理计算机中由多个程序分时使用CPU产生了虚拟处理机的概念。当计算机系统连接了许多交互式终端时分时操作特别地有效，终端的每个用户在即时的基础上与计算机相互作用。因为响应时间很快，人们不可能感觉出时间片之间的等待时间，每个用户可认为是系统的唯一用户，分时操作对研究实时计算机系统是必不可少的。

分时起初是为单处理机系统研究的，但其概念可扩展到设计交互式分时多处理机系统，当然，多处理机系统的分时更复杂。单处理机或多处理机系统的性能与操作系统能力密切相关，操作系统的主要功能是优化资源分配和管理，产生高性能的计算机系统。

1-3 并行计算机结构

并行计算机是突出并行处理的系统，根据并行计算机的基本结构特征，将它分为四种结构配置：

流水线计算机；

阵列处理机；

多处理机系统；

数据流计算机。

流水线计算机利用时间并行性执行重叠运算。阵列处理机使用许多同步算术逻辑单元达到空间并行性。多处理机系统通过共享资源(存储器、数据库等)的一组交互作用的处理机达到异步并行性。阵列处理机与多处理机之间的基本差别是，阵列处理机的处理单元同步操作而多处理机系统中的处理机可以异步操作。计算机系统设计的这三种并行处理方法并不互相排斥，事实上，现有的许多流水线计算机也呈现“阵列”或“多处理机”结构形式。

1-3-1 流水线计算机 在数字计算机中执行一条指令的过程通常包括四个主要步骤：从主存储器取指令(IF)；指令译码(ID)，以识别要执行的操作；如果执行中需要，取操作数(OF)；然后执行(EX)译码的算术逻辑操作。在非流水线计算机中，必须完成这四步操作才流出下一条指令。流水线计算机是以重叠方式执行相继的指令，如图1-5所示，四个流水线级IF, ID, OF和EX是线性串联排列，两幅空间-时间图说明了重叠指令执行与顺序非重叠指令执行之间的差别。

指令周期由多个流水线周期组成。流水线周期指定等于最慢一级的延迟。级与级之间的数据流(输入、中间结果和输出结果)由共用的流水线时钟触发。换句话说，各级在共同的时钟控制下同步操作，为保持中间结果在相邻级之间使用接口锁存器。对于非流水线计算机，完成一条指令需要花费4个流水线周期，而流水线计算机一旦装满，每个流水线周期产生一个输出结果，指令周期有效地减小为原周期时间的1/4。

理论上, k 级线性流水线处理机速度可以提高 k 倍。但是, 由于存储器冲突、数据的相依性、分支和中断影响, 实际不可能达到该理想加速度。对某些CPU受限的指令, 就完善浮点操作而论, 执行阶段可以进一步分割为多级算术逻辑流水线。设计流水线计算机的问题包括作业顺序、阻止冲突、拥塞控制、分支处理、再配置和相关危险的解决。

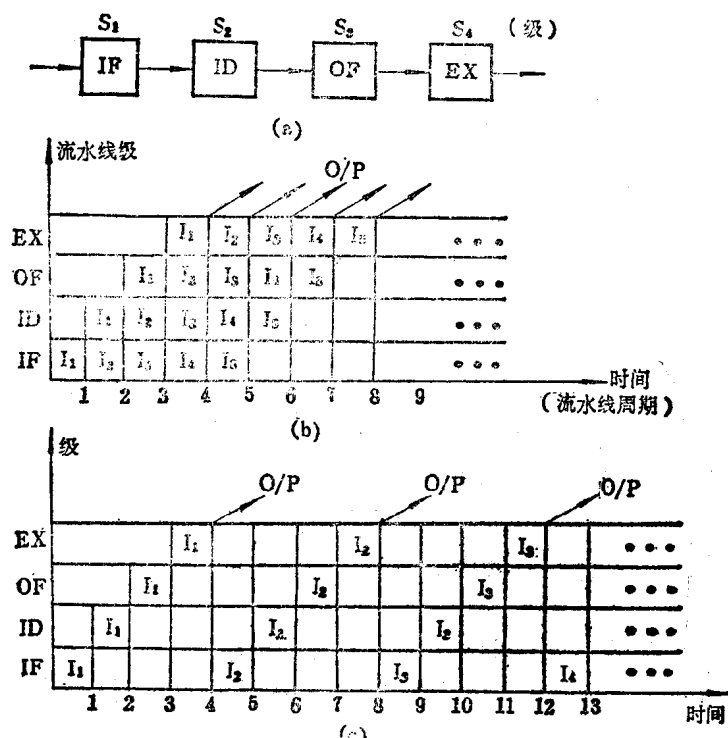


图1-5 流水线处理机和重叠指令执行的概念

(a) 流水线的处理机; (b) 流水线处理机的时间-空间图; (c) 非流水线处理机的空间-时间图

由于指令和算术重叠执行, 显然流水线计算机更适于重复地执行同一操作。每当操作改变, 例如从加法运算变为乘法运算, 算术流水线必须排空和再配置, 这将引起附加的延迟时间, 因此流水线计算机对矢量处理更具有吸引力, 分量操作可重复多次。现有的许多流水线计算机均突出了矢量处理。

图1-6表示典型的流水线计算机, 提供了标量运算和矢量运算两种流水线。指令预处理部件本身带有三级流水线。OF级由两个独立级组成, 一级取标量操作数, 另一级取矢量操作数。标量寄存器在数量上少于矢量寄存器, 因为每个矢量寄存器含有整组分量寄存器。例如, 在Cray-1中矢量寄存器包含64个分量寄存器, 每个分量寄存器为64位宽, 每个矢量寄存器需要4096个触发器。标量和矢量数据可以呈现定点或浮点格式。这意指不同的流水线可以不同的数据格式用于不同的运算逻辑功能。在结构控制策略上标量运算流水线不同于矢量运算流水线, 现代矢量计算机常常与处理矢量指令和标量指令混合的能力很强的标量计算机相竞争。

资料中介绍的流水线计算机主要包括如下的矢量处理机: Star-100、现代科学计算机ASC、流水线处理机和带有浮点系统的FPS-164、MATP和IBM3838、近代的矢量处理机Cray-1, Cyber-200和VP-200。要研究的矢量化方法包括资源库、流水线链、矢量分割、矢量化汇编设计和矢量处理的汇编优化。

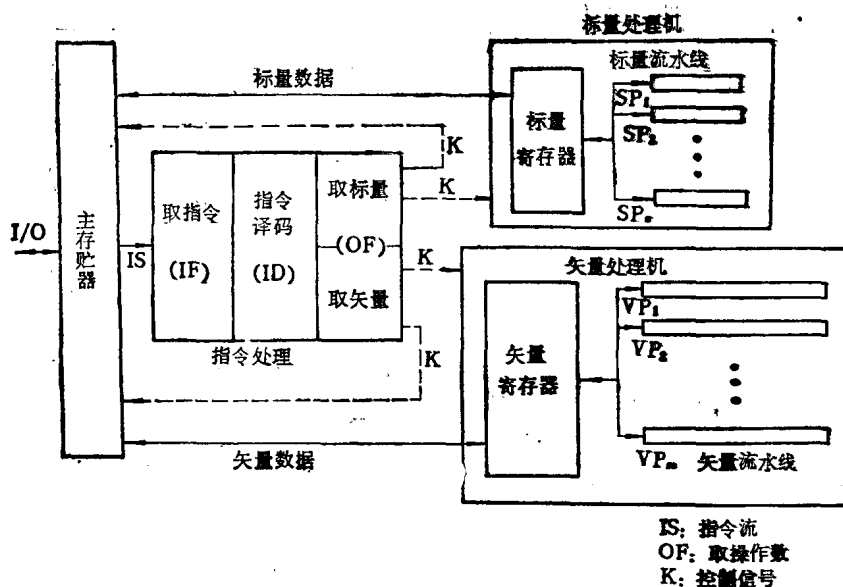


图1-6 带标量和矢量处理能力的现代流水线计算机功能结构

本书不打算对上述流水线结构形式的计算机系统作介绍, 仅在第二章中讨论用VLSI运算部件进行流水线式重叠运算以实现并行算法的方法。第三章提出了利用VLSI芯片组成搏动型结构, 它们都属于流水线计算机范畴。

1-3-2 阵列计算机 阵列计算机是由许多称为处理单元 PE 的算术逻辑单元组成的同步并行计算机, PE 单元以步锁定方式并行操作。通过复制 ALU 达到空间并行性, 在同一时间 PE 同步执行同一功能, PE 之间必须建立相应的数据路径选择结构。图 1-7 为典型的阵列处理机结构。标量指令和控制形式的指令直接在控制部件内 (CU) 执行。每个 PE 由带寄存器的 ALU 和局部存贮器组成, PE 通过数据路径选择网络互连, 对指定的计算所要建立的互连模式根据控制部件 CU 的程序加以控制。矢量指令传播到各 PE 单元, 对直接从局部存贮器所取的不同分量操作数分布执行。取指令和译码由控制部件完成, PE 是无指令译码能力的部件。

将在第四章阵列处理机中介绍 PE 集合的各种互连结构, 包括循环网络和多级网络。可内容寻址的存贮器称为联想存贮器, 用联想存贮器设计的阵列处理机称为联想处理机。

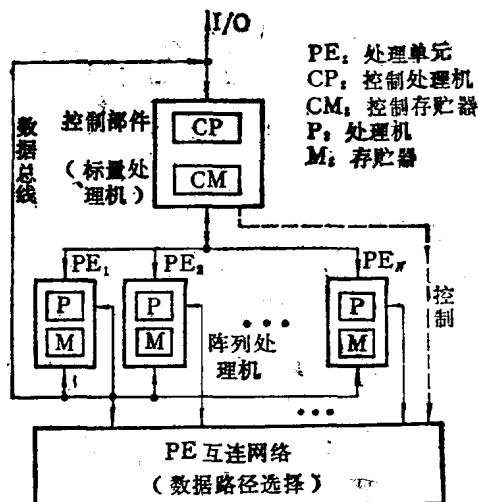


图1-7 带有并发标量处理的SIMD阵列处理机的功能结构

还有一种金字塔结构, 实际上可认为是一种三维阵列处理机, 将在第五章中详细讨论。

1-3-3 多处理机系统 多处理系统可改善系统吞吐量、可靠性、灵活性和有效性。图 1-8 示出基本的多处理机结构, 系统包含两个或多个性能和容量相近似的处理机, 所有处理

机共享访问公共的存贮器模块组、I/O 通道和外围设备。整个系统必须有一个集中的操作系统,提供各级处理机与它们程序之间的相互作用。除去共享存贮器和I/O设备之外,每个处理机有其局部存贮器和专用设备,通过共享存贮器或中断网络可以完成处理机间的相互通信。

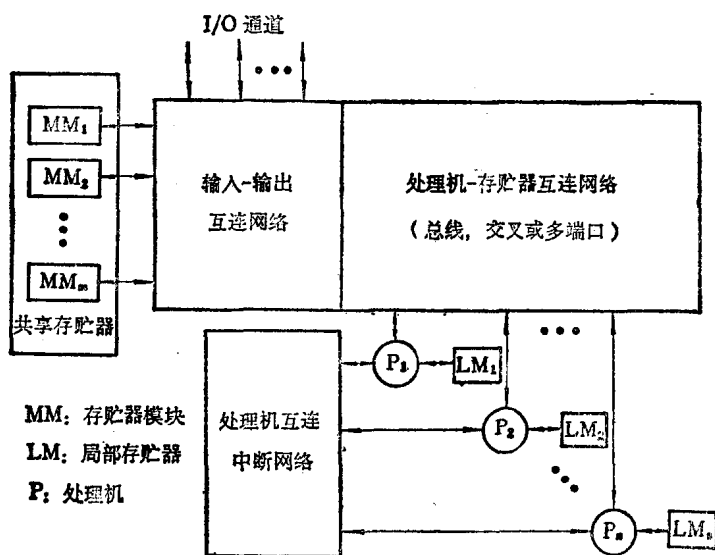


图1-8 基本的多处理机结构

存贮器和处理机之间(如果需要,存贮器和I/O通道之间)所使用的互连结构基本上确定了多处理机硬件系统结构,三种不同的互连结构为:

- 分时公共总线;
- 交叉开关网络;
- 多端口。

用于多处理机系统的这三种结构和它们的扩展将在第六章详细介绍。多处理机中并行性技术的研究包括开发并行语言特征和检测用户程序中的并行性。

多处理机的特殊存贮器结构包含分层虚拟存贮器、高速缓冲存贮器、并行存贮器、页式调度和各种存贮器管理问题。操作系统的重要课题包括保护方案、系统死锁解决方法、进程相互通信和多处理机的各种调度策略。还需研究多处理机的并行算法,同步和非同步两种算法的评估。

现有的几种探索和商用多处理机系统,包括CMU开发的C·mmp系统和Cm*系统,LLL开发的S-1多处理机系统,IBM370/168MP系统,IBM3081,Univac1100/80和90MP,Tandem多处理机,Denelcor HEP系统以及Gray X-MP和Gray-2系统。

至此,已讨论了集中式的计算系统,在这种系统中所有的硬件—软件资源放置于同一计算中心,各子系统间有很小通信延迟。由于计算机硬件和通信价格的不断降低,已使计算机系统中硬件、控制和数据库的非集中化成为可能。分布处理系统提出的要求包括快速响应、高有效性、故障弱化、资源共享、对工作负载变化的高度自适应能力和良好的可扩展性。分布计算在银行、航空公司、政府部门和全国性商船等方面已被广泛应用。

1-3-4 并行计算机性能 由 n 个相同的处理机组成的并行计算机对一个问题并发操作,达到的最大速度是单处理机处理速度的 n 倍。实际上,因为存贮器存取或通信通道的冲突,利