

CMOS

模拟集成电路的应用

王 国 定 编 著

上海科学技术出版社



CMOS模拟集成电路的 应用

王国定 编著

上海科学技术出版社

内 容 提 要

CMOS 模拟集成电路与传统的双极晶体管模拟电路相比, 具有易于实现大规模集成化、功耗低、能将模拟和数字电路兼容在同一芯片上等优点。

本书从实用角度出发, 深入浅出地论述了 CMOS 模拟集成电路的结构、特性以及应用实例。同时还着重介绍了 CMOS 新颖电路 PCM 和开关电容滤波器。全书共分六章, 内容包括: MOS 模拟电路基础; CMOS 运算放大器及其应用; CMOS 电压比较器和定时电路; CMOS D/A 转换器与 A/D 转换器; 锁相环和模拟开关; CMOS 数字通信专用电路。

本书内容深入浅出, 资料丰富实用, 可供从事集成电路专业的技术人员、电路应用工作者和大专院校师生参考, 亦可作为大专院校教学参考书。

CMOS 模拟集成电路的 应用

王国定 编著

上海科学技术出版社出版

(上海瑞金二路 450 号)

新华书店上海发行所发行 江苏扬中印刷厂印刷

开本 787×1092 1/16 印张 12.5 字数 319,000

1985 年 11 月第 1 版 1985 年 11 月第 1 次印刷

印数: 1-12,000

统一书号: 15119·2433 定价: 2.50 元

前 言

CMOS 模拟集成电路是国外在七十年代后期研制出来的一种模拟集成电路分支。这一分支一诞生,就展示了显著的优点,它除了具有工艺简易、易于制作高集成度产品的优点外,还能将模拟和数字两种技术兼容在同一单片上,制成双极技术较难制作的一些高精度模拟电路。正因如此,CMOS 模拟集成电路一问世,就受到各集成电路制造工作者的重视和关注。八十年代初,我国有关工厂和院校,也开始了这一领域的研制工作,并制成了一系列具有代表性的产品。这些产品一诞生,就得到电路工作者的欢迎,并迅速得到应用。

本书力求从实用角度介绍 CMOS 模拟集成电路的原理和应用实例。全书共分六章,第一章介绍 CMOS 模拟技术基础和基本单元电路的设计方法;第二章介绍 CMOS 运算放大器和它们的基本应用;第三章介绍电压比较器和定时电路,这些电路是构成 CMOS LSI 产品的基本单元电路,它们已被用来构成各种新颖的实时信号处理电路;第四章介绍 D/A 和 A/D 转换器,这是近年来随着微处理机应用而发展起来的重要实时接口电路,也是较能体现 CMOS 技术优势的产品;第五章介绍锁相环和模拟开关,这也是目前在通信领域和定时处理中的重要接口;第六章是利用前五章的内容综合起来的通信专用电路,即 PCM 专用电路和近年来十分“热门”的开关电容滤波器电路,这一章是人们比较关注的新颖技术。

本书叙述的大多数电路是国内已经能够生产和正在研制的产品,所介绍的应用实例大部分已被整机厂所采用,因而具有一定的实用价值。

本书在编写过程中,得到上海元件五厂领导的鼓励和支持,在此表示感谢。由于作者水平有限,书中错误之处在所难免,敬请读者批评指正。

王国定 1984年6月

目 录

前 言	
第一章 MOS 模拟电路基础	1
§ 1-1 MOS FET 的基本特性	1
§ 1-2 MOS 晶体管与双极晶体管模拟特性的比较	9
§ 1-3 MOS 电流镜单元	13
§ 1-4 MOS 源极耦合放大单元	18
§ 1-5 MOS 晶体管非饱和区的电阻特性	22
§ 1-6 MOS 器件的保护和电源问题	25
第二章 CMOS 运算放大器及其应用	23
§ 2-1 CMOS 放大级的特点及基本结构	28
§ 2-2 CMOS 运放的基本结构和分析模型	32
§ 2-3 CMOS 运放的典型产品分析	41
§ 2-4 CMOS 第四代集成运放	47
§ 2-5 CMOS 运放的应用举例	62
第三章 CMOS 电压比较器和定时电路	69
§ 3-1 全 MOS 电压比较器及其设计方法	69
§ 3-2 CMOS 电压比较器的典型产品 5G14574	73
§ 3-3 CMOS 电压比较器的典型应用	76
§ 3-4 CMOS 定时电路 5G7556	83
§ 3-5 5G7556 的典型应用	87
第四章 CMOS 数-模转换器与模-数转换器	100
§ 4-1 DAC 的基本理论及转换方法	100
§ 4-2 ADC 的基本原理及转换方法	109
§ 4-3 CMOS DAC IC 典型电路	115
§ 4-4 CMOS ADC IC 及其应用	126
§ 4-5 逐次近似单片电荷平衡 ADC	136
第五章 锁相环和模拟开关	144
§ 5-1 CMOS 锁相环 5G4046	144
§ 5-2 CMOS 四双向模拟开关	153
§ 5-3 CMOS 多路模拟开关 5G4051	164
第六章 CMOS 数字通信专用电路	174
§ 6-1 PCM 基本原理	174
§ 6-2 CMOS PCM 的典型产品简析	183
§ 6-3 PCM IC 的应用实例	191
§ 6-4 CMOS 开关电容滤波器	195
参考文献	209

第一章 MOS 模拟电路基础

早在双极型晶体管问世之前,人们就设想利用半导体表面上的电场效应来制造晶体管。但由于当时制造工艺的限制而无法成为现实。直到六十年代初,半导体平面工艺技术的进步,才制造出可以付诸实用的金属-氧化物-半导体场效应晶体管(简称 MOS FET)。这种利用半导体表面上电场效应的晶体管,由于其特性类似于真空五极管,因而具有输入阻抗高、动态范围宽、电路设计简单等一系列优点。更重要的是这种 MOS FET 器件的制造工艺较之双极型晶体管简单。利用 MOS 器件构成集成电路,具有无须隔离等优点更是引起人们的重视。正因为如此, MOS FET 一直成为集成电路,特别是数字集成电路优先被选用的元件,在近年来大规模集成电路发展中占据重要的主流地位。

本章从 MOS 器件最基本的模拟特性的分析出发,来讨论 MOS 器件能否获得优于双极器件的特性,能否设计出高性能的电路,这两个令人感兴趣的问题。同时通过本章的介绍,提供一些必要的预备知识,为后面各章的讨论作好准备。

§ 1-1 MOS FET 的基本特性

虽然 MOS FET 的基本特性已为人们所熟悉,但由于以往对它的了解偏重于数字电路中所需的诸如开关时间等特性(这些属于大信号瞬态的特性固然十分重要),忽视了它的处理小信号能力的模拟特性,这些以往被忽略的特性却正是研究 MOS 模拟技术必须深入了解的重要方面。

由于人们对双极型晶体管的模拟特性已经比较熟悉,因此在本节讨论时,采用两者类比的方法,使读者易于了解。

一、MOS 器件的电压电流特性

MOS 器件按其导电性来分类,可以分为 P 沟道 MOS 晶体管(PMOS)和 N 沟道 MOS 晶体管(NMOS)两类。另外从 MOS 器件沟道形成的机理来分,又可分为增强型和耗尽型两种,因此不同的极型和沟道导电机理的器件,其电学特性亦不相同,这已为人们所熟知,这里不再赘述。归纳起来,四种不同类型的 MOS 器件的符号和其输入、输出的电压电流特性曲线列于表 1-1。从表 1-1 可知,不同极型沟道的器件有极为类似的伏安特性,而不同沟道导电机理的伏安特性则仅是输入特性中有不同的开启电压。

1. 输出特性曲线

从表 1-1 可知,不同沟道的 MOS 器件,仅是电压与电流的极性不同,也就是曲线所处的象限不同而已。下面,以 NMOS 为例来说明它的输出特性曲线的形成机理。

图 1-1 示出一个 NMOS 在不同 V_{DS} 作用下的工作情况。众所周知,为使 MOS 晶体管的漏源有电流 I_{DS} 流通,即在源扩散区与漏扩散区之间形成导电沟道,栅源电压 V_{GS} 应大于

表 1-1 MOS 器件符号和 V-I 曲线

管型*	符号	输入转移特性	输出特性
E 型 N 沟 MOS 管			
D 型 N 沟 MOS 管			
E 型 P 沟 MOS 管			
D 型 P 沟 MOS 管			

* E 型指增强型 MOS 晶体管; D 型指耗尽型 MOS 晶体管.

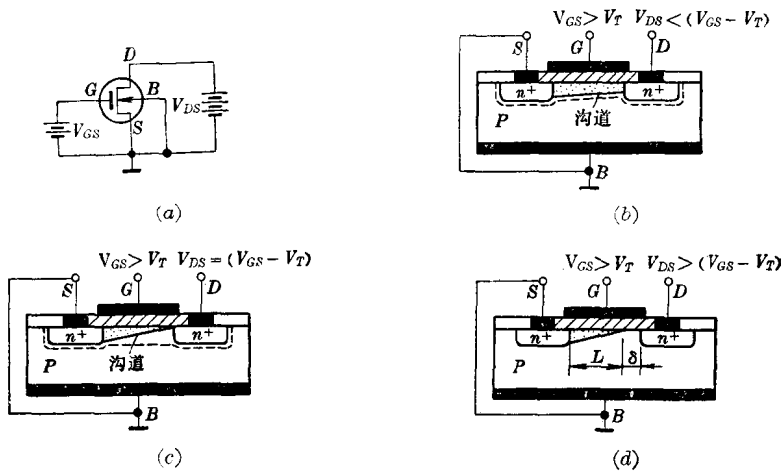


图 1-1 NMOS 工作原理图

开启电压 V_T , 同时对 N 沟道器件而言, 要在漏源间加上正电压 V_{DS} . 为讨论简单起见, 将 MOS 管的衬底 B 与源极 S 短接, 使 $V_{BS} = 0$, 电路连接方式如图 1-1(a) 所示.

下面分三种情况来讨论 MOS 晶体管的输出特性.

(1) $V_{GS} > V_T, V_{DS} < (V_{GS} - V_T)$ 在 V_{DS} 很小时, 由 $V_{GS} > V_T$ (图 1-1(b)) 形成的沟

道(N 沟道)两端的电位差很小, 此时沿着整个沟道长度上各点的电位可近似为零。这时在沟道上各点与栅极的电位基本上恒定不变, 因而由 V_{GS} 作用形成的反型层, 即沟道中的自由电子的浓度基本上为常数, 沟道的作用如同数值一定的一个电阻。在这种情况下, 流过漏和源的电流 I_{DS} 与漏源间电压 V_{DS} 成正比, 其伏安特性处于图 1-2 的线性电阻区, R_{ON} 阻值与该曲线段的斜率相等, 并与 V_{GS} 有关。 I_{DS} 可用下列方程来描述:

$$I_{DS} = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2] \quad (1-1)$$

式中: μ_n ——MOS 管 N 沟道反型层中电子迁移率;

C_{ox} ——氧化层单位面积的电容容量;

$$C_{ox} = \frac{\epsilon_i \epsilon_0}{t_{ox}}$$

ϵ_i ——二氧化硅的介电常数;

ϵ_0 ——真空的介电常数;

t_{ox} ——氧化层厚度。

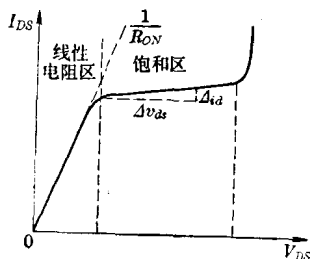


图 1-2 输出特性曲线

从(1-1)式可以得到在这一工作区中伏安特性的斜率的表示式, 在 V_{DS} 很小的情况下,

(1-1)式中的 $\frac{1}{2} V_{DS}^2$ 项可忽略, 于是(1-1)式可简化为:

$$I_{DS} \cong \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (1-2)$$

对(1-2)式求 V_{DS} 的导数得线性电阻区在某一 V_{GS} 下的电导表式:

$$g_{on} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS} = \text{const}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T) \quad (1-3)$$

电阻值为:

$$R_{on} = \frac{1}{g_{on}} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)} \quad (1-4)$$

在(1-1)式到(1-4)式中, W 为沟道宽度, L 为沟道长度, 它们的几何尺寸由图形设计决定。

(2) $V_{GS} > V_T$, $V_{DS} = (V_{GS} - V_T)$ 在 $V_{DS} = (V_{GS} - V_T)$ 时, 从图 1-1(c) 可以看到, 由于 V_{DS} 的增大, 靠近漏端(D 端)的点上的电位高于靠近源端(S 端)点上的电位。这样使栅电压产生的电场不再均匀地在沟道中分布, 靠近漏端的沟道点与栅极的电位差变小, 电子的浓度亦减小, 在漏极处的浓度为零, 同时沟道厚度从源到漏逐渐变薄, 并在漏极处厚度为零, 反型层消失, 沟道恰好被夹断, I_{DS} 不再随 V_{DS} 的增大而增大, 见图 1-2 中饱和区。

在这一区内, I_{DS} 与 V_{DS} 无关, 此时由于 $V_{DS} = (V_{GS} - V_T)$, 故将这一关系代入(1-1)式则有:

$$\begin{aligned} I_{DS} &= \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_T) (V_{GS} - V_T) - \frac{1}{2} (V_{GS} - V_T)^2] \\ &= \mu_n C_{ox} \frac{W}{L} \cdot \frac{1}{2} (V_{GS} - V_T)^2 \end{aligned} \quad (1-5)$$

通常将 $\mu_n C_{ox} \frac{W}{L}$ 用 β_n 来表示, β_n 称为 NMOS 的增益因子, 当器件 $\frac{W}{L}$ 一定时, β_n 是常数,

(1-5)式可表示为:

$$I_{DS} = \frac{1}{2} \beta_n (V_{GS} - V_T)^2 \quad (1-6)$$

(1-6)式从理论上来看, I_{DS} 与 V_{DS} 无关, 其电阻为无限大, 输出电导 $g_o = \frac{\partial I_{DS}}{\partial V_{DS}} = 0$, 但实际上并非如此. 这一点在下面的讨论中再加说明.

(3) $V_{GS} > V_T$, $V_{DS} > (V_{GS} - V_T)$ 从图 1-1(d) 的状况可以说明 V_{DS} 对沟道的调变效应. 从上述分析可知, 在沟道刚被夹断, 即 $V_{DS} = (V_{GS} - V_T)$ 时, I_{DS} 不再增大而趋于饱和, 但随着 V_{DS} 的进一步增大, 使漏极附近的沟道也被夹断, 这就使反型层的有效长度缩短, 产生一个夹断长度为 δ 的区间, 此时有效沟道长度 l 与几何长度 L 之间有一偏差 δ :

$$\delta = L - l \quad (1-7)$$

这就是说, l 在 $V_{DS} > (V_{GS} - V_T)$ 时与 V_{DS} 值的大小有关, 这就是沟道调变效应, 它类似于双极晶体管的基区宽度调变效应. 这说明在饱和区 I_{DS} 并不饱和, 而随 V_{DS} 变化而变化, 漏源间电导并不为零.

将(1-7)式代入(1-6)式, 并对 V_{DS} 求导数, 由于 l 与 V_{DS} 相关, (1-6)式中 $\beta_n = \mu_n C_{ox} \frac{W}{L}$ 用 $\beta_n \left(\frac{W}{l} \right)$ 取代, 于是有:

$$\begin{aligned} g_{ds} &= \frac{\partial I_{DS}}{\partial V_{DS}} \Big|_{V_{GS} > (V_{GS} - V_T)} = \frac{\partial}{\partial V_{DS}} \cdot \frac{1}{2} \beta_n (V_{GS} - V_T)^2 \\ &= \frac{1}{2} \beta_n' \frac{\partial}{\partial V_{DS}} \left[\left(\frac{W}{l} \right) (V_{GS} - V_T)^2 \right] = \frac{1}{2l} \beta_n' \left(\frac{W}{l} \right) \cdot \frac{\partial l}{\partial V_{DS}} (V_{GS} - V_T)^2 \end{aligned} \quad (1-8)$$

现用沟道长度调变系数 η 来表示 $\frac{1}{l} \frac{\partial l}{\partial V_{DS}}$, 并代入(1-8)式, 在 δ 很小时, (1-8)式可写为:

$$g_{ds} = \frac{\partial I_{DS}}{\partial V_{DS}} \Big|_{V_{GS} > (V_{GS} - V_T)} \simeq \eta \left[\frac{\beta_n'}{2} \left(\frac{W}{L} \right) (V_{GS} - V_T)^2 \right] \quad (1-9)$$

即得:

$$g_{ds} = \eta \cdot I_{DS} \quad (1-10)$$

饱和区的电阻为:

$$R_{ds} = \frac{1}{\eta I_{DS}} \quad (1-11)$$

将 R_{ds} 写成标准形式, 即可用一个电压 V_A 来取代 η . 也就是当: $V_A = \frac{1}{\eta}$ 时, R_{ds} 可用下式来表示:

$$R_{ds} = \frac{V_A}{I_{DS}} \quad (1-12)$$

(1-12)式中的 V_A , 恰好是双极晶体管中引出的“欧拉电压”. 它同样可用 MOS 晶体管输出特性曲线中饱和区曲线外推到与 V_{DS} 轴的交点处的电压值来表示, 如图 1-3 所示.

从图中可知, V_A 与 V_{DS} 值无关, 它仅与器件的沟道长度有关, 在 δ 很小时, 有:

$$V_A = \frac{1}{\eta} = \frac{l}{\partial l / \partial V_{DS}} \simeq L \cdot \frac{1}{\lambda} \quad (1-13)$$

其中 λ 是沟道调变因子. 要提高饱和区的输出电阻 R_{ds} , 除了要降低 λ 外, 可通过几何图形

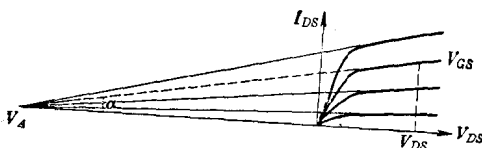


图 1-3 输出外推曲线

的设计, 加长 L 来实现, 这在 MOS 模拟电路的设计中是一个重要的有利因素。

这样, 在 $V_{DS} > (V_{GS} - V_T)$ 时, I_{DS} 的表示式为:

$$I_{DS} = \frac{1}{2} \beta_n (V_{GS} - V_T)^2 + g_{ds} \cdot V_{DS} = \frac{1}{2} \beta_n (V_{GS} - V_T) (1 + \theta) \quad (1-14)$$

式中 $\theta = \eta \cdot V_{DS}$, (1-14) 式是对饱和区电流电压特性的修正。一般来说, MOS 器件的沟道调变效应的影响, 较之双极型的基宽调变效应的影响要小, 对工艺依赖性也要小得多。从 MOS 器件原理知, 沟道调变因子 λ 可由下式表示:

$$\lambda = \frac{\partial l}{\partial V_{DS}} = \frac{1}{2} \sqrt{\frac{\epsilon_i}{2tqN_A}} / \sqrt{V_{DS} - V_{GS} + V_T} \quad (1-15)$$

式中: q ——电子电荷量;

N_A ——掺杂浓度。

由于掺杂浓度的不同, P 沟道器件较之 N 沟道器件的 λ 要大得多, 因而 P 沟器件的沟道长度 L 与 N 沟器件的沟道长度相同时, R_{ds} 要小得多。

上面只分析了 N 沟道的输出特性, 对于 P 沟道 MOS 晶体管在原理上完全类似, 仅是电压电流的方向正好相反而已, 因此不再讨论。

2. 输入特性曲线与跨导 g_m

MOS 晶体管的输入特性是指 V_{DS} 在一定值时, I_{DS} 随输入电压 V_{GS} 的变化而变化的关系。对于增强型 MOS 管, 在表 1-1 中已示出了它的输入转移特性, 现重画在图 1-4 中, 这里仅画出 N 沟晶体管的转移特性。由图知, 当 $V_{GS} < V_T$ 时, $I_{DS} = 0$ 。这是因为此时耗尽层厚度 $x_d < x_{dmax}$, 反型层尚未形成, 故而没有漏源电流 I_{DS} 流过。当 $V_{GS} = V_T$ 时, $x_d = x_{dmax}$, 开始形成反型层, 但电流极微, 仅当 $V_{GS} > V_T$ 时, 随 V_{GS} 增加使沟道电导率增大, I_{DS} 增大。

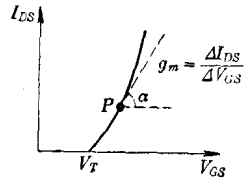


图 1-4 输入转移特性

图 1-4 的曲线实质上是 (1-1) 式和 (1-5) 式的解析图象。这里, 我们感兴趣的是曲线的斜率, 并注重于 $V_{DS} \geq (V_{GS} - V_T)$ 的部分的斜率。我们用跨导 g_m 来描述输入转移曲线的斜率。在饱和区, 可对 (1-5) 式求导得到 g_m 的表示式:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\partial}{\partial V_{GS}} \left[\frac{\beta_n}{2} (V_{GS} - V_T)^2 \right] = \beta_n (V_{GS} - V_T) \quad (1-16)$$

由于 $(V_{GS} - V_T) = \sqrt{\frac{2I_{DS}}{\beta_n}}$, 代入 (1-16) 式可得:

$$g_m = \beta_n \sqrt{\frac{2I_{DS}}{\beta_n}} = \sqrt{2\beta_n I_{DS}} \quad (1-17)$$

很明显, g_m 表示 MOS 晶体管能将一个输入电压转换成输出电流的能力的大小, 在模拟集成电路中, g_m 是十分关键的一个参量。从 (1-17) 式可知, g_m 不仅与器件偏置电流 I_{DS} 的平方根成正比, 而且还与 $\sqrt{\frac{W}{L}}$ 有关, 也就是 g_m 可通过 MOS 器件宽长比即图形尺寸的设计来加以调节。这正是双极型晶体管所不具备的。

二、MOS 器件的等效分析模型

上面我们简单地分析了 MOS 晶体管的输入和输出特性。对于模拟集成电路研制人员

来说,重要的是将这两种特性综合起来,归纳出一种简易实用的分析模型。从前面的讨论知道,对于一个共源 MOS 晶体管,其输入端可视为输入电阻近于无限大的端口,但输入端的电压增量 v_{gs} 却可以控制 MOS 器件输出端口的输出电流 i_{ds} 。这样,一个 MOS 晶体管(例如 N 沟增强型晶体管)可以用一个电压控制电流源来等效,图 1-5 示出这一分析模型。



图 1-5 MOS 器件分析模型

很显然,输入端等效一个电阻 R_{gs} 且 $R_{gs} \rightarrow \infty$; 输出端可等效为一个电流源,其电流值 $i_s = g_m v_{gs}$, 但从 $D-S$ 端看入,这个电流源并非理想,随着 $D-S$ 端电压 v_{ds} 的变化,端口的电流 i_{ds} 亦会发生变化,相当于电流源的内阻不是无限大,而是有限值,且为 R_{ds} 。由前面讨论知道, $R_{ds} \approx \frac{V_A}{I_{DS}}$ 。于是输出端口的电流为:

$$i_{ds} = g_m v_{gs} + g_o v_{ds} \quad (1-18)$$

式中:

$$g_o = \frac{1}{R_{ds}}; \quad g_m = \sqrt{2\beta_N I_{DS}}$$

图 1-5(b) 就是 MOS 晶体管的简化直流分析模型。

在图 1-5(b) 的模型中,未考虑 MOS 晶体管中的极间电容和寄生电容的影响。事实上,一般 MOS 晶体管的栅极是由铝-介质-硅的结构组成,因此是一个“电容器”,其电容量与栅极的结构和器件的几何面积有关,并可表示为:

$$C_G = \frac{\epsilon_i \epsilon_o}{d} W \cdot L \quad (1-19)$$

式中 d 为二氧化硅介质层的厚度。从图 1-6(a) 的 MOS 器件的结构来看,栅对源、栅对漏均有二个等效电容存在,这就是栅源电容 C_{gs} 和栅漏电容 C_{gd} 。于是 MOS 器件的高频等效电路可以用图 1-7 的模型来表示。图中 C_{gs} 和 C_{gd} 是由于栅电极覆盖在源和漏扩散区而引起的极间电容,这两个电容的存在会严重影响 MOS 器件的高频性能,一般应尽可能减小它们的电容量。另外漏源之间还存在 PN 结电容 C_{ds} 。

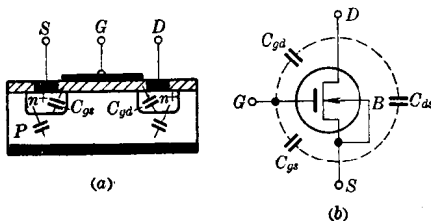


图 1-6 MOS 器件极间电容结构

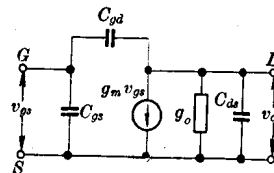


图 1-7 MOS 器件高频模型

在目前所讨论的模拟集成电路的大多数具体产品中,由于工作频率都不太高,因此这些电容的影响并不十分明显。

三、MOS 晶体管的衬底调变效应

前面讨论的 MOS 晶体管的电压电流特性都是指衬底和源极连接在一起时的特性。这种 $V_{BS}=0$ 时的器件特性，对于用分立(即单个 MOS 晶体管)器件组成的电路来说无疑是正确的，因为单个 MOS 晶体管在制造时通常将 B 和 S 接在一起引出。然而在集成电路中，MOS 器件的源极和衬底就无法接在同一电位上，例如图 1-8 所示的单沟道 MOS 有源负载放大级的情况就是一个具体实例。由图知，当放大管 N_1 的输出电位 V_o 在摆动时，负载管 N_2 的源极电位亦在变动，由于 N_2 的衬底 B_2 连在固定的最低电位上，致使 V_{BS2} 电位随 V_o 变化，引起衬底调变效应。

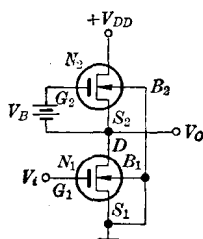


图 1-8 单沟道有源负载放大级

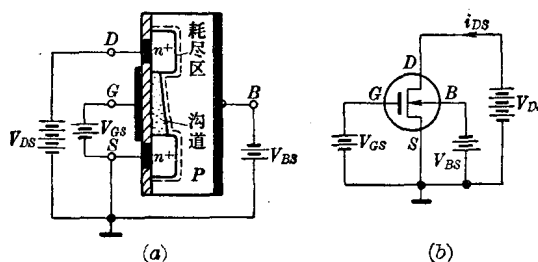


图 1-9 MOS 器件 V_{BS} 效应剖析图

一般来说，当 MOS 晶体管的衬底与源极不连在一起时，要求衬底的电位低于源极(对 N 沟器件而言)，即要求 $V_{BS} \leq 0$ ，从图 1-9 可以看出，若在衬底和源极之间加上负电压 V_{BS} 时，MOS 晶体管类似一个四极真空管。在 $V_{BS} < 0$ 时，由于源极与漏极之间通过反型层沟道来导电，但源与漏扩散区与衬底之间要靠耗尽层来绝缘，因此要求源与衬底之间处于反向偏置状态(当然 V_{BS} 在低于 PN 结正向导通电压值时例如 0.5V 以下，也允许加正向偏压)。 V_{BS} 变化时，会影响 MOS 晶体管的开启电压 V_T 。这就是我们要讨论的体效应，也可称为衬底调变效应。

由 MOS 晶体管的导电机理可知， V_{BS} 越是负，耗尽层变得越厚，这就使耗尽区中的负空间电荷增加，导致反型层(沟道)中电子数量的减少，也就等效于开启电压 V_T 增大。图 1-10 示出 V_{BS} 不同时的 V_T 值的变化实验电路和曲线。显然在一定的 $\sqrt{I_{DS}}$ 下，不同的 V_{BS} 有不同的 V_{GS} ，也就是有不同的 V_T 值。

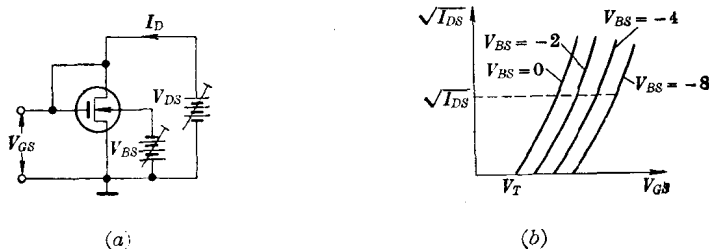


图 1-10 V_T 与 V_{BS} 关系曲线

根据半导体表面理论， V_T 与 V_{BS} 的关系可用下式表示：

$$V_T(V_{BS}) = V_{T0} + \Delta V_T \tag{1-20}$$

式中 ΔV_T 可表为：

$$\Delta V_T = \frac{1}{C_{ox}} \sqrt{2\varepsilon_i \varepsilon_0 q N_A} [\sqrt{-V_{BS} + 2\phi_F} - \sqrt{2\phi_F}] \quad (1-21)$$

令

$$\gamma = \frac{\sqrt{2\varepsilon_i \varepsilon_0 q N_A}}{C_{ox}} \quad (1-22)$$

则上式变为:

$$\Delta V_T = \gamma [\sqrt{-V_{BS} + 2\phi_F} - \sqrt{2\phi_F}] \quad (1-23)$$

式中: γ ——MOS 器件的体因子;

ϕ_F ——P 型硅的费米势;

$$\phi_F = \frac{kT}{q} \ln \frac{n_i}{N_A} \quad (1-24)$$

n_i ——本征硅材料的载流子浓度。

若对(1-21)式求 V_{BS} 的导数, 就可以得到衬底调变系数 ψ , 并可写为:

$$\psi = \frac{\partial V_T}{\partial V_{BS}} = 2\sqrt{2\phi_F} C_{ox} \sqrt{\frac{1 + V_{BS}/2\phi_F}{2q\varepsilon_i \varepsilon_0 N_A}} \quad (1-25)$$

这样就有:

$$\Delta V_{BS} = \frac{\Delta V_T}{\psi} \quad (1-26)$$

如果把衬底 B 作为一个输入端(正因如此, B 又称为背栅), 利用(1-26)式和(1-5)式可以将 ΔV_{BS} 当作类似 ΔV_{GS} 来处理, 于是可以求得用背栅作输入时, MOS 器件的另一跨导, 我们用 g_{mB} 来表示, 则可写为:

$$g_{mB} = \frac{\partial I_{DS}}{\partial V_{BS}} = \psi \frac{\partial I_{DS}}{\partial V_T} = -\psi \beta_n (V_{GS} - V_T) \quad (1-27)$$

这一结果对于用 MOS 技术来设计模拟集成电路时, 有时十分有用, 这种四极管作用, 是双极型器件所没有的, 这一优点将在以后具体电路分析中要用到。(1-25)式对单沟道 MOS 模拟电路, 又是必须考虑的一种效应, 在实际产品分析时还要提到。

四、MOS 器件的噪声性能

在模拟电路的设计中, 器件的噪声性能是一项比较重要的性能, 特别是在一些低漂移、高精度放大器的设计中或是 A/D、D/A 转换器的设计中更显得重要。器件噪声性能的优劣, 往往直接影响电路的精度和电性能。

我们知道, 一个理想的有源器件在用作放大器时, 它本身只放大输入信号而不产生附加噪声, 然而实际上任何有源器件都要产生附加噪声。衡量一个器件噪声特性优劣的指标一般用噪声系数, 它定义为:

$$F = \frac{e_{N_o}}{e_{N_i} k_P} \quad (1-28)$$

式中: e_{N_o} ——器件的输出噪声功率;

e_{N_i} ——器件的输入噪声功率;

k_P ——器件的功率增益。

(1-28)式用分贝表示时为:

$$N_F = 10 \lg F \quad (\text{dB}) \quad (1-29)$$

如果器件本身不产生附加噪声, 则(1-28)式中 $e_{N_o} = e_{N_i} k_P$, 也就是 $F=1$, 或者说 $N_F=0 \text{ dB}$ 。

如果器件要产生附加噪声,必然 $e_{N_0} > e_{N_i} k_F$,但实际上希望 N_F 越小越好,因为 N_F 反映了器件处理微弱性能的能力。

用 N_F 反映器件处理微弱信号的能力虽然十分直观,但由于(1-28)式中,它与 e_{N_i} 有关,而一般来讲, e_{N_i} 是由信号源内阻产生的噪声。它可用电阻噪声来表示:

$$e_{N_i} \propto \sqrt{4KT'R_g \Delta f} \quad (1-30)$$

式中: K ——玻尔兹曼常数;

T ——绝对温度;

R_g ——信号源内阻;

Δf ——单位带宽。

显然(1-30)式指出 e_{N_i} 与 R_g 值有关,因而在某些场合还是用等效输入端噪声电压来衡量器件的噪声性能为好,或者用文字 e_{in} 来表示器件的噪声特性,其单位为 $V/\sqrt{\text{Hz}}$ 。

用 e_{in} 来表示器件噪声性能时,可以将器件本身看作不产生任何附加噪声的理想器件,而 e_{in} 只是出现在器件输入端的一个噪声电压源而已。图 1-11 示出 MOS 晶体管的噪声性能的等效模型。由式(1-28)可知, e_{N_0} 是由信号源内阻产生的噪声功率和输入等效噪声电压产生的噪声功率经放大后的结果,因而 e_{in} 和 F 之间可以相关联,并有如下关系:

$$F = 1 + \frac{e_{in}^2}{4KT'R_g} \quad (1-31)$$

例如当 $F=3\text{dB}$, $R_g=1\text{M}$, $T=300\text{K}$ 时, $e_{in} \approx 0.13\mu\text{V}/\sqrt{\text{Hz}}$ 。

MOS 器件的噪声电压主要有两种成分:第一种是由导电沟道有限电阻值(包限源和漏极欧姆接触不好引起的电阻)产生的热噪声(又称为白噪声),它等效在输入端的噪声电压值可写为:

$$\bar{e}_{qR} = \sqrt{4KT \left(\frac{2}{3} \cdot \frac{1}{g_m} \right) \Delta f} \quad (1-32)$$

式中 g_m 是跨导。很显然,热噪声与 MOS 器件的几何尺寸、工作温度、频带宽度成正比,也和工作电流 I_{DS} 成正比。对于一个氧化层厚度为 1200\AA , $\frac{W}{L}=10$, $I_{DS}=50\mu\text{A}$ 的 MOS 晶体管,等效噪声电压 $\bar{e}_{qR} \approx 10\text{nV}/\sqrt{\text{Hz}}$ 。

第二种是所谓 $1/f$ 噪声。这是与 MOS 器件表面有关的低频噪声。这个 $1/f$ 噪声是低频时 MOS 器件主要的输入噪声来源。它可表示为:

$$\bar{e}_{qF} = \sqrt{\frac{K}{C_{ox} W/L} \cdot \frac{1}{f} \Delta f} \quad (1-33)$$

可见,它与 MOS 晶体管几何尺寸成反比。在 $\frac{W}{L}=10$, $I_{DS}=50\mu\text{A}$ 的相同条件下, $\bar{e}_{qF} \approx 100\text{nV}/\sqrt{\text{Hz}}$, 较 \bar{e}_{qR} 要大 10 倍。

MOS 晶体管在源阻抗较高(例如 $R_g > 1\text{M}$) 时,其噪声特性要比普通双极型晶体管好,但比结型场效应器件要差。

§ 1-2 MOS 晶体管与双极晶体管模拟特性的比较

在了解 MOS 晶体管的一些基本性能之后,就可以从模拟电路对有源器件性能要求出

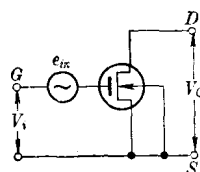


图 1-11 噪声等效模型

发, 来进一步分析它的模拟性能。在这一节中, 将比较 MOS 晶体管与双极晶体管在相同条件下它们之间的优缺点, 从而弄清楚在什么条件下, 有可能用 MOS 晶体管设计出比双极晶体管性能更好的模拟电路。

一、单管理论电压增益的比较

为了使讨论方便, 选择 N 沟增强型 MOS 晶体管和 NPN 晶体管为比较例子, 在共源(以及共发)组态时, 通过简化的分析模型来进行比较。对于 P 沟 MOS 晶体管或是 PNP 晶体管, 除了导电性外完全类似。

1. 双极型晶体管的理论电压增益

在共发射极状态时, 一个具有两个 PN 结的双极型 NPN 晶体管, 可以用图 1-12(b) 所示的电压控制电流源模型来等效。这一模型中, 元件的表示式分别可写作:

$$h_{ie} = r_b + (1 + h_{fe}) r_e \approx h_{fe} r_e \quad (1-34)$$

式中: r_b ——基极电阻;

h_{fe} ——共发射极电流增益;

$$h_{fe} = \frac{i_c}{i_b}$$

r_e ——发射极本征电阻。

$$r_e = \left(\frac{q i_c}{K T} \right)^{-1} = \frac{K T}{q i_c}$$



图 1-12 双极型器件分析模型

在图 1-12(b) 中, 控制参量 g_m 是 NPN 晶体管的跨导, 它可从 PN 结整流方程导出, 并写为:

$$g_m = \frac{\partial i_c}{\partial v_{be}} = \frac{\partial}{\partial v_{be}} [I_{sc} e^{v_{be}/K T}] = \frac{q i_c}{K T} = \frac{1}{r_e} \quad (1-35)$$

而图中 r_{ce} 是由晶体管欧拉电压 V_A 决定的输出电阻, 可写为:

$$r_{ce} \approx \frac{V_A}{i_c} \quad (1-36)$$

利用图 1-12(b) 的模型, 很容易求得此晶体管无外部负载时的电压增益(称为理论增益)

$$A_v = v_o / v_i$$

因为:

$$v_o = v_{ce} = -g_m v_{be} \cdot r_{ce} = -g_m v_{be} \frac{V_A}{i_c}$$

而

$$v_i = v_{be}$$

所以

$$A_v = -g_m \frac{V_A}{i_c} = -\frac{V_A}{K T / q} \quad (1-37)$$

式中 $K T / q$ 为 PN 结热力学结电压, 在室温时为 26 mV。

从(1-37)式可知, 在室温下, 双极型晶体管的理论电压增益 A_v 仅与晶体管的欧拉电压 V_A 有关。如果 V_A 确定, 则 A_v 就为常数, 而与工作电流 i_c 无关。若 V_A 用伏为单位, 在室

温 ($T=300\text{ K}$) 时, 双极型晶体管的理论增益又可写为:

$$A_{v(b)} = 40V_A \quad (1-38)$$

式中脚标 (b) 表示双极型的增益。

必须说明的是, (1-37) 式是在晶体管受理想电压源驱动, 信号源的内阻为零的条件下导出的。另外必须指出的是, V_A 值在很大程度上取决于晶体管的基宽调变效应, 它与工艺条件密切相关。从晶体管原理可知, 基宽调变系数与基区宽度、扩散杂质浓度、结深等工艺参数有关, 因而不能像 MOS 晶体管那样通过器件图形尺寸来设计。

2. MOS 晶体管的理论电压增益

MOS 晶体管的理论电压增益可以用图 1-5(b) 的等效分析模型来导出。从图 1-5(b) 可知:

$$v_o = v_{ds} = -g_m v_{gs} R_{ds} = -\sqrt{2\beta I_{DS}} \cdot \frac{V_{A(M)}}{I_{DS}} \cdot v_{gs}$$

$$v_i = v_{gs}$$

于是可得 MOS 晶体管的电压增益 $A_{v(M)}$ 为:

$$A_{v(M)} = \frac{v_o}{v_i} = -\sqrt{\frac{2\beta_n}{I_{DS}}} \cdot V_{A(M)} \quad (1-39)$$

式中 $\beta_n = \mu_n C_{ox} \left(\frac{W}{L}\right) = \beta_n' \left(\frac{W}{L}\right)$ 。

于是上式又可写为:

$$A_{v(M)} = -\sqrt{\frac{2\beta_n'}{I_{DS}} \cdot \frac{W}{L}} \cdot V_{A(M)} \quad (1-40)$$

从前面对 MOS 器件欧拉电压的讨论可知, (1-40) 式的 $V_{A(M)}$ 可以用 (1-11) 和 (1-12) 式中的结论来表示, 这样 MOS 器件的理论电压增益又可写为:

$$A_{v(M)} = -\sqrt{\frac{2\beta_n'}{I_{DS}} (W \cdot L)} \cdot \frac{1}{\lambda} \quad (1-41)$$

式中 $\lambda = \frac{\partial l}{\partial V_{DS}}$ 为沟道调变因子,

十分明显, MOS 晶体管的理论电压增益与器件几何尺寸, 即器件面积 ($W \cdot L$) 成正比, 而与工作电流 I_{DS} 和 λ 成反比。原则上讲, MOS 晶体管的增益没有极限值, 它可以通过几何图形的设计和工作电流的选择来获得所需值, 这一点较之双极晶体管要优越得多, 这也是 MOS 电路设计时的优点所在。

3. MOS 和双极晶体管增益的比较

在某些相同条件下, 将 MOS 晶体管和双极晶体管的理论电压增益进行比较, 无疑是十分令人感兴趣的。为了便于说明问题, 首先假定两种器件的欧拉电压相同, 即 $V_{A(b)} = V_{A(M)}$ 。我们用 S_A 来表征 MOS 晶体管的增益 $A_{v(M)}$ 与双极晶体管的增益 $A_{v(b)}$ 的比值, 即:

$$S_A = \frac{A_{v(M)}}{A_{v(b)}} \quad (1-42)$$

将 (1-40) 和 (1-38) 两式代入 (1-42) 式, 则可得:

$$S_A = \frac{1}{40} \sqrt{\frac{2\beta_n'}{I_{DS}} \left(\frac{W}{L}\right)} \quad (1-43)$$

若将典型 NMOS 晶体管的工艺参数 μ_n 和 C_{ox} 等代入上式, 则当 $\mu_n = 400 \text{ cm}^2/\text{V}\cdot\text{S}$, $C_{ox} = 3.5 \times 10^{-8} \text{ F/cm}^2$, $\frac{W}{L} = 100$ 时, 要使 $S_A \geq 1$ 时, I_{DS} 应取多少值? 此时有:

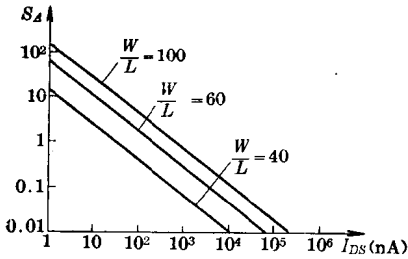


图 1-13

就是说, 只要 $I_{DS} \leq 1.7 \mu\text{A}$, MOS 晶体管的电压增益

$$\frac{1}{40} \sqrt{\frac{2 \times 400 \times 3.5 \times 10^{-8}}{I_{DS}} \times 100} \geq 1$$

$$\sqrt{I_{DS}} \leq 1.3 \times 10^{-3} \text{ A}$$

$$I_{DS} \leq 1.69 \mu\text{A}$$

要高于双极型晶体管的电压增益. 图 1-13 示出不同 I_{DS} 时的 S_A 值的关系曲线. 虽然对 MOS 晶体管来说, 工作电流越低, 电压增益越高, 这就有可能制作低功耗高增益放大器.

二、增益带宽的比较

MOS 晶体管与双极型晶体管理论增益带宽积可以通过它们各自的简化交流分析模型来进行粗略比较. 图 1-14 分别示出 MOS 晶体管和双极晶体管交流分析模型. 由于这两种器件均存在密勒效应, 因而它们影响高频下的增益的主要元件是介于输入与输出之间的极间电容 C_{gd} 和 C_{bc} . 所不同的是两种电容的结构和机理不同.



图 1-14 交流分析模型

考虑器件的密勒效应, 可以将图 1-14 的模型简化为图 1-15. 如果用 A_v 来表示 MOS 晶体管和双极晶体管的电压增益, 这就可将图 1-14 中的反馈电容 C_{gd} 和 C_{bc} 等效到图 1-15 中的输入端, 只不过此时电容值扩张为 $(1 + A_v)$ 倍. 也就是有:

$$\begin{cases} C_{n(M)} = C_{gs} + C_{gd}(1 + A_v) \simeq (1 + A_v)C_{gd} \\ C_{n(B)} = C_{be} + C_{bc}(1 + A_v) \simeq (1 + A_v)C_{bc} \end{cases}$$



图 1-15 简化模型

根据晶体管的增益带宽积的定义, 当频率达到使 h_{fe} 下降到 1 时的频率, 即为增益带宽积 ω_T . 根据这一定义当在 $h_{fe} = 1$ 时的频率下, 则必定有下述输入和输出电流相等的关系:

$$\begin{cases} i_b(\omega_T) = i_c(\omega_T) \\ i_{gs}(\omega_T) = i_{ds}(\omega_T) \end{cases}$$

从图 1-15 显然可得两种器件的输入电流表示式分别为:

$$i_{gs}(\omega) = v_{gs}\omega C_{n(M)} = v_{gs}\omega(1 + A_v)C_{gd} \tag{1-44}$$