

曾芷德 编著

国防科技大学出版社

数字系统测试与可测性

**TESTING
AND
TESTABILITY
FOR
DIGITAL
SYSTEMS**

TP330.6

7P330.6

21.5

374897

数字系统测试与可测性

曾芷德 编著

国防科技大学出版社

[湘]新登字009号

JS228/28

内 容 简 介

本书是在总结作者长期从事CAT领域科学研究成果与心得及教学实践经验的基础上，密切结合国内外CAT领域最新发展动向编著而成的。

全书系统地介绍了数字系统测试与可测性领域的基本理论和方法。主要内容包括数字系统的故障与故障模型；组合电路的路径敏化一类测试生成算法；时序电路的结构测试与功能测试方法；组合电路的可测性设计方法；可测性设计的专门方法；结构可测性设计方法；基于独立信号假定的静态可测性分析方法；基于相关信号假定的动态可测性分析方法；测试生成系统的系统模型、系统结构及提高效率的设计方法；故障模拟方法及故障辞典的应用等等。这些内容的选择既有相当的理论深度，又有较高的应用价值；既考虑到本学科理论的系统性与完整性，又不面面俱到，而是突出它们应用最广的方面和最新的发展，使理论与实践形成有机的整体。本书既可为初学者打下良好基础，又可为有志深造者提供一些有用的方法和工具。

本书可作为计算机专业和自动化专业的研究生及高年级本科生的教材，也可供从事集成电路芯片与计算机整机设计和测试的科技人员参考。

数字系统测试与可测性

曾芷德 编著
责任编辑 王金荣
责任编辑 何晋

国防科技大学出版社出版
新华书店总店科技发行所经销
国防科技大学印刷厂印装

开本：787×1092 1/16 印张：17.5 字数：404千
1992年12月第1版第1次印刷 印数：1—1500册

ISBN 7-81024-195-8
TP·36 定价：9.80元

前 言

为了促进国内对数字系统测试与可测性的深入研究,给教学提供一本教材,为科研提供一本参考书,作者在总结从事测试与可测性研究十几年所取得成果与经验的基础上,向读者奉献本书。

本书有将近一半的内容是作者个人或与他人合作所取得的研究成果及心得的结晶。在全书成书过程中,主要参考了K.Lala的“Fault Tolerant and Fault Testable Hardware Design”, T.W.Williams的“VLSI Testing”和 R.G.Bennetts的“Design of Testable Logic Circuits”的有关章节。全书内容的取材原则有四条:

一是既要有相当的理论深度,又要有较高的应用价值。对于那些理论推导复杂、应用价值不大的内容,诸如高阶布尔差分、多故障测试生成等,尽量从简或略去。

二是既照顾到本学科理论的系统性与完整性,又不面面俱到。例如书中介绍了时序电路的测试生成方法,但未全面展开,只是重点介绍了迭代组合模型的应用和验证时序机状态表的方法。

三是突出本学科的最新发展。例如PODEM和FAN算法,动态相关可测性分析等内容,书中都有详细介绍和分析。

四是紧密结合作者个人的研究成果和心得,使理论与实际形成有机整体,深入浅出,易于接受。介绍经典方法时注意引进新内容,防止一般化;介绍最新发展时注意结合研究成果,防止抽象空洞。

本书通过对内容的精选和组织,力图系统、深入地介绍数字系统测试与可测性方框的基本理论和实际应用,以便为初学者打好基础,为有志深造者指引研究方向。由于水平所限,书中不足之处在所难免,恳请同行批评指正。

本书除绪论和结论与展望之外共分四章。第一章测试生成。主要介绍测试生成理论和方法,重点是路径敏化一类确定性算法,象D算法、PODEM算法、FAN算法和G-F二值算法等。第二章可测性设计。主要讨论设计易测电路的硬件技术,重点是结构可测性设计方法。第三章可测性分析。主要研究了几种有代表性的静态和动态测度方法,重点是动态相关测度理论及其应用。第四章自动测试生成系统。是测试生成和可测性分析理论的具体应用。它以作者负责研制的几个大型插件自动测试生成系统为依据,着重介绍了建立自动测试生成系统ATGS需要考虑的几个关键问题:系统模型、系统结构、软件工程、提高系统效率和处理能力的方法等。

陶仁基高工和王芳雷副教授审阅了本书,并给予较高的评价。李金祥工程师用图形软件为本书精心绘制插图。作者在此一并表示深切谢意。

编著者

1992.3

缩写词和符号

<i>Ad hoc</i>	可测性设计专门方法
ASL	可寻址存储锁存器(addressable storage latch)
ATGS	自动测试生成系统(automatic test generation system)
BILBO	内部逻辑块监测(built-in logic block observation)
BTP	反向追踪过程(backtrace procedure)
c_A	置 A 为1的代价(cost of setting A to 1)
$c_{\bar{A}}$	置 A 为0的代价(cost of setting A to 0)
CAD	计算机辅助设计(computer-aided design)
CAT	计算机辅助测试(computer-aided testing)
CC	组合可控制性(combinational controllability)
$Ce(T_i)$	测试集 T_i 的故障覆盖率
cf	逻辑特性代价(cost of the logical properties)
CLK	系统时钟(clock)
CMOS	互补金属氧化物半导体(器件)(complementary metal-oxide-semiconductor)
CO	组合可观察性(combinational observability)
C/O	可控制性/可观察性(controllability/observability)
CPU	中央处理机(central processing unit)
cs	边界效应代价(cost of side effects)
CT	计数器(counter)
CTF	可控制性传播因子(controllability transfer factor)
CUT	被测电路(circuit under test)
CY	可控制性(controllability)
D	故障信号1—0, 即正常电路时值为1, 故障电路时值为0
$\bar{D}$	故障信号0—1, 即正常电路时值为0, 故障电路时值为1
d_A	A 的 D 驱赶代价(D -drive costs at A)
DB	数据库(data base)
DFT	可测性设计(design for testability)
DIOB	确定初始目标(determination of initial objective)
DRC	动态约束条件(dynamic restrictive condition)
DRFM	动态约束四值测度(dynamic restrictive four-valued measure)
DT	PODEM算法的决策树(decision tree)
DTM	动态可测性测度(dynamic testability measure)
EC	相等校验器(equality checker)
ECAT	纠错和转换(电路)(error correction and translation)
ECL	射极耦合逻辑(电路)(emitter-coupled logic)
FAN	一种测试生成算法的名称, 其特点是面向扇出(fanout oriented test generation algorithm)
Fc	故障电路代价(fault circuit cost)
FDCM	四值动态代价分析方法(four value dynamic cost analysis method)

FF	触发器(flip-flop)
FFS	正常模拟结果(同时故障模拟用)
FI	故障指示(fault indication)
F_n	时钟失控故障,即需要禁止时钟时禁止不了
F_r	时钟失灵故障,即需要时钟时时钟消失
FS	故障集(fault set)
FSPT	故障敏化模式表(fault sensitive pattern table)
Ge	正常电路代价(good circuit cost)
IC	集成电路(integrated circuit)
ILP	整数线性规划(integer linear programming)
I/O	输入输出(input/output)
IP	不敏化通路(insensitive path)
IS	激励信号(impel signal)
LFSR	线性反馈移位寄存器(linear feedback shift register)
L_{fv}	故障级距,即一条引线逆信号方向到一个目标故障所经的最少的功能块个数
L_{hv}	树头级距,即一条引线顺信号方向到一个PO所经的最少的功能块个数
LSD	锁存器选择译码器(latch select decoder)
LSI	大规模集成(电路)(large-scale integration)
LSSD	电平敏感扫描设计(level sensitive scan design)
MC	主电路(main circuit)
MOS	金属氧化物半导体(metal-oxide-semiconductor)
MSI	中规模集成(电路)(medium-scale integration)
MUX	多路转换器(multiplexer)
MV	多数表决器(majority voter)
N_c	一个单输出门的初始立方数
N_d	测试集 T_i 所检测的被测电路的目标故障数
NDC	必要检测条件(necessary detect condition)
N_{Df}	测试集 T_i 中每个测试码平均覆盖的目标故障数
NFS	正常功能信号(normal functional signal)
N_m	按故障模型应设的被测电路故障数,即被测电路的目标故障数
NMOS	n 沟道金属氧化物半导体(n channel metal-oxide-semiconductor)
NP	不确定性多项式(nondeterministic polynomial)
NSC	必要敏化条件(necessary sensitive condition)
NT_i	测试集 T_i 在所期望的范围内识别的故障数
N_u	被测电路不可检测的目标故障数
OSR	振荡器(oscillator)
OTF	可观察性传播因子(observability transfer factor)
OY	可观察性(observability)
PAG	插脚线与门(pin dotted "AND" gate)
pc	初始立方(primitive cube)
pdc	传播D立方(propagation D-cube)
pdef	故障初始D立方(primitive D-cube of a fault)

P_e	特征分析测试方法的漏检率
PI	初级输入(或初始输入)(primary input)
PITOS	并行输入的测试观察信号(parallel-in test observe signals)
PLA	可编程逻辑阵列(programmable logic array)
PO	初级输出(或初始输出)(primary output)
POTCS	并行输出的测试控制信号(parallel-out test control signals)
PROM	可编程的只读存储器(programmable read-only memory)
RAM	随机存取存储器(random access memory)
R-M	里德-马勒(Reed-Muller)
ROM	只读存储器(read-only memory)
$E_r(T_i)$	测试集 T_i 的故障分辨率
RS	参考校验子(reference syndrome)
SA	扫描地址(scan address)
SAR	特征分析寄存器(signature analysis register)
s-a- α	固定于 α 故障(stuck-at- α)
SB	标准功能块(standard block)
SC	子电路(sub-circuit)
SCLK	扫描时钟(scan clock)
SDB ₁	标准单元库
SDB ₂	被测电路信息库
SDI	扫描输入(Scan data in)
SDL	结构描述语言(structural description language)
SDO	扫描输出(scan data out)
SEL	扫描地址选择(scan address select)
SI	扫描输入(scan input)
SO	扫描输出(scan output)
SO(A)	引线 A 的时序可观察性(sequential observability at A)
s-op	CMOS电路中的固定开路故障(stuck-open)
SP	敏化通路(sensitive path)
SR	校验子寄存器(syndrome register)
SREG	移位寄存器(shift register)
SRL	移位寄存锁存器(shift register latch)
SS	扫描选择(scan select)
SSI	小规模集成(电路)(small-scale integration)
STM	静态可测性测度(statical testability measure)
$T(A, y)$	故障 A 在 y 处的可测度
$T(A, y^1)$	故障 A 在 y 处产生1-0的难度
$T(A, y^0)$	故障 A 在 y 处产生0-1的难度
TBG	三态总线门(three state bus gate)
TC	测试时钟(test clock)
TCLK	测试时钟(test clock)
TCS	测试控制信号(test control signal)

T_{dc}	(某故障集的) 完全测试集
T_{di}	(某故障集的) 诊断测试集
TE	传输使能(transfer enable)
T_i	测试集(test set)
TOS	测试观察信号(test observe signal)
TTL	晶体管晶体管逻辑(电路)(transistor-transistor logic)
TY	可测性(testability)
UD	无约束设计(unconstrained design)
ULSI	甚大规模集成(电路)(ultra-large-scale integration)
VHDL	超高速集成电路硬件描述语言(VHSIC hardware description language)
VHSIC	超高速集成电路(very high-speed integrated circuit)
VLSI	超大规模集成(电路)(very large-scale integration)

目 录

绪论	1
第一章 测试生成	4
1.1 数字系统中的故障和故障模型	4
1.1.1 失效和故障	4
1.1.2 发生故障的原因	4
1.1.3 故障特征的描述	5
1.1.4 故障模型	5
1) 建立故障模型的作用	5
2) 对故障模型的要求	6
3) 固定故障模型	7
4) 桥故障模型	10
5) 固定开路故障(s-op)	11
1.1.5 满足不同层次要求的故障模型	12
1) 晶体管级故障模型	12
2) 门级故障模型	12
3) 功能块级故障模型	12
1.1.6 其他种类的故障模型	13
1.2 与测试生成有关的基本概念	15
1.2.1 激励与响应	15
1.2.2 测试码	15
1.2.3 测试集	16
1.2.4 故障检测与故障诊断	16
1.2.5 按可检测特征对故障分类	17
1.2.6 故障覆盖率和分辨率	17
1.2.7 获取数字系统测试集的方法	18
1.3 组合电路的测试生成	19
1.3.1 一维通路敏化	19
1.3.2 布尔差分算法	22
1) 异或运算的若干计算公式	22
2) 布尔差分的定义	22
3) 布尔差分定义的意义	22
4) 单故障检测定理	23
5) 布尔差分定义的简化形式	24
6) 布尔差分的一些重要性质	25
7) 求电路初级输入变量的布尔差分举例	26

8) 求电路内部引线变量的布尔差分	27
9) 布尔差分的链接公式	28
10) 对布尔差分算法的简短评论	32
1.3.3 D算法	32
1) 与D算法有关的术语和概念	32
2) D算法的一般步骤	37
3) D算法的进一步完善	42
4) 对D算法的简短评论	44
1.3.4 PODEM 算法	44
1) PODEM 算法的基本思想	44
2) PODEM 算法的流程	45
3) PODEM 算法应用举例	47
4) 对PODEM 算法的简短评论	49
1.3.5 FAN 算法	50
1) FAN 算法的基本思想	50
2) FAN 算法的流程图	53
3) FAN 算法应用举例	53
4) 对FAN 算法的简短评论	55
1.3.6 G-F二值算法	55
1) 从五值逻辑到九值逻辑	55
2) 九值逻辑的G-F二值表示法	57
3) G-F二值算法的理论基础——G-F 二值公式	59
4) G-F二值算法描述(按路径敏化思想)	66
5) G-F二值算法对组合逻辑的应用	70
6) 对G-F二值算法的简短评论	72
1.4 时序电路的测试生成	72
1.4.1 时序电路测试生成的困难	72
1) 置初态问题	72
2) 竞争冒险问题	73
1.4.2 时序电路的结构测试生成	74
1) 时序电路的迭代组合模型	74
2) G-F 二值算法处理迭代组合模型的方法描述	75
3) 用G-F 二值算法生成时序电路的测试举例	79
1.4.3 时序机的功能测试——校验试验	82
1) 与校验试验有关的基本概念	82
2) 设计校验序列的步骤	85
3) 对校验试验的简短评论	87
1.5 非确定性测试生成	87
1.5.1 随机测试生成面临的主要问题及解决方法	88
1.5.2 初级单元简集相交法	90

第二章 可测性设计	93
2.1 可测性设计概述	93
2.1.1 可测性设计的必要性	93
2.1.2 测试的必要性	94
2.1.3 与可测性设计有关的基本概念	96
2.2 组合网络的可测性设计方法	97
2.2.1 基本目标和依据	97
2.2.2 R-M方法	98
1) Reed-Muller 展开式	98
2) 按R-M展开式实现的电路的测试	99
3) R-M展开式的另一种推导方法	100
4) 对R-M方法的简短评论	101
2.2.3 控制逻辑的应用	101
1) 用二输入的异或门和与非门设计只需五组测试的网络	101
2) 用二输入与门、或门和与非门设计只需三组测试的网络	103
3) 对使用控制逻辑的简短评论	105
2.2.4 校验子(Syndrome)可测性设计	105
1) 校验子的定义	105
2) 校验子的计算法则	105
3) 校验子测试方法	106
4) 校验子可测性设计	107
2.2.5 逻辑概率与随机可测性分析	107
1) 逻辑概率的定义	107
2) 逻辑概率的计算法则	108
3) 逻辑概率计算举例	110
4) 随机可测性的分析及其改善方法	111
2.2.6 对组合网络可测性设计方法的简短评论	112
2.3 可测性设计的专门方法(<i>Ad hoc</i>).....	112
2.3.1 专门方法的含义	112
2.3.2 划分测试区	112
2.3.3 增加测试点技术	114
2.3.4 制订可测性设计规则	116
2.4 结构可测性设计	118
2.4.1 结构可测性设计方法发展概况	118
2.4.2 几种扫描设计技术	119
1) 扫描通路(Scan Path)方法	120
2) 扫描置位(Scan Set)方法	121
3) 随机存取扫描(Random Access Scan)方法	122
2.4.3 电平敏感扫描设计(LSSD)	123
1) LSSD 的基本要求	123
2) LSSD 所用的基本元件	124

3) LSSD 的设计规则	125
4) LSSD 的系统配置	127
5) LSSD 三种配置的开销估算	129
6) LSSD 的困难和优点	130
2.4.4 结合扫描设计的自测试技术 — BILBO	130
1) 关于自测试	131
2) 线性反馈移位寄存器 LFSR	131
3) 特征分析寄存器 SAR	134
4) BILBO 元件	138
第三章 可测性分析	144
3.1 可测性分析概述	144
3.1.1 可测性分析的基本概念	144
3.1.2 可测性分析的发展概况	144
3.1.3 可测性分析研究中的几个热点	147
1) 关于可测性分析的作用问题	147
2) 独立信号模型和相关信号模型	147
3) 静态可测性分析和动态可测性分析	147
4) 电路可测性的自动改善	148
3.2 CAMELOT 方法	149
3.2.1 可控制性概念	149
3.2.2 可观察性概念	151
3.2.3 易测性概念	153
3.2.4 对 CAMELOT 方法的简短评论	154
3.3 SCOAP 方法	154
3.3.1 有关的定义	154
3.3.2 C/O 的有关计算公式	155
3.3.3 C/O 计算算法	157
3.3.4 C/O 计算举例	158
3.3.5 对 SCOAP 方法的简短评论	162
3.4 TEST/80 方法	162
3.4.1 有关的定义、公式和计算法则	162
3.4.2 计算流程	165
3.4.3 计算举例	166
3.4.4 对 TEST/80 方法的简短评论	168
3.5 四值动态代价分析方法 (FDCM)	169
3.5.1 定义和计算公式	169
1) 引线在正常电路中的可控制性	169
2) 引线在故障电路中的可控制性	171
3) 故障的可测度 $T(A, y)$	171
3.5.2 FDCM 的必要性	172
1) 故障对引线可控制性的动态影响	173

2) 故障对引线可观察性的动态影响	173
3) 用 $T(A, y)$ 取代 dA 的原因	174
3.5.3 四值代价分析相对于二值代价分析的优势	175
3.5.4 四值代价的计算复杂性分析	180
3.5.5 四值代价的进一步完善问题	180
3.6 动态约束四值测度方法 DRFM	181
3.6.1 从独立信号模型到动态相关信号模型	181
3.6.2 故障的必要检测条件 NDC	182
1) 与 NDC 有关的几个定义	182
2) NDC 的快速计算方法	183
3.6.3 四值测度的动态约束条件及其扩展	185
1) 动态约束条件 DEC 的形成规则	185
2) DEC 对四值测度精度的影响	186
3.6.4 DRFM方法	190
1) DRFM测度的表述	190
2) DRFM方法的流程	190
3) 几点结论	190
第四章 自动测试生成系统ATGS	192
4.1 概述	192
4.2 ATGS 的系统模型	194
4.2.1 电路模型	194
1) 组合电路模型和时序电路模型	194
2) 同步时序电路模型和异步时序电路模型的区别	195
3) 门级电路模型和功能块级电路模型	198
4) 混合电路模型	198
4.2.2 故障模型	198
1) 门级单固定故障模型	199
2) 功能块级单固定故障模型	199
3) 混合单固定故障模型	199
4) 时钟电路的故障模型	199
5) 其他电路的特殊故障模型	201
4.3 ATGS 的系统结构	201
4.3.1 数据库DB	201
1) 标准单元库 SDB_1	201
2) CUT信息库 SDB_2	204
3) 库操作程序	204
4.3.2 电路描述	207
1) 面向结构的电路描述语言	207
2) 描述语言编译器	208
3) CUT的链表拓扑结构	208
4.3.3 预处理	210

1) 生成CUT的目标故障表	210
2) 从简到繁对CUT的测试树头排序	211
3) 生成树标记和各引线的树头级距 L_{hv}	211
4) 生成引线跳变标记和故障级距 L_{fv}	213
5) 计算DRFM测度, 识别不可测故障	215
6) 功能块表达式的预代真	215
4.3.4 测试生成	216
1) G-F 二值算法的逆向路径敏化方法	217
2) 按逆向路径敏化流程求测试举例	223
3) 加速测试生成的若干策略	227
4.3.5 故障模拟	232
1) 并行故障模拟	233
2) 同时故障模拟	236
3) ATGS对同步时序电路的并行故障模拟方案	239
4) 异步时序电路故障模拟的特殊性	241
5) 故障辞典和故障定位方法	243
4.3.6 总控	246
1) 总控流程图	246
2) 总控的统计分析功能	246
3) 总控的交互功能	247
4.4 ATGS 的软件实现	247
4.4.1 宿主机的选择	248
4.4.2 编程语言的选择	248
4.4.3 程序的模块化结构	248
4.4.4 与自动测试系统的软接口考虑	248
4.5 ATGS 对特殊元件和特殊电路的处理方法	248
4.5.1 线逻辑	249
4.5.2 三态元件	249
4.5.3 双向线	250
4.5.4 存储型元件	251
1) 对RAM的处理	251
2) 对PROM的处理	253
4.5.5 PLA	254
4.5.6 多时帧、多时钟元件	254
结论与展望	255
习题	258
参考文献	263

绪 论

自从本世纪 40 年代计算机问世以来,便提出了数字系统的测试问题。随着集成电路的出现和集成度的不断提高,计算机系统和电路越来越复杂,使得早期的人工测试和基于穷举测试的功能的完全检查方法已难以满足实际需要,因而逐渐被自动测试所取代。所谓自动测试,即自动推导被测电路(CUT)的测试码,自动对CUT的输入加载测试激励并回收其输出的测试响应,自动给出CUT的故障征兆指示并孤立故障。此过程的难点是自动推导测试,即通常所说的测试生成。对测试!生成的发展历史,可简要追述如下:

早在1959年,Elared首先倡导用计算机自动推导测试,并用一维通路敏化法推导了D-1000计算机的测试码。1966年,Roth提出了基于立方体运算的D算法。它克服了一维通路敏化不能处理多维通路敏化的缺陷,形成了第一个完全的测试生成算法。在此后的20多年中,国际上又先后提出了影响较大的基于布尔代数的布尔差分算法,基于九值逻辑运算的九值算法,面向通路判定的PODEM算法和面向扇出的FAN算法,使自动推导组合电路测试的理论更加完善、实践结果更加令人满意。与此同时,国内学者在测试生成理论和应用研究方面,也取得了突破性进展。主路径敏化法几乎与九值算法同时提出,且效果相当;G-F二值算法以简便的G-F值分开的二值逻辑运算实现了九值算法功能;星算法、全通路图法以及几个大型插件自动测试生成系统,在国内有较大影响。

上面提到的几种算法,通过迭代组合模型的应用,多数可以推广到时序电路,用来推导时序电路的测试码。不过,时序电路的测试生成,由于状态预置的困难和竞争冒险的存在,理论上是个没有完全解决的问题。国际上的做法是,通过扫描设计使时序电路的测试标准化,避免生成时序电路的测试码。

理论分析证明,自动测试生成的时间复杂性是个NP完全问题。多次实验给出的结果是,整个测试生成过程所消耗的CPU时间是CUT等效门数的平方到立方函数关系。正是由于这个原因,近十几年来,测试生成速度的提高已明显地赶不上集成电路规模增大的需要;测试成本(主要是测试生成成本)在产品生存期总成本中所占的比重越来越大,甚至出现了超过研究、设计、制造成本的倒挂局面。测试已成为妨碍LSI/VLSI付诸应用的瓶颈问题。

面对这种严重挑战,计算机行业主要采取了两大对策:一是努力提高ATGS的效率和处理能力;二是在设计阶段就考虑测试问题,即把降低测试难度的要求纳入设计规范,进行可测性设计,并通过可测性分析来检验设计质量和引导改进设计。

提高ATGS的效率,主要进行了两个方面的研究:一是对算法本身的改进;二是采用各种智能启发函数,对ATGS的执行过程进行引导。

对算法的改进包括改进正反向驱动策略、搜索策略及隐含定值策略,达到提高测试生成速度的目的。例如,九值算法通过引进九值逻辑描述充分必要的敏化条件,使D算法的D驱赶由最多需试探 $2^m - 1$ 种敏化通路组合降到只需试探 m 种, m 是从故障线到一个二级输出的单通路数。G-F二值算法采用G-F值分开的二值运算实现九值运算功能,使进行相容性运算时需要执行的运算规则由九值算法的45条减少到12条,提高了算法速度。PODEM算法通过采用深度优先的反向追踪策略,把D算法中对D驱赶模式和相容性运算模式两种穷举搜索变成只对与目标故障逻辑相关的那些初级输入赋值的一种穷举搜索,从而提高了效率,尤其是对ECAT(纠错和转换)类电路效果更加明显。FAN算法通过引进唯一敏化概念和仔细处理会聚型扇出点的赋值,进一步减少了PODEM算法中需要重试的次数,使算法效率有了进一步提高。SOCRATES系统对FAN算法的唯一敏化和反向隐含进行了改进,使效率又有了提高。

智能启发函数既针对算法的执行过程,又针对整个ATGS系统。用可测性分析给出的可控制性、可观察性和故障可测度等量化值,或用根据电路结构得出的故障级距、树头级距等参数,对算法的正、反向驱动过程进行引导,使向着最易成功的目标搜索前进,即属于前者。而在某些参数引导下,自动划分、选择测试区,自动确定对难测和不可测故障的处理、调度策略,使ATGS浪费在无效操作上的时间最少,从而达到系统效率最高的要求,即属于后者。

可测性设计概念,始于70年代前期。最初是以组合电路测试集最小化和生成过程最简为目标的,分别提出了只需 $n+4$ 组、5组、3组和2组测试的电路的设计方法。这里 n 是所设计电路的初级输入数。由于这些方法需要附加的门和外部引脚数太多,特别是使电路从输入到输出的延迟时间过分增加,因此,目前其应用价值远不如其理论意义大。可测性设计的专门方法(*Ad hoc*),由于结合了测试与设计经验,对于降低一个特定电路的测试难度,基本上可满足实用要求。但它不能从根本上解决一般时序电路的测试问题。70年代后期产生的可测性设计的结构方法,建议把电路设计成两种工作方式:正常操作方式和测试方式。在测试方式下,可把电路的时序部分和组合部分隔离开来。时序部分采用某种固定序列进行标准测试,测试生成实际上只需处理组合电路。这样一来,时序电路测试的困难从根本上被克服。

可测性分析几乎与可测性设计同时问世。它最初是作为加速测试生成的智能启发函数而提出的,后来被用于评价可测性设计优劣,为改进一个电路的可测性设计提供智能引导。提高分析精度、降低计算复杂度,一直是可测性分析的主要研究方向。基于独立信号假定的静态可测性测度已有广泛应用。它计算简单,但精度不够高。基于相关信号模型的动态可测性测度已经提出,其精度有实质性提高,但计算复杂性还需进一步降低。

尽管实践已经证明,可测性设计能较大地降低测试难度,但由于要改变传统的设计方法,要多费4~20%的支撑硬件,因此,设计界对之还是有疑虑的。国际上对扫描设计应用虽较多,也有若干公司把可测性指标纳入了设计规范,但尚不普遍。国内对可测

性的研究起步较晚，尚未见应用。因此，在计算机行业普及测试与可测性知识，让人们了解测试面临的困难，认清可测性设计是解决 LSI/VLSI 测试难题的根本途径，同时对测试与可测性本身遇到的难题进行研究，探索解决办法，仍然是当前数字系统发展中的迫切任务。本书的出版，就是希望能在在这方面尽绵薄之力。书中内容的安排，也是围绕这个中心展开的。