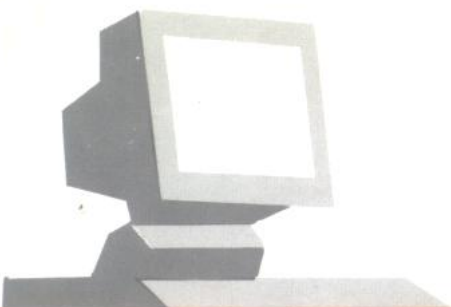
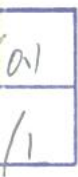
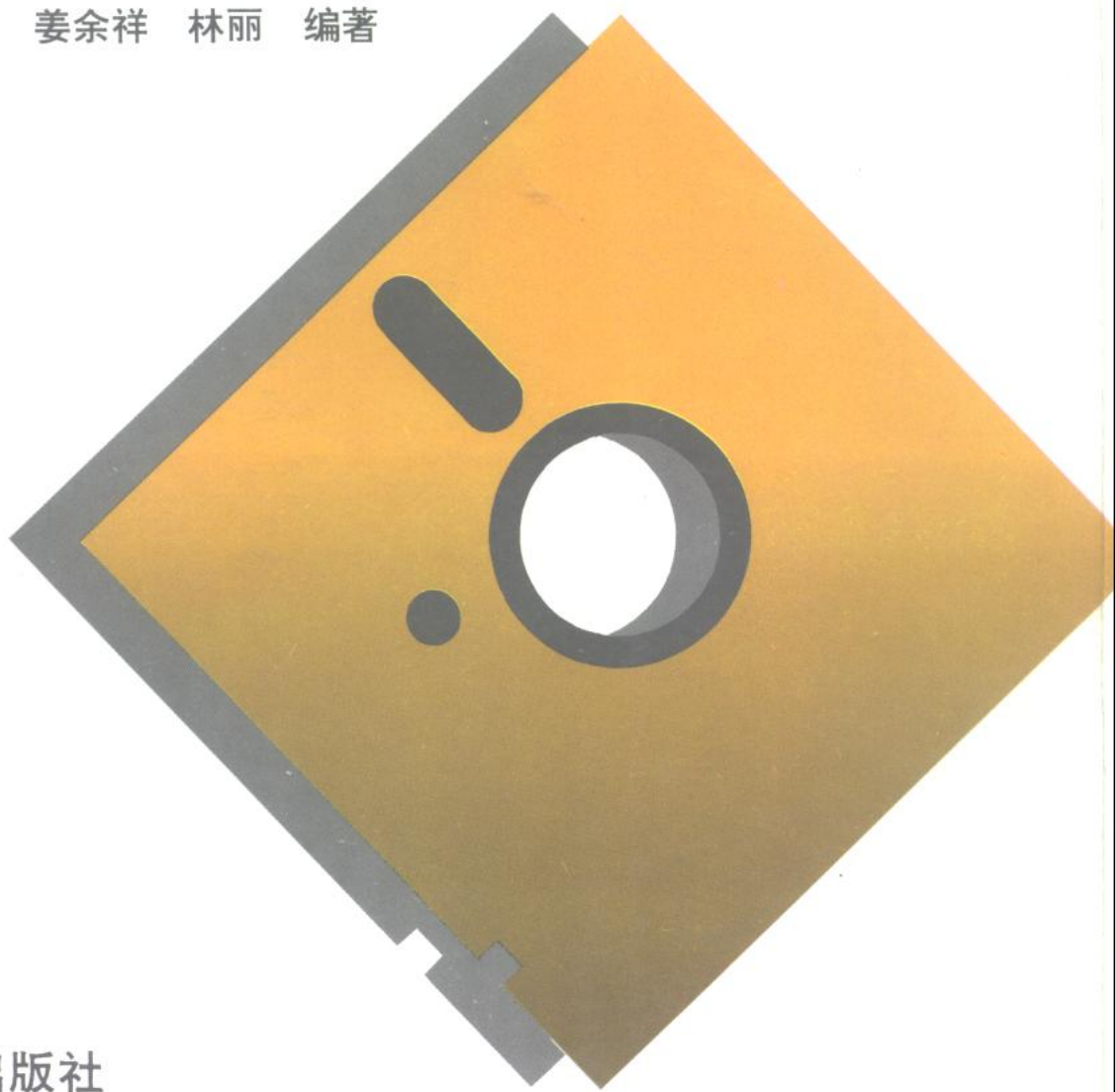




计算机技术丛书

80486 微型计算机的原理及应用

何希才 尤克 姜余祥 林丽 编著



人民邮电出版社

计算机技术丛书

80486 微型计算机的 原理及应用

何希才 尤克 编著
姜余祥 林丽

人民邮电出版社

登记证号(京)143 号

图书在版编目(CIP)数据

80486 微型计算机的原理及应用/何希才等编著. —北京:人民邮电出版社,1994. 10

(计算机技术丛书)

ISBN 7-115-05324-3

I. 80… II. 何… III. ①微型计算机—理论②微型计算机—计算机应用 IV. TP360.1

内 容 提 要

本书较为系统全面地介绍了 80486 微处理机及微型计算机的基本原理与应用技术,内容包括 80486 微处理机体系结构、存储器管理功能及保护功能、页功能、浮点部件与调试功能、高速缓存等硬件知识,并详细介绍 80486 的指令系统以及 32 位微机系统。

本书内容丰富,实用性强,可供从事微型计算机应用工作的科技人员、管理人员以及学生、教师阅读与参考。

计算机技术丛书

80486 微型计算机的原理及应用

何希才 尤克 编著
姜余祥 林丽

责任编辑 王晓丹

*

人民邮电出版社出版发行
北京朝阳门内南竹杆胡同 111 号
北京顺义振华印刷厂印刷
新华书店总店科技发行所经销

开本:787×1092 1/16 1994 年 10 月第 一 版
印张:15.25 1994 年 10 月北京第 1 次印刷
字数:376 千字 印数:1—3 000 册

ISBN7-115-05324-3/TP·132

定价:17.00 元

丛 书 前 言

世界上发达国家普遍重视发展以计算机和通信为核心的信息技术、信息产业和信息技术的应用,一些经济发达国家信息产业发展迅速。

当前,我国处于国民经济高速发展时期。与此相伴随,必将有信息技术、信息产业和信息技术应用的高速发展。各行各业将面临信息技术应用研究与发展的大课题以及信息化技术改造的大任务、大工程。

为了适应计算机技术应用大众化的趋势,提高应用水平,我们组织编写、出版了这套“计算机技术丛书”。这套丛书以实用化、系列化、大众化为特点,介绍实用计算机技术。

这套丛书采取开放式选题框架,即选题面向我国不断发展着的计算机技术应用的实际需要和国际上的实用新技术,选题不断增添又保持前后有序。

这套丛书中的著作还拟配合出版软件版本,用软盘形式向读者提供著作中介绍的软件,以使读者方便地使用软件。

我们希望广大读者为这套丛书的出版多提意见和建议。

前 言

据国内外计算机专家预测,90年代将是32位微型计算机时代。80486是当今32位微处理机的杰出代表,其速度快,性能优良。因此,我们收集大量资料编写本书奉献给需要了解80486的广大用户与科技人员。

本书较为系统全面地介绍了80486微处理机的体系结构,存储器管理功能及保护功能,浮点部件与调试功能,页功能,高速缓存等硬件知识,而且详细地介绍了80486的指令系统,软件开发,微机系统等内容。

本书主要为具有微机基础知识的广大读者而写,着重介绍了32位微机结构的新发展,新概念,从总体上对80486微机系统进行系统而全面的介绍。这些知识会对从事系统开发的读者提供有益的帮助。

参加本书编写的还有陈叔远教授和陈曦同志,并得到赵长奎教授的指导,在此表示感谢。

由于编者水平有限,书中难免会有错误之处,热切希望广大读者批评指正。

编者

1994年2月于北京

目 录

第一章 概论	1
第一节 概述	1
一、微型计算机的发展概况	1
二、32 位微型计算机的特点	1
三、32 位微型计算机的应用范围	2
第二节 80486 体系结构	2
一、概述	2
二、80486 的内部结构	3
三、80486 的外部结构	4
四、80486 的工作方式	9
五、80486 的特点	10
第二章 存储器管理功能与保护功能	11
第一节 存储器管理功能	11
一、虚拟存储器与物理存储器	11
二、描述符表	12
三、段寄存器	14
四、对存储器的访问	15
五、描述符	15
六、别名	17
七、堆栈段的描述符	17
第二节 存储器保护功能	18
一、存储器的访问	18
二、修改段寄存器时的保护	19
三、对虚拟地址变换时的保护	20
四、因保护功能产生的异常中断	21
第三节 特权级保护功能	22
一、操作系统与应用程序	22
二、修改数据段寄存器时的保护	23
三、修改堆栈段寄存器时的保护	25
四、修改码段寄存器时的保护	25
五、中断与异常中断	29
六、中断与异常中断的控制转移	32
七、特权级的保护	33
八、特权级保护例外的代码段	33
第三章 多任务与多用户系统	35
第一节 多任务系统	35
一、多任务与多用户	35

二、局部空间与全局空间	36
三、局部描述符表(LDT)	38
四、任务状态段(TSS)	38
五、系统地址寄存器	40
第二节 任务转换	41
一、任务的设定	41
二、任务转换过程	41
三、任务转换的方法	42
四、任务门	43
五、任务转换时,B 位、NT 位与反向链的变化	44
六、IRET/IRETD 指令	45
七、任务转换时的特权级保护	45
八、描述符表的项目分类	46
第四章 页功能	48
第一节 存储器管理支持位	48
第二节 线性地址	49
第三节 线性地址变换为物理地址的实例	50
第四节 目录项与页表项	51
第五节 页保护功能	51
第六节 转换后援缓冲器(TLB)	53
一、TLB 功能	53
二、TLB 的测试	54
第五章 虚拟 8086 方式	57
第一节 段部件的工作与 VM 位	57
第二节 保护功能	57
第三节 通过任务转换进行方式转移	58
第四节 同一任务内方式的转移	58
第五节 虚拟 8086 方式下的中断与 VM 位的变化	60
第六节 虚拟 8086 方式下的页功能	61
第七节 8086 的操作系统	62
第八节 80486 的操作系统	63
第九节 系统的初始化	63
一、初始状态	63
二、转移到保护方式	64
第十节 由保护方式向实方式的转移过程	65
第六章 浮点部件与调试功能	68
第一节 浮点部件	68
一、浮点寄存器	68
二、寄存器堆栈	68
三、状态寄存器	68
四、控制寄存器	69
五、标记寄存器	70

六、数值指令与数据指针寄存器	71
第二节 调试功能	71
一、调试寄存器	71
二、调试地址寄存器(DR0~DR3)	72
三、调试控制寄存器(DR7)	72
四、调试状态寄存器(DR6)	73
五、指令断点与 RF 标志	74
第七章 高速缓存	75
第一节 高速缓存结构	75
第二节 高速缓存的操作	76
第三节 高速缓存的控制	78
第四节 高速缓存的清洗	79
第五节 片内高速缓存与分页功能	79
第六节 高速缓存的测试	81
一、概述	81
二、高速缓存测试寄存器	81
三、高速缓存的测试操作	82
第七节 二级高速缓存	83
第八节 PSEUDO LRU 算法	83
第九节 WRITE BACK 方式	85
第八章 80486 的指令系统	86
第一节 80486 的寻址方式	86
一、寄存器方式与立即数方式	86
二、32 位存储器寻址方式	86
三、16 位寻址和 32 位寻址的区别	87
第二节 80486 的数据类型	88
一、80486 的数据类型	88
二、低端低地址对低端高地址数据格式	90
第三节 80486 的指令系统	91
一、概述	91
二、80486 指令的编码格式	91
三、整数指令	99
四、多段型指令	160
五、浮点指令	166
六、操作系统型指令	194
七、80486 新增加的指令	201
八、ENTER 与 LEAVE 指令	201
九、80486 与 80386 的差别	204
第四节 保护功能的指令	204
一、ARPL 指令	204
二、LGDT, LIDT, SGDT 与 SIDT 指令	206
三、LLDT, LTR, SIDT 与 STR 指令	207

四、VERR 与 VERW 指令	207
五、LAR 与 LSL 指令	208
六、只有在特权级 0 才可执行的指令	208
七、与 IOPL 有关的指令	209
八、可执行的方式	210
第九章 软件开发	212
第一节 软件开发	212
一、调用门的调用	212
二、编码程序文件	213
三、开发过程	215
第二节 软件系统的开发	215
一、静态系统	215
二、动态系统	216
第十章 80486 微型计算机系统	219
第一节 微型计算机主板	219
一、概述	219
二、IBM 486SLCZ 主板	219
三、Magus E486 主板	227
第二节 其它设备	229
一、多功能卡	229
二、显示卡和显示器	229

第一章 概 论

第一节 概 述

一、微型计算机的发展概况

电子计算机是由各种电子器件组成的能够自动、高速、精确地进行逻辑控制和信息处理的现代化设备。第一台电子计算机出现至今的 40 多年来,已大致经历了电子管式计算机、晶体管式计算机、集成电路式(中、小规模)计算机、大规模集成电路计算机等几个阶段。现在世界上许多国家正在加紧研制以人工智能、神经网络为主要特征的完全崭新的一代计算机,它将会很快地研制和发展起来。

电子计算机以性能来分,有巨型、中型、小型和微型计算机。微型计算机从系统结构和基本工作原理上看与其他计算机基本相同,所不同的是微型计算机采用了集成度相当高的器件和部件。微型计算机的核心部分是微处理器或微处理机,它是指一片或几片大规模集成电路组成的具有运算器和控制器功能的中央处理器(CPU)。

以微处理器为核心,配上由大规模集成电路制作的存储器、输入/输出接口电路及系统总线所组成的计算机,简称微型计算机。以微型计算机为中心,配以相应的外围设备、电源和辅助电路,以及指挥微型计算机工作的系统软件,构成微型计算机系统。

自从微处理机和微型计算机问世以来,按 CPU 字长和功能划分,已经历了四代的演变。

第一代(1971~1973 年)是 4 位、低档 8 位微机。代表产品是美国 Intel 公司的 4004 微处理机及由它组成的 MCS-4 微型计算机。

第二代(1974~1978 年)是中高档 8 位微机,Intel 公司的 8080 和 8085、Motorola 公司的 MC6800、美国 Zilog 公司的 Z80 等为典型代表。

第三代(1978~1981 年)是 16 位微机,如 8086、Z8000 和 MC68000。

第四代(1981 年以后)是 32 位微机,典型产品有 80386、MC68020。之后 Intel 公司又推出 80486 微处理机,其主要性能为 80386 的 2~4 倍。

当前微型计算机技术正向着生产领域、服务部门和日常生活的各个领域不断渗透,以其很高的性能/价格比,可能会取代价格昂贵、功能优越的巨型机,应用越来越广。

二、32 位微型计算机的特点

目前,32 位微型计算机型号很多,主要类型如下:

1. Intel 公司推出的 80386/80486 微处理机

80386 突出的一个特点是片内存储器管理机制,可实现段式、页式或段页式管理。它的虚拟空间达到 2^{46} 字节,与 8086、80286 在目标代码级有向上兼容特性,同时还具备其它 32 位微处理机的一些特性。其后 Intel 公司又推出 80486,在 80386 基础上增加了浮点运算部件和高

速缓存部件。整个芯片集成了约 120 万个晶体管。多数指令执行时间为 1 个时钟周期。本书将专门介绍 80486, 因此, 这里不再赘述。

2. NS 公司推出的 NS32032/32332/32532 微处理机

NS32032 是 NS 公司早期产品, NS32332 是较新产品, 工作频率达到 15MHz, 它可支持外加高速缓存。其后公司又推出 NS32532, 分为 20MHz 和 30MHz 两个档次。它具有超小型计算机的正交体系结构, 由 8 个功能块组成。

3. Motorola 公司推出的 MC68020/68030/68040 微处理机

MC68020 工作频率为 16.67MHz, 每秒可执行 2~3 百万条指令。MC68030 时钟频率有 16.7、20、30MHz 三挡, 每秒可执行 4.5~7 百万条指令。MC68040 的运算速度达到 20MIPS, MMU 有两个 TLB, 指令高速缓存与数据高速缓存的容量各提高到 4K 字节, 大大提高了运行速度。

4. Zilog 公司推出的 Z8000 微处理机

Z8000 工作频率为 25MHz, 片上有指令高速缓存与数据高速缓存, 速度为 3~4MIPS。此外, 还有 AT&T 公司推出的 WE32100 微处理机; Inmos 公司生产的 Transputer T414/T424 微处理机; DEC 公司推出的 MICRO VAX-78032 微处理机; SUN 公司生产的 SUN-4 工作站的 CPU 等。

这些 32 位微处理机有如下共同特点:

- ① 全 32 位结构。一般 32 位微处理机的地址总线 (ABUS) 和数据总线 (DBUS) 是分开的, 每族皆为 32 根。通用寄存器和 ALU 皆为 32 位。
- ② 地址总线为 32 根。直接寻址能力为 $2^{32}=4\text{GB}$ 。一般皆支持虚拟存储, 也就支持了多用户多任务的环境。
- ③ 主频在 15MHz 以上。目前, 正向 33MHz 以上发展, 平均指令执行时间为 $0.05\mu\text{s}$ 。
- ④ 采用多级指令流水线。一般为 3~6 级。
- ⑤ 按总线周期动态改变总线宽度。
- ⑥ 存储器管理与支持多处理机系统。

三、32 位微型计算机的应用范围

32 位微型机主要应用于:

- ① 通用的多用户多任务系统, 它主要用于办公自动化, 决策管理, 科学和工程计算及教育和训练等领域。
- ② 支持多用户多任务的工作站, 主要用于人工智能, CAD 和 CAM。也可用于科学计算及结合图形学的应用领域中。
- ③ 工业控制大系统, 它主要用于数据采集, 实时过程控制和自动检测。

第二节 80486 体系结构

一、概述

80486 微处理机的处理速度高达 15~20MIPS。它是为多任务操作系统设计的先进的 32

位微处理机,也可以同时执行多个操作系统。CPU 中的寄存器、数据总线、地址总线都是 32 位的。存储器管理功能,存储器保护功能,任务转换功能,高速缓存和浮点数部件都集成在 CPU 内。

80486 使用频率高的指令可以在一个时钟周期内完成,用 32 位的整数处理机执行算术和逻辑运算。内部的浮点算术单元支持 IEEE 标准 754 指定的 32 位,64 位和 80 位格式。内部的 8KB 缓冲存储器可以快速存取最近使用的指令和数据。总线控制信号可以在多微处理机系统中维护缓冲的一致性。分段的存储管理机构可建立独立的,受保护的地址空间。分页的存储管理机构把大于内存空间的数据结构的一部分保留在内存中,另一部分存放在磁盘上,从而提供对这种结构的存取能力。重启指令允许程序在异常发生后重新开始执行。管理指令的执行可同时解释不同的指令。调试寄存器提供了对指令和数据断点的硬件支持。另外,80486 微处理机与 386DX 微处理机(32 位数据总线),386SX 微处理机(16 位数据总线)和 386 内藏式微处理机(16 位数据总线,386 微处理机的一种缩小形式)等 386 微处理机目标代码级兼容。

二、80486 的内部结构

80486 的内部结构如图 1-1 所示,它由总线接口部件、代码预取部件、高速缓存部件、指令译码部件、执行部件、段部件、分页部件和浮点数部件构成。除高速缓存部件和分页部件之外,其余部件原理与 8086/8087 类似,而高速缓存部件是 80486 所特有的。段部件是把指令指定的逻辑地址变换为线性地址,逻辑地址是由程序指定的虚拟地址,线性地址由分页部件换算为物理地址。分页部件可任选,不用该部件时,线性地址就相当于物理地址。

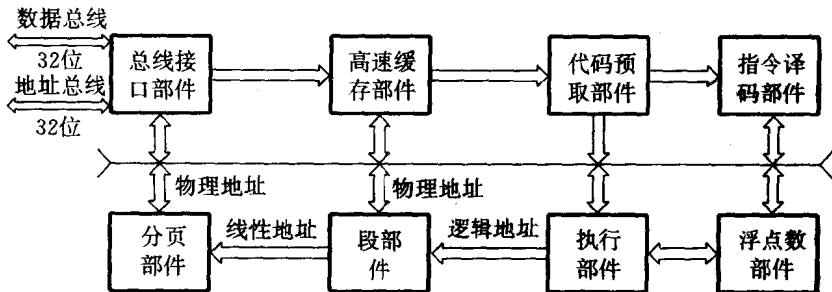


图 1-1 80486 的内部结构

要灵活运用 80486 微处理机,深入理解段部件、高速缓存部件和分页部件的工作原理是非常重要的。

80486CPU 中有通用寄存器,指令指示字和标志寄存器,段寄存器,系统地址寄存器,控制寄存器和测试寄存器,如图 1-2 所示。图 1-3 对这些寄存器作了进一步的说明。

通用寄存器是 32 位寄存器 EAX、EBX、ECX、EDX、EBP、ESP、ESI 和 EDI,它们保存逻辑和算术运算中的操作数,也可保存地址运算中的操作数(ESP 寄存器不能用作下标操作数)。这些寄存器的名称源于 8086 处理机的通用寄存器 AX、BX、CX、DX、BI 和 DI。所以,通用寄存器的低 16 位可按原来的名字访问。16 位寄存器 AX、BX、CX、DX 的每个字节均另有一个名字。字节寄存器命名为 AH、BH、CH 及 DH(高字节)和 AL、BL、CL 和 DL(低字节)。

标志寄存器是一个 32 位寄存器,命名为 EFLAGS。EFLAGS 中各定义位和位字段控制某些操作和指明 80486 的状态。指令指示字寄存器是一个 32 位的寄存器,命名为 EIP。有时 CPU 往往仅是使用其低 16 位,命名为 IP,供 16 位寻址时使用。

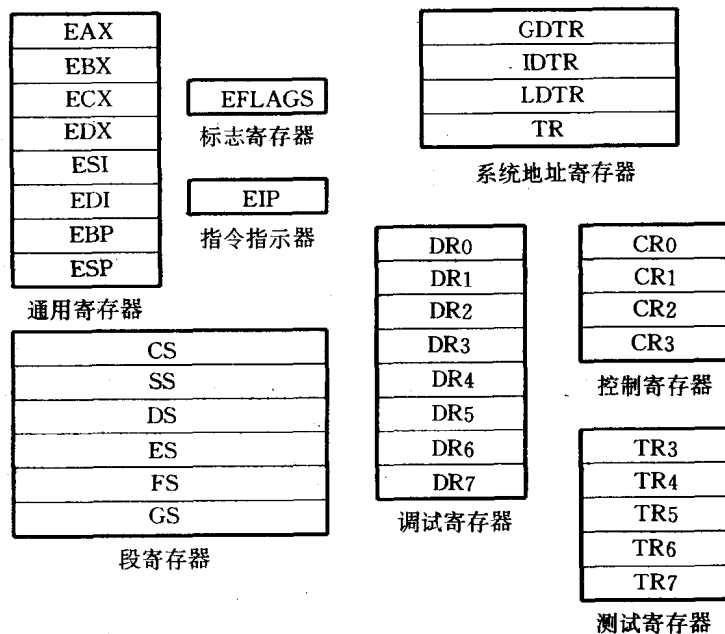


图 1-2 80486 的寄存器

和 8086 相比,除 CS、SS、DS 和 ES 之外,80486 增加了 FS 和 GS 这两个新的段寄存器。段寄存器由 16 位选择器寄存器和 64 位描述符寄存器组成。这些寄存器的作用,将在有关章节里再详细介绍。

三、80486 的外部结构

80486 外露引脚有 168 条,按功能分有地址总线、数据总线和控制总线。详细分类如图 1-4 所示。从图 1-4 看出,32 位地址总线是用 30 位地址线 $A_2 \sim A_{31}$ 加上 4 个字节允许符来实现的。这 4 个字节允许符给出了 2 个最低有效地址位和传送宽度编码。有许多控制信号,像 $M/\overline{IO}$ (存储器/输入输出)、 $D/\overline{C}$ (数据/控制)、 $W/\overline{R}$ (读/写)、 $\overline{RDY}$ (准备就绪)、 $\overline{LOCK}$ 、HOLD 以及 HLDA (保持确认) 等,都与 80386 的对应信号相似,而像 RESET、NMI 和 INTR 输入则完全与 80386 相同。80486 像 80386 一样通过 $\overline{BS16}$ (总线大小 16 位) 信号为 16 位设备提供动态总线大小,并为支持使用一字节宽度的设备增加了一个 $\overline{BS8}$ (总线大小 8 位) 信号。

80486 微处理器也有类似 80386 微处理器的总线保持特性。在总线保持期间,80486 微处理器通过浮空地址、数据和控制总线而放弃本地总线的控制。除总线保持外,80486 微处理器还有地址保持特性。在地址保持期间,只有地址总线被浮空,数据和控制总线仍保持激活。地址保持用于高速缓存的线路无效性控制。

现对 80486 的管脚功能作如下说明:

① 时钟 (CLK)

CLK 为 80486 微处理器提供基本的定时和内部的工作频率。所有的外部定时计数都是相对于 CLK 的上升沿指定的。80486 微处理器可以在很宽的频率范围内工作,当 RESET 无效时,CLK 的频率不能迅速改变。为保证芯片正常工作,CLK 的频率必须稳定。CLK 只须要 TTL 电平来正常工作。

② 地址总线 ($A_2 \sim A_{31}$, $BE_0 \sim BE_3$)

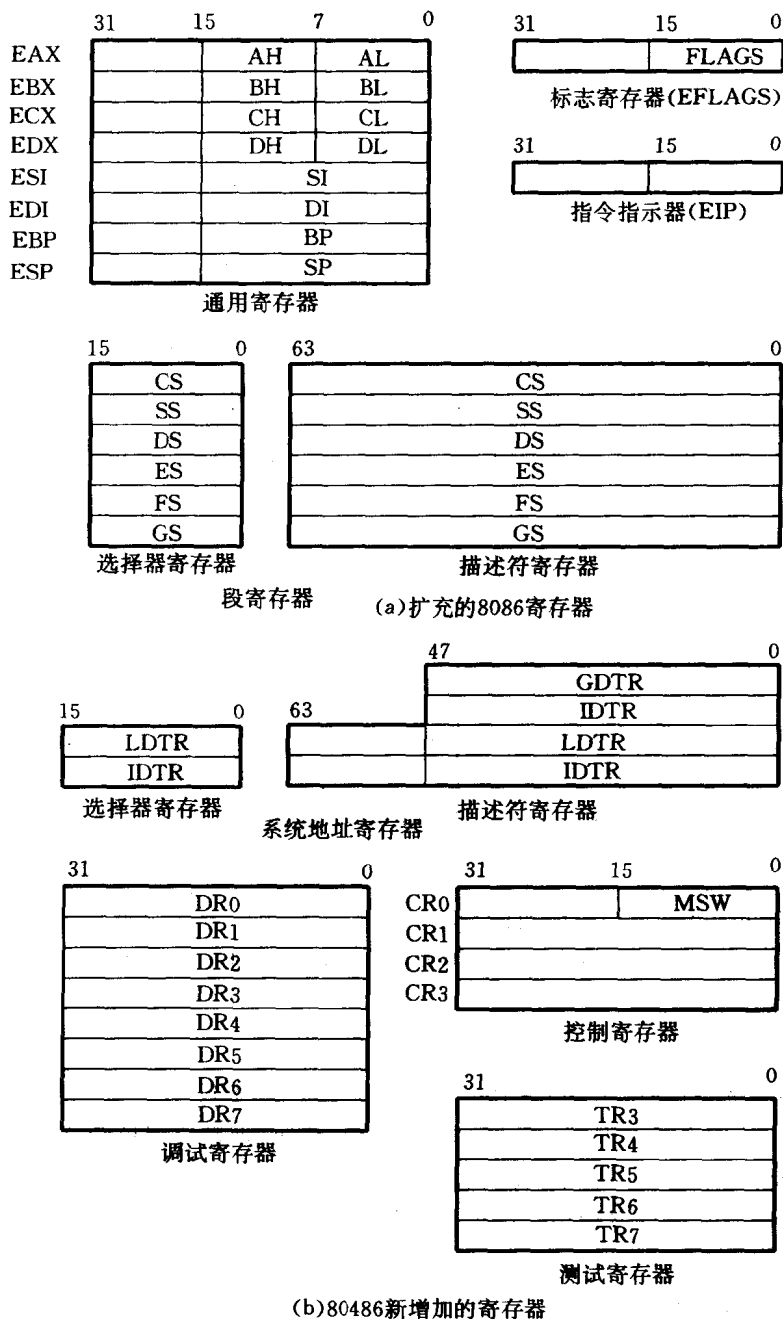


图 1-3 80486 的寄存器详图

$A_2 \sim A_{31}$ 和 $BE_0 \sim BE_3$ 形成地址总线, 并提供内存和 I/O 端口的物理地址。80486 微处理机能寻址 4GB 的物理内存空间, 以及 64KB 的 I/O 地址空间。 $A_2 \sim A_{31}$ 用来寻址到一个 4 字节的单元。 $BE_0 \sim BE_3$ 则用来标识在当前的传送操作中要涉及 4 字节单元中的哪些字符。对于外部的内存储器执行读和写周期时, 字节使能输出 $BE_0 \sim BE_3$ 用来确定哪些字节必须被驱动有效。 BE_3 适用于 $D_{24} \sim D_{31}$, BE_2 适用于 $D_{16} \sim D_{23}$, BE_1 适用于 $D_8 \sim D_{15}$, BE_0 适用于 $D_0 \sim D_7$ 。

③ 数据总线($D_0 \sim D_{31}$)

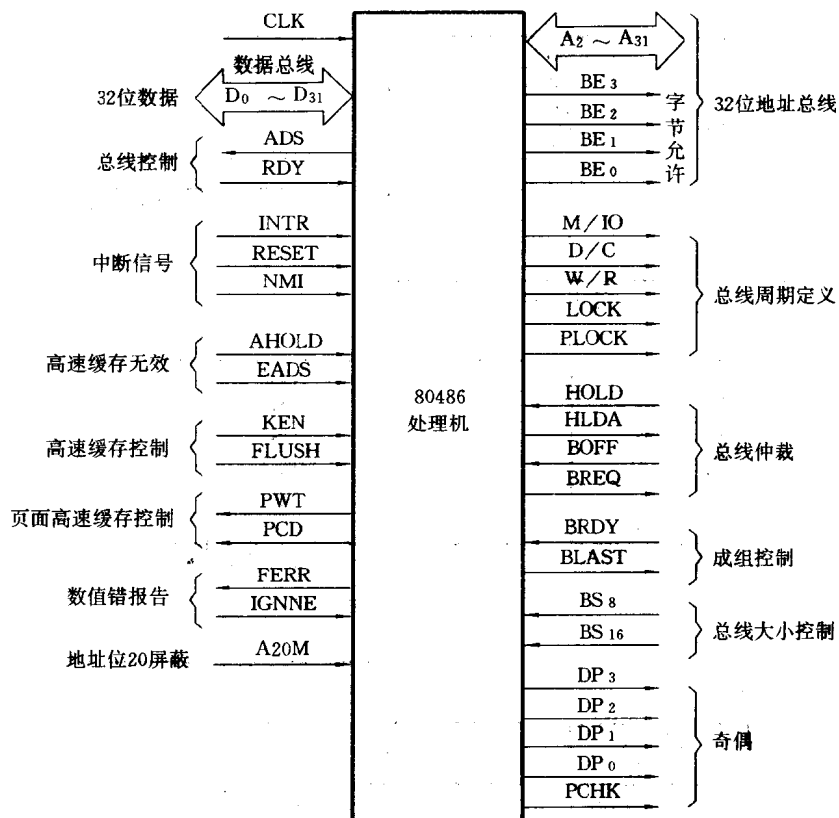


图 1-4 80486 的引脚功能信号图

$D_0 \sim D_{31}$ 为 80486 微处理机的双向数据总线。 $D_0 \sim D_7$ 定义为最低字节, $D_{24} \sim D_{31}$ 定义为最高字节。可以使用由 BS8 和 BS16 输入引脚控制的确定数据总线宽度特性, 将数据传送到 8 位或 16 位的设备中去。

④ 奇偶校验 ($DP_0 \sim DP_3, PCHK$)

奇偶校验共两组信号, 一组是 $DP_0 \sim DP_3$, 另一组是 PCHK。

$DP_0 \sim DP_3$ 这四个是奇偶数据通路(输入/输出)管脚。偶数奇偶校验意味着: 在 8 个相应的数据总线引脚和奇偶校验引脚上, 有偶数个输入为高电平。

PCHK 为奇偶校验状态输出。这个引脚为低电平时表示一个偶错。

⑤ 总线周期定义

M/IO, D/C, W/R 输出

M/IO, D/C 和 W/R 是一些主要的总线周期定义信号。M/IO 用来区别内存和 I/O 周期; D/C 用来区别数据和控制周期; W/R 用来区别写周期和读周期。

LOCK 总线锁定输出

LOCK 表明 80486 微处理器正在读—改—写周期中运行, 在写周期和读周期之间, 不得放弃外部总线。当发送 LOCK 时, 当前的总线周期被锁定, 允许 80486 微处理器独占系统总线的访问。当发出 LOCK 时, 80486 微处理器将不确认总线保持。LOCK 是低电平有效, 且在总线保持期间被浮空。

PLOCK 伪锁定输出

这是 Intel 定义的伪锁定输出信号,同时 Intel 指定把这个信号当成总线周期的定义。与 LOCK 位不同的伪锁定表示是临界的读—改—写操作。在这种操作中,在字节操作完成前,没有其它的系统部件检查被修改了的项。

⑥ 总线控制

总线控制信号允许处理机去指明总线周期是何时开始的,并允许其它系统硬件去控制数据总线宽度与总线周期的终止。

ADS 地址状态输出

ADS 输出指明地址和数据周期定义信号均有效。这一信号在总线周期的第一时钟期内激活,在该周期的第二个及后续的时钟期内变为无效。ADS 低电平有效,且在总线保持期间不驱动,它可提供外部总线电路用作一指示,表明处理机已启动总线周期。

RDY 输入

RDY 表明当前的总线周期是完整的。响应读请求时, RDY 表明外部系统已在数据引脚放好了有效数据。而在响应写请求时, RDY 则表明外部系统已接受了 80486 微处理机的数据。RDY 低电平有效,内部没有上拉电阻。这一输入必须满足建立和保持时间的要求,以保证系统正常工作。

⑦ 成组控制

BRDY 成组准备就绪

这个输入引脚表示当前周期已经完成。

BLAST 最近成组输出

它表示现在进行的是成组传送方式。

⑧ 高速缓存控制

由于把高速缓存以及高速缓存控制器都集中到 80486 片内,所以高速缓存控制信号很丰富。

KEN 高速缓存允许引脚

它用来确定当前周期所传送的数据是否可高速缓存。当 KEN 信号有效(输入为低电平有效),并且 80486 微处理机产生一个可高速缓存的周期时,该周期将被控制成高速缓存行组填入周期。

FLUSH 输入

强制 80486 微处理机清洗其整个内部高速缓存。FLUSH 低电平有效,且只需持续一个时钟的时间。

⑨ 高速缓存的无效性控制

在高速缓存的无效性控制周期里,使用 AHOLD 和 EADS 输入。AHOLD 是 80486 微处理机地址线 $A_4 \sim A_{31}$ 能否接受地址输入的一个制约条件。EADS 表明地址输入端上的外部地址是实际有效的。激活 EADS 后,将使 80486 微处理机去读外部地址总线,并对指明的地址执行内部的高速缓存的无效性控制周期。

⑩ 页面高速缓存控制

PWT 页写贯穿。

PCD 页高速缓存禁止。

这两个信号反应了内部寄存器的置位情况。当 KEN 允许硬件控制存储器的专用物理区域进行高速缓存时,这两个引脚表明在逻辑存储器各页上已经使用软件对高速缓存进行了控

制。

⑪ 数据出错报告

FERR 和 IGNNE 报告浮点错。

FERR 浮点错

这个输出信号类似于 80387 的浮点错信号,而且是在确定的条件下使用,产生中断 13。

IGNNE 不理采数据处理器错

若没有软件恰当地激活,IGNNE 输入引脚是无效的。

⑫ 地址位 20 的屏蔽

发出 A20M 后,将使 80486 微处理机在内部高速缓存中执行查找之前,以及驱动一个内存周期到外部去之前,屏蔽第 20 位物理地址。

⑬ 总线仲裁

BREQ 总线请求输出

每当总线周期在内部执行中时,80486 就发出 BREQ。

HOLD 总线保持请求输入

它允许另一个总线主设备完成 80486 微处理机总线控制。

HLDA 总线保持确认输出

它表明 80486 微处理机已经将总线交给另外一个本地的总线设备。HLDA 变为有效,以响应 HOLD 引脚上出现的保持请求。当脱离总线保持时,HLDA 被驱动至无效状态,而 80486 微处理机将恢复其对总线的驱动。

BOFF 输入

强制 80486 微处理机在下一个时钟期间释放其对总线的控制。

⑭ 总线大小控制

BS8 和 BS16 控制总线宽度,它借助于少量的外部元件,就能支持外部的 16 位和 8 位总线。80486 的 CPU 每个时钟都采样这些引脚。当发送 BS16 和 BS8 时,只需要 16 位或 8 位的数据总线有效。如果同时发 BS16 和 BS8,则选用 8 位的总线宽度。

⑮ 中断信号

80486 微处理机在中断线上有一个 2 时钟的同步电路。在发出 INTR 之后 2 个时钟内,中断请求将到达内部的指令执行单元。INTR 信号是电平型的,为使指令执行单元能识别它,它必须保持有效。如果 INTR 信号不保持有效,那末 80486 微处理机将不执行中断服务。

NMI 为边沿触发,NMI 信号的上升沿被用来产生中断请求。NMI 输入不需要在中断被实际服务之前一直保持有效。

RESET 为复位信号,当发出 RESET 之后,80486 微处理机各个寄存器的值如表 1-1 所示。表中 BIST 为复位期间 80486 微处理机运行的内存的自测试功能。在 RESET 之后,80486 微处理机将从 FFFFFFF0H 单元开始执行指令。

表 1-1

复位后各寄存器的值

寄存器	初始值(BIST)	初始值(NO. BIST)
EAX	0 (通过)	不定
ECX	不定	不定
EDX	0400+版本 ID	0400+版本 ID