

数字专用集成电路设计

樊昌信 编著



人民邮电出版社

57151

数字专用集成电路设计

樊昌信 编著

人民邮电出版社

登记证号(京)143号

内 容 提 要

本书主要阐述数字专用集成电路的设计原理、设计方法和设计工具,并适当介绍了半导体器件,特别是集成电路的工作原理、制造和测试方法。全书分为十二章,分别讲述了现场可编程门阵、MOS 基本原理和制造、数字 ASIC 设计特点、同步设计技术、接口电路和存储器、ASIC 系统设计和高层次设计、ASIC 的测试和 ASIC 设计工具举例等内容。

本书可作为通信、雷达、导航、广播、电视、仪器、自动控制、计算机等专业的电子设备设计人员、工程师、大专院校教师、研究生及高年级本科生的教材和参考书。

数字专用集成电路设计

樊昌信 编著

*

人民邮电出版社出版发行

北京东长安街 27 号

北京顺义振华印刷厂印刷

新华书店总店科技发行所经销

*

开本: 850×1168 1/32 1993 年 12 月 第一版

印张: 7.625 页数: 122 1993 年 12 月 北京第 1 次印刷

字数: 195 千字 印数: 1-4 000 册

ISBN7-115-05028-7/TN·670

定价: 11.00 元

751119

前 言

专用集成电路近几年来在国外发展很快,在国内也已受到广泛重视。目前,在各种新型电子设备和采用电子线路的设备中,无不采用专用集成电路。可以说,设备中是否采用专用集成电路已经是设备设计是否先进的重要标志之一。

专用集成电路不仅可以提高设备性能,例如降低设备价格和功耗、提高设备可靠性、减小体积、减轻重量,它还在电子设备和电子线路的设计方法上引起一次重大变革。原来使用通用集成电路设计和在印刷电路板上布局布线的工作,相当大一部分将被设计专用集成电路所代替。在印刷电路板上的许多调试和实验工作,也将被计算机模拟专用集成电路的性能所代替。

可以预期,在2000年前,我国的专用集成电路研制工作将有急速发展。但是,这方面的设计人才还十分匮乏。目前,国内高等学校电子设备和电子系统类的专业大多数未开设专用集成电路设计方面的课程。现有的电子设备(系统)研制人员,也迫切需要更新知识,进行继续教育,而这方面的中文书籍竟告阙如。这本书就是为了填补这方面的空白而编写的。本书面向电子设备的研制和设计人员,希望他们能够通过阅读本书而迅速掌握数字专用集成电路的基本设计方法。本书的重点放在用标准单元法设计CMOS数字专用集成电路以及设计现场可编程门阵(FPGA)上。

本书的编写得到西安电子科技大学、综合业务网理论及关键技术国家重点实验室和西安电子科技大学信息科学研究所的许多同事们的支持。高绍祥高级工程师、刘德修副教授、李立中工程师在本书编写期间在多方面都给予了大力帮助。谢治军博士提出了宝贵的建

议。赵缨红、周战琴也做了许多辅助工作,在此一并向他(她)们表示衷心感谢。

由于编者水平有限,且编写时间较短,书中肯定会有缺点和错误,欢迎读者批评指正。

作 者

目 录

第一章 绪论	1
1.1 什么是专用集成电路?	1
1.2 ASIC 的设计	2
1.3 全定制 ASIC 的设计方法	3
1.4 标准单元法的设计步骤	6
1.5 半定制专用集成电路	7
1.6 可编程专用集成电路	9
1.7 小结.....	12
第二章 现场可编程门阵(FPGA)	15
2.1 FPGA 的应用	15
2.2 FPGA 的工作速率	16
2.3 FPGA 的设计和编程	17
2.4 FPGA 的集成度	19
2.5 Actel 生产的 FPGA	21
2.6 Xilinx 生产的 FPGA	25
2.7 FPGA 的选用	31
2.8 小结.....	34
第三章 CMOS 基本原理	35
3.1 粒子的热运动.....	35
3.1.1 漂移	35
3.1.2 扩散	36
3.1.3 波茨曼分布	38
3.2 半导体.....	39
3.2.1 半导体基本概念	39
3.2.2 壁垒	40

3.3	MOS 晶体管	43
3.3.1	MOS 器件的结构	43
3.3.2	MOS 器件物理性能	43
3.3.3	MOS 器件电路性能	46
3.4	小结	47
第四章	CMOS 集成电路的制造	49
4.1	概述	49
4.2	图案形成	50
4.3	硅栅 CMOS 工艺过程	52
4.4	成品率	58
4.5	几何设计规则	59
4.6	小结	67
第五章	数字 ASIC 设计特点	68
5.1	概述	68
5.2	CMOS 组成的基本单元	69
5.2.1	“与非”、“或非”和“与或非”门	69
5.2.2	译码器、比较器和多路选择器	69
5.2.3	传输门和三态缓冲器	72
5.2.4	边缘敏感触发器	73
5.3	基本单元的分类	73
5.4	信号的分类	74
5.5	驱动能力、绝对扇出和相对扇出	74
5.6	电路延迟	76
5.7	扇入的影响	77
5.8	边缘缓慢	78
5.9	时钟缓冲	79
5.9.1	线形缓冲	79
5.9.2	树形缓冲	81
5.10	传输门	82

5.10.1	由传输门的双向性产生的条件	83
5.10.2	三态缓冲器的演变	83
5.11	三态缓冲器用于总线控制	84
5.11.1	译码器用于总线讲话器选择	85
5.11.2	降低总线负载	86
5.12	电源	88
5.13	ASIC 设计不宜采用的电路	89
5.13.1	倍频器	89
5.13.2	延迟线	89
5.13.3	单稳触发器	90
5.13.4	片上振荡器	90
5.13.5	RS 触发器	90
5.13.6	JK 触发器	91
5.13.7	隐含触发器	91
5.13.8	错误使用控制元件	91
5.13.9	用触发器的输出作为另一触发器的时钟 ..	92
5.13.10	门控时钟	92
5.13.11	负时钟边缘	92
5.13.12	异步清除(短复位脉冲)	93
5.13.13	异步清除(长复位脉冲)	94
5.13.14	中央时钟产生器	95
5.14	小结	96
第六章	同步设计技术	98
6.1	同步的定义	98
6.2	基本的同步部件	99
6.3	同步清除 D 型触发器	99
6.4	E 型触发器	100
6.5	T 型触发器	101
6.6	同步 RS 触发器	105

6.7	R 型触发器	105
6.8	状态产生	106
6.8.1	状态的无条件执行	108
6.8.2	状态的有条件执行	109
6.9	中央允许产生器	113
6.10	同步清除	113
6.11	时钟歪斜的消除	114
6.12	小结	114
第七章	接口电路及存储器	116
7.1	异步接口	116
7.1.1	互相同步的系统	116
7.1.2	互相异步的同步系统	117
7.1.3	同步系统的异步输入	120
7.1.4	仅用边缘敏感单元的轮询和握手	121
7.1.5	握手发送数据的安全性	122
7.1.6	微处理器存储器映射中的 ASIC	123
7.1.7	亚稳定性	123
7.2	RAM 及其接口	124
7.2.1	RAM 的使用	124
7.2.2	电平敏感锁存器	125
7.2.3	寄存器列	126
7.2.4	静态 RAM	129
7.2.5	动态 RAM	130
7.3	RAM 的外围电路	135
7.3.1	环形缓冲器	135
7.3.2	线性变换和互交织码	138
7.3.3	FIFO	139
7.3.4	一般共享资源访问——君子协议	142
7.4	小结	143

第八章 ASIC 系统设计	117
8.1 ASIC 设计的性质	147
8.1.1 ASIC 设计和通用 IC 设计的比较	147
8.1.2 决策观点和变换观点	148
8.2 ASIC 设计过程	150
8.2.1 ASIC 设计层次	150
8.2.2 ASIC 设计的一般方法	151
8.2.3 设计系统的模型	152
8.3 系统的分割	157
8.3.1 ASIC 的分割	157
8.3.2 简单功能电路的处理	158
8.3.3 重复的结构	158
8.3.4 全定制 IC 与可编程逻辑器件	158
8.3.5 高度异步的系统	159
8.4 流水线和串行处理	160
8.4.1 流水线	160
8.4.2 串行系统	161
8.5 小结	164
第九章 ASIC 的测试	165
9.1 概述	165
9.2 批量生产的测试方法	166
9.2.1 故障的后果	166
9.2.2 决定测试方法的因素	166
9.3 测试的概念	167
9.3.1 已知良好电路	167
9.3.2 测试设备	167
9.3.3 初始化	169
9.3.4 “滞留”故障	169
9.3.5 可控制性和可观察性	170

9.3.6	可控制性对可观察性的影响	172
9.4	测试方法	173
9.4.1	后设计法	173
9.4.2	特设法	173
9.4.3	扫描路径	176
9.4.4	PRBS 产生器和签字分析器	177
9.4.5	混合法	180
9.4.6	利用总线	181
9.4.7	测试 RAM	181
9.5	控制的层次	182
9.6	测试矢量开发工具	183
9.6.1	结点活动性检查	183
9.6.2	可测试性分析器	184
9.6.3	测试矢量评价	184
9.6.4	自动生成测试矢量	184
9.7	小结	185
第十章	ASIC 的高层次设计	186
10.1	概述	186
10.2	硬件描述语言(HDL)	187
10.2.1	逻辑图输入与 HDL 比较	187
10.2.2	HDL 的发展	188
10.2.3	Verilog HDL 简介	189
10.3	寄存器传送模型的特点	193
10.4	寄存器传送模型用的语言	194
10.5	用 Pascal 写的寄存器传送模型	194
10.5.1	数据结构	195
10.5.2	程序结构	195
10.5.3	举例——Pascal 累加器模型	196
10.6	用 HDL 写的寄存器传送模型	200

10.7	小结	204
第十一章	ASIC 设计工具举例	205
11.1	概述	205
11.2	天能工具的功能	206
11.2.1	逻辑符号库	206
11.2.2	绘图软件	208
11.2.3	网表翻译软件	208
11.2.4	模拟软件	209
11.2.5	掩模版图设计软件	210
11.2.6	版图库	211
11.3	天能工具应用举例	212
11.3.1	逻辑图输入	213
11.3.2	网表翻译	214
11.3.3	门层模拟	214
11.3.4	自动布局布线	217
11.4	小结	219
第十二章	结论	220
12.1	同步的分层次设计	220
12.2	异步单元	221
12.3	为生产而设计	222
12.4	结束语	222
附录 A	CIF 格式	223
附录 B	GDSII 格式	229

第一章 绪 论

1.1 什么是专用集成电路？

专用集成电路,英文是 Application Specific Integrated Circuit, 简称为 ASIC。所谓专用集成电路是相对于通用集成电路而言的,即除了通用集成电路,例如微处理器、存储器、74 系列通用逻辑电路等等之外,都可以称为 ASIC。

ASIC 是专门为了某一种或几种特定功能而设计的。目前,由于 VLSI 工艺的发展,一片集成电路中可以包含数以万计的元件。一片 ASIC 能够代替一块包括许多片通用集成电路的印制电路板,甚至在个别情况下,一部电子设备的电路可以仅由一片 ASIC 构成。所以,它可以大大降低设备价格、缩短研制时间、简化设备生产过程、降低功耗、减小体积、减轻重量、提高设备可靠性,也使设备难于被仿制。在多数情况下,ASIC 常和 RAM、ROM、CPU 等一起构成一个完整的电子系统。目前,ASIC 已经广泛地应用在通信、电视、广播、雷达、导航、自动控制、遥控遥测、计算机、仪器仪表和机器人等各类电子设备中。ASIC 有数字的、模拟的以及数/模混合的。本书限于讨论数字 ASIC。

一种通用集成电路常常每批生产量在几万片以上。由于 ASIC 应用面窄,通常每批只生产十来片至一万片左右。自然,有些种类 ASIC 的批量会大些。

ASIC 可以由生产厂家独立设计;或者由用户提出设计要求给生产厂家设计;也可以完全由用户设计,生产厂家只负责制造。大多数 ASIC 是用专门的计算机辅助设计(CAD)工具进行设计的。

按制造方法区分,ASIC 可以分为全定制(Full Custom)、半定制(Semi-Custom)和可编程三类。简而言之,全定制 ASIC 芯片的各层(掩模)都是按特定电路功能专门制造的;半定制 ASIC 的单元电路则是用预制的门阵(Gate Array)做成的,只有芯片最上层金属连线(掩模)是按电路功能专门设计制造的;可编程 ASIC 芯片各层均已由工厂制好,不需要定制任何掩模,用户可以用开发工具按照自己的设计对可编程器件进行“编程”,以实现特定的逻辑功能。但是,在本书中,可编程 ASIC 不包括 PROM、EPROM、PAL 和 GAL 等。

1.2 ASIC 的设计

ASIC,特别是全定制的,过去只能由生产工厂中的半导体专业人员进行设计,然而近几年来情况已发生了变化。首先,由于集成电路的集成度愈来愈高,一片 ASIC 即可实现一个复杂的部件或整机的功能,故设计 ASIC 的人员必须具备整机设计的系统知识。其次,由于目前的 CAD 工具具有很强的自动设计 ASIC 的功能,能够自动布局、布线和进行电性能模拟,设计者几乎不需具备微电子学和半导体工艺的专业知识,就能利用 CAD 工具设计 ASIC 的掩模版图。这就意味着,设备(电路)设计工程师目前有可能也有必要亲自设计 ASIC。应当注意的是,ASIC 的生命力首先在于其独创的方案和电路设计,而不是芯片面积的利用率。而后者对于大批量生产的通用集成电路常常是极为重要的。从发展趋势看,ASIC,特别是数字电路的 ASIC,正在逐渐过渡到由电路设计人员为主进行设计的新时期。

ASIC 的发展正在引起电子设备设计方法上的一次重大变革。利用通用集成电路设计电路和印刷电路板的工作,很大一部分将被设计 ASIC 的工作所代替。目前在印刷电路板上调试和修改设计的实验工作,很大一部分也将被在计算机上做 ASIC 设计的性能模拟所代替。在方案设计方面,目前大量采用 CPU 实现各种运算、逻辑和控制功能,今后采用 ASIC 时,在不少情况下,上述各种功能中许

多都可以用专门设计的组合逻辑电路和时序电路等实现,而不必采用 CPU,这可以提高运算速度或简化电路。自然,在 ASIC 中也可以包含 CPU 作为组成部分。目前常常设计 ASIC 作为通用 CPU 的外围电路。

1.3 全定制 ASIC 的设计方法

全定制 ASIC 的硅片没有经过预加工,其各层掩模全部是专门设计的。这类 ASIC 的设计方法大体可以分为五种。

第一种为人工设计法,即全定制设计法。设计者可以从每个半导体器件的电极形状和尺寸开始设计,可以设计出任何形式的电路结构。整个设计的布局和布线全是人工进行的。可以想象,其工作量相当大,而且容易出错。设计者需要有相当深入的微电子技术和生产工艺方面的专业知识,并且具有一定的设计经验。这样设计的优点是可以设计出完全符合自己要求性能的电路,布局布线紧凑合理,硅片面积利用率高,有利于提高集成度,降低生产成本,提高速度,降低功耗。

第二种方法称为标准单元设计法。在这种方法中,基本的电路单元(例如,D 型触发器、“与非”门、全加法器)的版图是预先设计好的,放在 CAD 工具的版图库中,而且具有统一的高度。设计者利用 CAD 工具绘制电路方框图,然后 CAD 工具能够利用方框图中单元逻辑电路符号与单元电路版图的对应关系,自动布局布线,生成版图。自然,设计者也可以利用标准单元的版图,人工布局布线。一般说来,人工布局布线比前者的硅片面积利用率高,但费时较多,易生错误。标准单元法不要求设计者必须具有专门的半导体工艺知识。从设计自由度角度看,标准单元设计法中单元电路是给定的,故常把这种设计方法称作半定制设计法。

图 1.3.1 示出连线前用标准单元法设计的芯片示意图。不同的标准单元具有相同的高度,而宽度则根据单元的复杂程度不同可宽

可窄。电源线 V_{DD} 和地线 GND 在不同的单元中也位于相同的高度，每一排中的各标准单元的电源线和地线可以自动对齐，互相连接。信号线则可以由每个标准单元的上下边引出。在各排标准单元之间，留有布线通道。

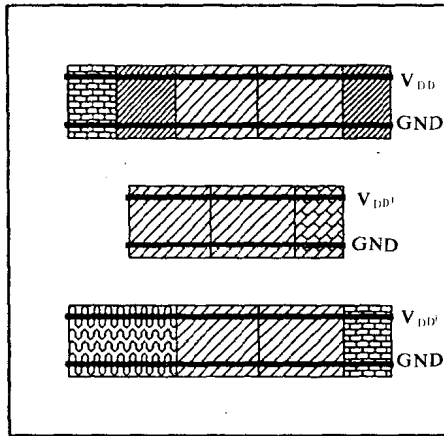


图 1.3.1 标准单元法设计的版图

第三种方法称为通用单元法。这种方法和标准单元法相似，也需要有一个版图库，库中存放各种功能单元的版图。但是，各个版图没有标准尺寸，都是根据需要分别设计的，以求获得最佳性能。用这种方法设计的芯片连线前的示意图示于图 1.3.2 中。在这种芯片中布线通道也是不规则的。这就为自动布局布线的 CAD 软件的设计带来困难。

第四种方法为优化阵法。在这种方法中，基本电路单元是许多 P 型和 N 型晶体管对。它们按照 CAD 工具所用的平面图排列成行和列，并组成各种功能单元，例如各种门和锁存器等。CAD 工具把设计者设计的逻辑图中的单元自动换成相应的晶体管电路。在此过程中，多余的单元被删去，因此称为优化阵。布线也是自动的，各排之间按

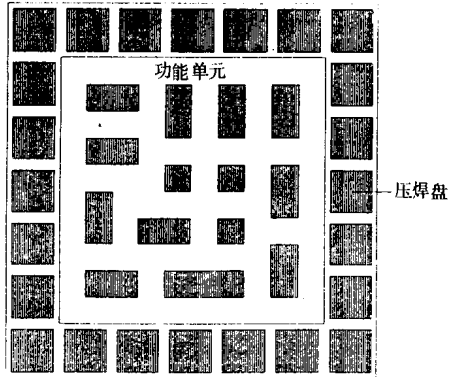


图 1.3.2 通用单元法设计的版图

布线需要留出额外的通道。图 1.3.3 示出一个典型优化阵的平面示

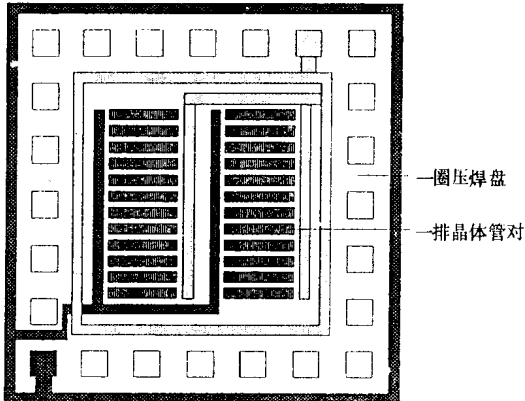


图 1.3.3 典型优化阵