



高 等 学 校 规 划 教 材
工 科 电 子 类

GH

数据域测试及仪器

(第二版)

陈光福 张世箕

N790.7

41

2)

电子工业出版社

TN790.7

C41

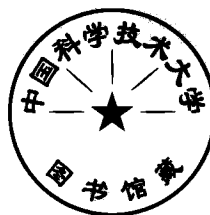
(2)

434952

数据域测试及仪器

(第二版)

陈光福 张世箕



电子工业出版社

(京)新登字 055 号

内 容 提 要

数据域测试与传统的时域和频域测试不同,是测试技术中一个新的测试领域。本书除阐述了组合逻辑、时序逻辑和微机系统的测试方法及数字系统的计算机辅助测试(CAT)外,还对可测性设计作了深入浅出地分析。最后介绍了特征分析仪、逻辑分析仪及微机开发系统等各种数据域测试仪器的的工作原理和应用。

本书具有较强的理论性和实用性,反映了学科的最新进展。它适用于仪表与测量、计算机、自动控制、无线电技术、通讯与系统以及信号与电路等学科的大学本科生和研究生,对于从事数字系统的工程技术人员也有参考价值。

DV16/15

数据域测试及仪器

(第二版)

陈光祜 张世箕

责任编辑 魏永昌

*

电子工业出版社出版(北京市万寿路)

电子工业出版社发行 各地新华书店经销

北京市李史山胶印厂印刷

*

开本:787×1092毫米 1/16 印张:18.75 字数:470千字

1994年11月第1版 1994年11月第1次印刷

印数:2000册 定价:10.40元

ISBN 7-5053-2465-9/TN·721

出版说明

根据国务院关于高等学校教材工作的规定,我部承担了全国高等学校和中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力,有关出版社的紧密配合,从1978~1990年,已编审、出版了三个轮次教材,及时供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要,贯彻国家教委《高等教育“八五”期间教材建设规划纲要》的精神,“以全面提高教材质量水平为中心,保证重点教材,保持教材相对稳定,适当扩大教材品种,逐步完善教材配套”,作为“八五”期间工科电子类专业教材建设工作的指导思想,组织我部所属的八个高等学校教材编审委员会和四个中等专业学校专业教学指导委员会,在总结前三轮教材工作的基础上,根据教育形势的发展和教学改革的需要,制订了1991~1995年的“八五”(第四轮)教材编审出版规划。列入规划的,以主要专业主干课程教材及其辅助教材为主的教材约300余种。这批教材的评选推荐和编审工作,由各编委会或教学指导委员会组织进行。

这批教材的书稿,其一是从通过教学实践、师生反应较好的讲义中经院校推荐,由编审委员会(小组)评选择优产生出来的,其二是在认真遴选主编人的条件下进行约编的,其三是经过质量调查,从前几轮组织编写出版的教材中遴选出来修编的。广大编审者、各编审委员会(小组)、教学指导委员会和有关出版社,为保证教材的出版和提高教材的质量,作出了不懈的努力。

限于水平和经验,这批教材的编审、出版工作还可能有缺点和不足之处,希望使用教材的单位,广大教师和同学积极提出批评和建议,共同为不断提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

第一版前言

本教材系按电子工业部的工科电子类专业教材 1986—1990 年编审出版规划,由无线电技术与信息系统教材编审委员会仪表与测量编审小组征稿、评选、推荐出版。责任编委为蒋焕文教授。

本教材由电子科技大学(原成都电讯工程学院)自动化系张世箕和陈光禔编写,北方交通大学蒋焕文教授担任主审。

数据域测试与传统的时域测试和频域测试不同,是一个新的测试领域。本课程的参考学时数为 68 学时。该书主要内容可分为三部分。

第一部分讲述数据域测试的基本概念和目前使用的主要方法,它包括第一章至第五章。第一章阐述数字系统测试的重要性及数据域测试的基本任务和基本方法。第二章在结构性的电路敏化分析的基础上,着重阐述了 D 算法、扩展 D 算法、布尔差分法和等效范式法等组合逻辑电路中最常使用的测试方法。第三章时序逻辑电路测试阐述了结构性的选接电路法和功能性的状态变迁检查法,同时简要介绍了有关时滞测试问题。第四章微机系统的测试重点阐述存贮器的测试和微处理器的测试;对于系统的测试,介绍了一种利用被测系统的应用程序来进行测试的方法。第五章介绍数据域测试的计算机辅助实现问题,作为例子,简要地介绍了 D 算法程序、扩展 D 算法程序和微处理器测试产生程序。这有助于对数据域测试形成更加完整的概念。

第二部分篇幅不大,仅包括第六章的内容,但它提出了一个现代数字系统以及超大规模集成电路(VLSI)设计中必须考虑的可测性设计问题,这对设计、制造出高质量的数字系统是至关重要的。本章重点阐述了可测性测度的概念、定义和计算方法以及提高可测性测度的设计原理。

第三部分讨论数据域测试仪器,它是各种数字系统硬件和软件开发、分析和测试所必不可少的工具。本章重点阐述了节点测试器、总线分析仪和开发系统三大类仪器的工作原理和应用。

本教材具有较强的理论性和实用性,且反映了学科的最新进展。它适用于仪表与测量、计算机、自动控制、通信与系统以及信号与电路等学科的大学本科生和研究生,对于从事数字系统的工程技术人员亦是一本有用的参考书。

为适应科学发展的需要,张世箕于 1981 年即编写了“数据域测试”的油印讲义,并在电子科技大学连续对历届测量专业本科生和相关学科的研究生讲授本课程。积编者多年在该课程讲授中的体会,1987 年由陈光禔执笔对原讲义作了删节和增补,将其归并为本书的前四章。后三章是在总结编者在该领域的部分科研成果并参考国内外有关文献资料的基础上形成的。现在奉献给读者的这本书已是第三次修订稿,由陈光禔统编全稿,最后由张世箕定稿。仪表与测量编审小组的全体编委对本教材提出了许多宝贵意见和建议;主审蒋焕文教授认真审阅了全稿,为提高本书质量付出了辛勤劳动;本校教务处和自动化系领导以及测量专业的老师都给本书的出版以关心和支持;硕士研究生杨洁、俞卫中、石秀明、谭钧和博士研究

生李为民为书稿的抄写描图和校稿付出劳动尤多,谨此对他们表示深切的谢忱。

由于编者水平有限,书中难免存在缺点乃至错误,殷切希望广大读者批评指正。有关本书意见请寄四川省成都市 83 信箱(邮政编码 610054);电子科技大学自动化系转编者,不胜感谢!

编者 1989 年 12 月于电子科大

第二版前言

本教材按电子工业部工科电子类专业教材 1991~1995 年编审出版规划,由无线电技术与信息系统教材编审委员会仪表与测量编审小组推荐出版。责任编委为蒋焕文教授。

本教材由电子科技大学自动化系陈光禔,张世箕在《数据域测试及仪器》第一版的基础上进行了修编,北方交通大学蒋焕文教授担任主审。

本书第一版于 1990 年 7 月正式出版以来,数据域测试技术又有较大的发展。为了适应新形势下的需要,编者对《数据域测试及仪器》第一版作了较大的修改。删去了部分目前已显得陈旧的内容,而增加了该领域的一些新成果。尽管修编后的第二版仍保留了第一版的体系结构,但在具体写法上作了较大变动。在内容上更加强调基本概念,深入浅出,加强基本技术,尤其对于学生难于理解的各种测试算法阐述得比较深入细致。在内容编排上,注意了相互的衔接,有利于教学的组织和学生的自学。

在本书第二版的修编中,第一章的基本内容变化不大。但在写法上作了调整,使之更加突出基本概念的描述,使读者对数据域测试建立起较为完整的概念。第二章作了大量的删节和改写,删去了等效范式法一节,而增加了临界通路法、主路经敏化法及故障字典等内容。第三章增加了同步时序和异步时序的迭接电路法,并对状态变迁检查法一节进行了重写,强调了系统性,而删去了并非十分重要的内容。在时延测试一节引入了电路-时间方程的描述。第四章微处理器测试一节在内容上作了某些调整,在写法上也更加注意基本原理,而删去了一些繁琐的叙述。第五章原有各节都作了删节,而增加了 PODEM 算法和故障模拟两节,这是目前计算机辅助测试技术中应该反映的内容。第六章和第七章改动不大,只分别增加了边缘扫描技术及数据信号发生器两节。

本书第二版所作的上述修改是否恰当,只待读者来评价了。

本书的修编融入了编者多年的教学实践及在该领域的科研成果。我们的博士研究生和硕士研究生们的学位论文都为本书提供了丰富的原始资料及实验数据,这无疑提高了本书的学术价值。

无线电技术与信息系统教材编审委员会仪表与测量编审小组的编委们对本教材第二版的修编提出了许多宝贵意见和建议;主审蒋焕文教授认真审阅了书稿,为提高本书质量付出了不少心血;本校教务处和自动化系领导及“电磁测量技术及仪器”学科的老师们都对本教材的出版给予了热情支持和帮助。在此,向所有关心并支持本书出版的同仁表示诚挚的谢意!

由于作者水平有限,书中难免出现不尽人意,甚至错误之处,敬请读者批评指正。

编者

1993 年 8 月于电子科大

目 录

绪论	(1)
一、测试技术的新领域	(1)
二、数据域测试的基本方法	(2)
三、计算机辅助测试	(2)
四、可测性和内测试	(4)
五、数据域测试仪器	(5)
参考文献	(5)
第一章 数据域测试的基本概念	(7)
第一节 数字系统的测试	(7)
一、数字系统测试的必要性和复杂性	(7)
二、故障模型与测试	(9)
三、故障冗余	(12)
四、完备测试集与故障等价	(13)
五、测试矢量的产生	(14)
六、测试响应的观测	(15)
七、复杂系统的分级测试	(15)
第二节 穷举测试法	(16)
一、单输出无扇出电路	(16)
二、带汇聚扇出的单输出电路	(19)
三、各输出不依赖于全部输入的多输出电路	(22)
第三节 故障表方法	(23)
一、固定式列表计划侦查	(23)
二、固定计划定位	(24)
三、适应性计划侦查和定位	(27)
本章习题	(33)
第二章 组合逻辑电路的测试	(35)
第一节 通路敏化	(35)
一、敏化通路	(35)
二、通路敏化法	(36)
三、关于一维敏化的讨论	(38)
四、多维敏化	(40)
第二节 d 算法	(41)
一、d 算法的基础知识	(41)
二、d 算法的基本步骤	(43)
三、d 算法举例	(44)
四、扩展 d 算法	(49)

五、关于多故障的讨论	(54)
第三节 临界通路法	(55)
第四节 布尔差分法	(56)
一、布尔差分的基本概念	(56)
二、布尔差分的特性	(58)
三、求布尔差分的方法	(58)
四、单故障的测试	(62)
五、多重故障的测试	(64)
六、主路径敏化法	(66)
第五节 故障字典	(68)
本章习题	(69)
第三章 时序逻辑电路的测试	(73)
第一节 选接电路法	(73)
一、基本思想	(73)
二、同步时序电路的组合选接	(74)
三、异步时序电路的组合选接	(76)
第二节 时序故障表法	(79)
一、故障侦查	(79)
二、故障定位	(86)
第三节 状态变迁检查法	(87)
一、初始状态的设置	(88)
二、状态的识别	(91)
三、故障的测试	(91)
四、区分序列的存在性	(92)
第四节 时延测试	(94)
一、 $DP_{\max}$ 的测试	(94)
二、电路-时间方程	(95)
本章习题	(98)
第四章 微机系统的测试	(104)
第一节 存贮器的测试	(104)
一、RAM 中的故障类型	(104)
二、测试的若干原则性考虑	(105)
三、存贮器测试方法	(106)
四、方法的比较	(112)
第二节 微处理器的测试	(113)
一、 μP 的算法产生测试	(113)
二、 μP 功能性测试的一般方法	(116)
三、 μP 功能性测试的系统图方法	(121)
第三节 利用被测系统的应用程序进行测试	(123)
一、基本概念	(124)
二、应用程序的模型化	(124)
三、关系图	(125)

四、测试的组织	(128)
五、通路测试的算法	(130)
第四节 利用总线观察进行测试	(133)
本章习题	(134)
第五章 数字系统的计算机辅助测试	(135)
第一节 计算机辅助测试的基本概念	(135)
一、概述	(135)
二、CAT 的结构模型	(135)
三、测试算法	(136)
四、逻辑和功能描述	(137)
五、数据库	(138)
六、输出	(138)
第二节 d 算法程序	(138)
一、DALG- I 程序	(138)
二、实用中的具体问题	(141)
第三节 扩展 d 算法程序	(142)
一、系统结构	(142)
二、SXMS 测试码自动生成系统	(143)
三、SXMDIAG 故障测试系统	(148)
第四节 PODEM 算法	(149)
第五节 微处理器测试产生程序	(152)
一、基本概念	(152)
二、RTL 语言简介	(152)
三、测试码生成	(153)
第六节 故障模拟	(157)
一、基本概念	(157)
二、故障模拟方法	(158)
三、并行模拟	(158)
四、演绎模拟	(160)
五、同时故障模拟	(162)
本章习题	(163)
第六章 可测性设计	(164)
第一节 可测性的测度	(165)
一、基本定义	(165)
二、标准单元的可测性分析	(167)
三、可控性和可观测性的计算	(168)
第二节 可测性设计方法	(170)
一、可测性的改善设计	(170)
二、结构可测性设计	(172)
三、其他可测性设计简介	(176)
第三节 组合电路的异或门串联结构	(178)
一、Reed-Muller 展开式	(178)

二、异或门串联电路结构测试分析	(180)
第四节 内测试设计	(181)
一、多位线性反馈移位寄存器	(182)
二、伪随机数发生器	(184)
三、特征分析器	(185)
四、内测试电路设计	(186)
第五节 边缘扫描技术	(187)
一、JTAG 边缘扫描可测性设计的结构	(190)
二、工作方式	(192)
三、边缘扫描单元的级连	(193)
四、JTAG 应用举例	(194)
五、JTAG 的特点	(196)
本章习题	(197)
第七章 数据域测试仪器	(198)
第一节 简易逻辑测试仪	(198)
一、逻辑笔	(198)
二、逻辑脉冲发生器	(199)
三、电流故障检寻器	(200)
第二节 特征分析仪	(201)
一、特征分析仪的基本原理	(202)
二、特征分析仪的故障侦出率	(203)
三、特征分析仪的基本结构	(206)
四、特征分析仪的工作	(207)
五、“特征”设计	(212)
第三节 逻辑分析仪	(213)
一、逻辑分析仪的特点及其主要技术指标	(214)
二、逻辑分析仪的基本结构	(216)
三、数据捕获	(217)
四、数据显示	(226)
五、应用	(231)
第四节 GP-IB 母线分析仪	(240)
一、概述	(240)
二、母线分析仪的作用和功能	(241)
三、母线分析仪的内部组织	(244)
四、国产母线分析仪举例	(245)
第五节 数据信号发生器	(248)
一、概述	(248)
二、特性的设置	(249)
三、主要功能的设置	(252)
四、复杂问题的解决	(254)
五、数字与模拟之间的桥梁	(255)
六、产生任意波形——综合编辑方式	(256)

第六节 开发系统.....	(259)
一、概述	(259)
二、开发系统的基本结构	(259)
三、仿真器	(261)
四、简易开发系统	(269)
五、通用开发系统	(271)
六 HP64000 逻辑开发系统简介	(276)
本章习题.....	(278)
参考文献.....	(279)

绪 论

一、测试技术的新领域

电子世界正在兴起一场深刻的革命,这个革命以大规模集成(LSI)电路和微处理器系统(μP 系统)为标志,近来又发展了甚大规模集成(VLSI)电路。许多传统的理论、方法和技术正在为之改观。在测试技术中也相应地开拓出一个新领域,即所谓数据域测试,与传统的时域测试和频域测试鼎足而三。

时域和频域方法是电路和系统的传统分析方法和测试方法,对于模拟电路和系统是久经考验而行之有效的;但对于复杂的数字电路和系统却未必能奏效,甚至会完全无能为力。

在一个模拟电路中,某一点上所发生的事件,一般会立即(只有有限的延时)在其输出端反映出来。数字系统则不然,某一点上所发生的事件,往往在经过若干个内部工作循环周期之后,才会在另一点或输出端上有所表现,或者,甚至可能毫无表现。另一方面,数字系统中不同的内部事件,也有可能产生同样的外部或终端效果。加之,在数字集成电路中,特别是LSI和VLSI中,内部电路规模庞大、十分复杂,而外部可观测点(引脚)则甚少;常常不得不依靠少数外部测试点上所得的有限结果去推断电路内部所发生的复杂过程。此外,在数字系统中,除了由于硬件故障而引起外部信息错乱之外,还可能由于软件的问题而导致异常输出。凡此种因素,都给数字系统的测试和分析带来极大困难,也因之形成了数字系统与模拟系统测试分析的重大差别。为此,不论在数字系统及其组件、元件的设计、研制、生产、调试乃至运行、应用、维护或修理等各项工作中,都迫切要求提供全新的、适当的测试和分析方法,以及相应的测试仪器和系统。

数字系统所处理的是一些脉冲序列,多为二进制信息,通常一般化地称之为“数据”,因此,有关的测试分析也就称为数据域测试分析。

如果说,在时域和频域分析中,我们要掌握的是某个变量 V 与自变量时间 t 或角频率 ω 之间的关系 $f(V, t)$ 或 $g(V, \omega)$,那么在数据域测试分析中所要掌握的,则是某个信息(在计算机科学中常称为一个“字”) W 与一个事件(或事件序列) e 之间的关系 $h(W, e)$ 。如所知, $f(V, t)$ 与 $g(V, \omega)$ 之间是一对傅里叶变换关系;但它们与 $h(W, e)$ 之间,则并无类似的变换关系。

数据域测试的历史,其渊源虽可上溯到本世纪五十年代初期或更早,而其真正的发轫则可认为是始于六十年代初期对电子计算机的诊断工作。事实上,所谓数据域测试就是对数字电路和系统进行故障侦查、定位和诊断。

随着数字系统和计算机技术应用的日益普及,数字系统和计算机本身也日益庞大复杂,其维护、检修问题日益严重,这就更加促进了数据域测试的发展。特别是在一些实时控制的联机应用中,诸如航天、航空的飞行控制,武器系统的管理和控制,化学过程和核反应堆的管理和控制,等等,其中所用的数字系统和计算机的任何故障或失误,都将会导致奇灾大祸。

为了保证充分的可靠性,数字电路和系统设计(包括计算机,它也是一种数字系统)中产生了一个新分支,即所谓容错技术。容错技术的两个主要方面,即冗余技术和自修复技术,都

与数据域测试密切相关。不言而喻,要能作到自修复,当然首先应能自动诊断出故障及其发生的部位。至于冗余技术,这是用冗余电路来遮掩故障所造成的不良效果,事实上只不过是推迟灾难性损坏出现的时间;在长时间后,大量故障积累起来,最后总是遮掩不住而表现为重大事故。因此,在使用冗余技术的系统中,在其工作的某些间歇时间内作适时的快速诊断和修复,仍是至关重要的。

然而,在实际的数字电路中并非一切故障都是可测的,特别是冗余电路中的某些故障一般是不可测的(参阅本书第一章第一节的第二段)。为此,曾提出过许多巧妙地应用冗余技术的方法,把电路设计成这样:使得在测试时,冗余电路变为非冗余的,从而达到了可测性。此外,有些电路虽然可测,但由于所需测试的工作量大得如此惊人,以致实际上无法完成测试。例如,一个简单的 32 位加法器,它有两组 32 位的输入端以及 1 个进位输入端,即总共有 65 条输入线;如作穷举测试,则需作 2^{65} 个测试;即使能在 1 纳秒内完成一个测试,也需 1170 年才能作完。这样一来,数据域测试就又与数字系统的可测性设计和可靠性设计紧密结合起来了,并由此而发展了数据域测试中的所谓内测试或自测试技术。

从以上所述不难看出数据域测试的意义极端重大,其内容十分广泛丰富,而其实施则有时非常艰难。在跨进七十年代时,随着 LSI 电路的发展,数据域测试也就更加蓬勃发展,其势异常迅猛。有关的理论、方法、技术和设备,如雨后春笋层出不穷,至今方兴未艾。它们对当今电子世界的革命,起着日益重要的作用,前途不可限量。

二、数据域测试的基本方法

本书的第一章首先阐明数据域测试中的一些基本概念。

要对一个数字电路作出完备的测试,最简单的方法无疑是穷举测试法,即是把任何可能的输入组合加于被测系统,看是否得到应有的输出结果。拿正常电路的真值表同有某种故障电路的实际真值表相比较,即可求得完备的测试集。本书第一章阐明了这些经典测试的方法,并指出其实施的困难。

第二章阐述有关组合逻辑电路的一些较为实际可行的测试方法,包括(1)利用拓朴方法寻求测试的敏化通路法,以及其实施的 D 算法和扩展(九值)D 算法;(2)利用分析方法寻求敏化通路的布尔差分法。

第三章阐述对时序逻辑电路的测试,包括主要借鉴于组合电路测试的所谓选接电路法,以及以有限自动机的状态识别为基础的状态变迁检查法。最后还阐述对时延故障的测试,时延故障是时序逻辑电路和组合逻辑电路所特有的一类故障。

第四章阐述微处理器系统的测试。这类系统一般由 LSI 电路组成。由于 LSI 电路的结构太过于复杂,而且用户一般也不了解其细节,所以前面所述的结构性测试就无所施其技。本章所述的测试是属于子系统级的功能性测试,包括对 RAM 的测试和对裸 μP 的测试。最后阐述利用被测系统自身的应用程序来对系统进行测试的方法,这类方法只对该系统的应用所涉及的功能进行测试,至于用不着的一些功能则置之不理;这类测试显然远非完备,但却十分实用,就实际应用而言,测试是完备的。

三、计算机辅助测试

在实际的数据域测试中,工作量都十分巨大,远非人工所能胜任,不得不利用计算机来

辅助测试,即所谓 CAT。本书第五章阐述有关 CAT 方面的问题。

自从 1950 年左右第一台数字式电子计算机出现后不久,就陆续研究出利用特殊的计算机程序去检查计算机本身是否工作正常的一些办法。最早的一些诊断程序是考验计算机的功能,而不是检查计算机硬件。具体的方法随计算机而异,而且所得结论也不一定总是有把握的。真正利用计算机去检查硬件故障的研究,可以认为是 Eldred 在 1959 年开始的^[1]。在 1964 至 1966 年间主要是由于 Roth 的工作,才建立了有普遍意义的 D 算法(见本书第二章第二节),并用 APL 语言写出了 D 算法的一个解释性执行程序 FALTGEN^[2],接着在 1967 年又改进成为 DALG- I 程序^[3]。到了 1973 年又研制出至少 16 种 CAT 程序,如表 0.3.1 所列^[4]。其后,Goel 又在 D 算法的基础上作了重大的改进,于 1981 年给出了一个 PODEM 程序^[6,7]。

原来的 DALG- I 对于 4000 个门以下的电平敏感扫描设计(LSSD,见第六章第二节)电路是相当有效的,用速度为每秒二百万条指令(2MIPS)的计算机,在几个小时之内能测试出 90%的呆滞型故障。对于规模更大的电路,DALG- I 由于所需时间过长而变得不实用了。PODEM 引入了一些新概念,简化并加速了判决和重试过程,在 5MIPS 的计算机上约用 10 小时可测试 40000 个门的 LSSD VLSI 电路^[7]。本书第五章重点介绍了 DALG- I 和 PODEM 程序。

表 0.3.1

CAT 程序代名	研制单位
D-LASAR	Digitest Inc.
FAIRSIM II /FAIRGEN	Fairchild
TESTGEN/COMTEST	Westinghouse
FAULTS II	General Dynamics
SALT	IBM
LASAR I	LTV
TGEN	RCA
TESTAID	Telpar
TASC	Pacific Applied Systems
FLASH	Micro Inc.
SATGEN	Hughes Aircraft
STVG	GE
FAS/SDAP	Honeywell
LOGOS	Grumman
TGAS	U. S. Navy
SEQUENTIAL ANALYSER	Bell Labs

这里附带指出,1983 年又出现了一个 FAN 程序^[8],它是 PODEM 的一种改进。PODEM 是在各主输入点作判决和重试的,而 FAN 则是在各扇出点和输出线上作判决和重试,从而大大提高了测试效率。对 5 种电路的测试表明,FAN 平均比 PODEM 快 3.4 倍,所需重试判

决的数目仅为 PODEM 的 $1/20$ 。如果对于更多不同类型的被测电路都能保持这样的优势,那么 FAN 就是很有价值的。另外,在 1983 年还出现了一种下标 D 算法^[9,10],它能同时敏化多条通道,从而可以比标准 D 算法少产生一些测试矢量;不过尚未见在 VLSI 电路上拿它与 PODEM 和 FAN 作过比较。

把人的学识、智慧和经验同计算机结合起来,构成具有人工智能的专家系统,这是数据域测试发展的重要方向之一。这方面的工作才刚刚起步,前途大有希望。本书第五章第三节介绍了电子科技大学新近在 IBM PC 机上作出的一个初步的专家系统,它采用 LISP 语言,并以扩展(九值)D 算法为基础。另外,读者还可以参考文献^{[11][12]},从中可获得不少颇有意味的启迪。

本书第五章最后介绍了利用寄存器传输语言(RTL)对 μP 进行的 CAT。关于这类使用硬件描述语言(HDL)的 CAT,有兴趣的读者还可以参考文献^[13~15]。

四、可测性和内测试

在绪论的第一节中,我们谈论到数字电路的可测性和内测试,这是 VLSI 电路设计和测试发展的必然趋势之一。因此,本书在第六章专门讨论这一论题,其目的并不在于可测性设计本身,而是想借此向读者展示可测性设计与数据域测试的紧密联系。

第六章第一节首先阐明可测性的概念及其测度。

在第三章第一节中曾经讨论过测试时序电路的迭接电路法,这种迭接电路模型仅适用于 300 个门以下的电路。当电路的规模更大、反馈路径更多时,测试就不可能在合理的时间内完成。这种测试上的困难,事实上就是数字电路(特别是 VLSI 电路)的各种扫描通道设计法发展的主要原因。第六章第二节就此问题作了扼要的阐述。在文献^[16,17]中可以找到更多的资料。

第六章第三节阐述 Reddy 提出的设计方法^[19],它以 Reed-Muller 展开式为基础^[20,21]。这种设计对测试特别有利,其完备测试集非常小,仅需 $(n+4+2n_c)$ 个测试矢量,其中 n 是电路的主输入变量的数目, n_c 是接入偶数个“与”门的主输入端的数目。显然,这样小的完备测试集极有利于实现内测试。这种电路设计的主要缺点是所用逻辑级的级数可能过多。为此,Reddy 又提出了另一种设计法^[22],它最多只使用三级“与-或”门。此外,Saluja 和 Reddy 还描述过一种以 Reed-Muller 范式为基础的二级“与-异或”单元逻辑阵列,这种阵列能实现任何开关函数,并可以只用 $(2n+5)$ 个测试来测出单个有故障的阵列单元^[23]。对这方面有兴趣的读者,可阅读原始文献^[22,23]。

第六章第四节扼要地介绍了 Koeneman 等在 1979 年提出的内建逻辑块观测(BILBO)技术^[24]。这种技术主要是利用电路内含的线性反馈移位寄存器(LFSR)产生伪随机测试样式,又用 LFSR 作信号特征分析,从而达到自测试的目的。不过 BILBO 技术却不适用于 PLA 的测试。PLA 的特点是逻辑门的扇入非常多。例如一个 PLA 中的一个“与”门可能有 20 个输入端,一条输入线呆滞于 1 的故障的侦出率为 $1/2^{20} \approx 1 \times 10^{-6}$;如果用 BILBO 技术产生 1000 个测试样式,则故障的侦出率只约为 $1/1000$,这显然是不行的。关于易测 PLA 的设计问题,可阅读文献^[25]。

限于篇幅,第六章不可能对可测性设计和内测试问题作全面的介绍,读者在文献^{[18]、[26]}中可以找到大量的资料。

五、数据域测试仪器

从以上所述可见,较完备的数据域测试常常都得依赖于 CAT。然而,另一方面,在实际中也常常希望能用较简单而价廉的工具来作远非完备的测试,依靠测试者的智慧,来判明数字系统是否工作正常,或诊断出某些故障。这种办法尤其适于数字系统的日常维护和现场检修工作。

本书第七章着重介绍了几种在实验室常见的通用测试仪器,从最简单的逻辑笔到复杂的逻辑分析仪。这些仪器,如果运用得当,也可以解决很多实际的数据域测试问题。

微处理器开发系统本来是作 CAD 用的,但也可以利用它来对设计出来的系统进行 CAT,因此第七章也包括了这方面的内容。

至于专业用的各种形式的庞大复杂的电路板测试系统和 IC 测试系统,则在此不作论述。有兴趣的读者可参考文献^[18]的第 6 章和第 7 章。

参考文献

- [1] R. D. Eldred, Test Routines Based on Symbolic Logic Statements, *J. ACM*, 6, No. 1, 33~36, 1959.
- [2] J. P. Roth, Diagnosis of Automata Failures; A Calculus and A Method, *IBM J. R. & D.*, 10, 278~291, 1966.
- [3] J. P. Roth, W. G. Bouricius, P. R. Schneider, Programmed Algorithms to Compute Tests to Detect and Distinguish Between Failures in Logic Circuits, *IEEE Trans.*, EC-16, No 5, 567~579, 1967.
- [4] J. R. Greenbaum, Computer-Aided Fault Analysis—Today, Tomorrow, or Never?, 96~111 in [5], 1974.
- [5] R. Saeks, S. R. Liberty (Ed.), Rational Fault Analysis, Marcel Dekker, Inc., New York, 1974.
- [6] P. Goel, An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits, *IEEE Trans.*, C-30, 215~222, 1981.
- [7] P. Goel, B. Rosales, PODEM-X: An Automatic Test Generation System for VLSI Logic Structures, Proc. 18th Design Automation Conference, 260~268, June 1981.
- [8] H. Fujiwara, T. Shimonono, On the Acceleration of Test Generation Algorithms, *IEEE Trans.*, C-32, 1137~1144, 1983.
- [9] C. Benmehrez, J. F. McDonald, The Subscripted D-Algorithm — ATPG with Multiple Independent Control Pathrol Paths, 1-EEE Automatic Test Program Generation Workshop, March 1983.
- [10] J. F. McDonald, C. Benmehrez, Test Set Reduction Using the Subscripted D-Algorithm, *Proc IEEE International Test Conference*, 115~121, Oct 1983.
- [11] W. B. Rouse, R. M. Hunt, Human Problem Solving in Fault Diagnosis Tasks, 195~222 in [12].
- [12] W. B. Rouse (ed.), Advances in Man-Machine System Research, Vol. 1, JAI Press Inc., London, 1984.
- [13] Y. Min, S. Y. H. Su, Testing Functional Faults in VLSI, *Proc. 19th Design Automation Conference*, 384~392, June 1982.
- [14] Y. H. Levendel, P. R. Menon, Test Generation Algorithms for Computer Hardware Description Languages, *IEEE Trans.*, C-31, 577~588, 1982.
- [15] K. Son, J. Y. O. Fong, Automatic Behavioral Test Generation, *Proc. IEEE Test Conference*, 161~165, Nov. 1982.
- [16] T. W. Williams, K. P. Parker, Design for Testability—A Survey, *IEEE Proc.*, 71, No. 1, 98~112, 1983.
- [17] T. W. Williams, Design for Testability, Ch. 4 in [18], 95~160, 1986.
- [18] T. W. Williams (ed.), Advances in CAD for VLSI, Vol. 5, VLSI Testing, Elsevier Science Publishers B. V., Amsterdam, 1986.
- [19] S. M. Reddy, Easily Testable Realisations for Logic Functions, *IEEE Trans.*, C-21, 1183~1188, 1972.
- [20] D. E. Muller, Application of Boolean Algebra to Switching Circuit Design and to Error Detection, *IRE Trans.*, EC-3, 6~12, 1954.
- [21] A. Mukhopadhyay, G. Schmitz, Minimisation of EXCLUSIVE OR and LOGICAL EQUIVALENCE Switching Circuits, *IEEE Trans.*, C-19, 132~140, 1970.