

SH3 高级单片机 原理及应用

沈永林 编著



清华大学出版社

<http://www.tup.tsinghua.edu.cn>



451968

SH3 高级单片机原理及应用

沈永林 等 编著

清华大学出版社

(京)新登字 158 号

JS15665
内 容 简 介

本书介绍了 32 位高档单片机的原理与应用, 主要包括 RISC 结构的特点、单片机的结构、指令系统、汇编语言编程、单片机的各种功能模块以及使用。结合 SH3 单片机的介绍, 使读者对高档单片机有一个完整的了解, 满足广大读者对日益广泛应用的单片机的知识的需求, 以迎接 21 世纪的挑战。

本书是清华大学计算机基础教育的教材之一, 适于作为大专院校非计算机类各专业学生学习计算机的教材, 也可以作为成人高等教育的培训教材以及广大科技工作者的参考书。

版权所有, 翻印必究。

本书封面贴有清华大学出版社防伪标签, 无标签者不得销售。

图书在版编目 (CIP) 数据

SH3 高级单片机原理及应用 沈永林等编著 一北京: 清华大学出版社, 1998. 12
ISBN 7-302-03252-1

I S… II 沈… III 单片微型计算机-教材 IV TP368.1

中国版本图书馆 CIP 数据核字 (98) 第 35321 号

出版者: 清华大学出版社 (北京清华大学校内, 邮编 100084)

<http://www.tup.tsinghua.edu.cn>

印刷者: 北京清华园胶印厂

发行者: 新华书店总店北京发行所

开 本: 787×1092 1/16 印张: 15 字数: 356 千字

版 次: 1999 年 1 月第 1 版 1999 年 1 月第 1 次印刷

书 号: ISBN 7-302-03252-1/TP·1741

印 数: 0001~4000

定 价: 22.00 元

前 言

随着微电子技术的迅猛发展，微型计算机获得了举世瞩目的成就，成了计算机领域中的主力军。作为微型机的一个分支，单片微机以其体积小、价格低、功能全等突出优点，在 70 年代，迅速崛起，很快占领了工业控制、生产自动化以及仪器仪表、智能化设备等领域，成为科研、教学及工业技术改造最得力的工具。近年来，单片机继续朝着高速、高性能方向发展，从 4 位、8 位单片机发展到 16 位、32 位单片机，由于性能的提高，大大地拓宽了单片机的应用范围，诸如外设、多媒体、通信、导航、PDA 个人数字助理等领域，都可以看到单片机的足迹。

计算机的广泛普及与应用，使人们传统的工作、学习、生活乃至思维方式发生了巨大的变化。计算机技术与其它学科领域的交叉融合，促进了学科发展与专业更新，引发了新兴交叉学科与技术不断涌现。因此，计算机如同数学和外语等一样，是面向 21 世纪人才必不可少的、最重要的基础之一。

计算机基础包括计算机文化基础、计算机技术基础和计算机应用基础三个部分。单片机则是计算机技术基础的一部分。

本书是笔者对清华大学本科生讲授《高档单片微机》课程的教材，结合目前世界上最高档的单片机之一的 SH3 系列（日立公司生产的 32 位单片微机），介绍高档单片机的原理与技术。书中内容主要根据日立公司的 SH7708 Hardware Manual 和我们多年从事计算机硬件技术基础、单片机教学及科研开发的经验而写成的。

本书系统地介绍了单片机的结构、SH3 的指令系统和汇编语言、单片机的各种功能模块以及 START KIT 的使用，为实际应用提供基本的原理和技术支持。本书可供大专院校师生及对单片机感兴趣的广大科技工作者学习、参考。

本书的第 1 章~第 9 章由沈永林编写，第 10 章、第 14 章、第 15 章、第 16 章由郑志翔编写，第 11 章、第 12 章、第 13 章、第 17 章由于波编写，全书由沈永林修改定稿。限于编者的学识水平，书中难免有错误和不妥之处，敬请读者提出宝贵意见。

编 者

1998 年 10 月于清华园

目 录

前言	I
第 1 章 SH-3 结构概述	1
1.1 SuperH 系列	1
1.2 RISC 结构特点	4
1.3 结构框图	6
1.4 引脚功能说明	8
第 2 章 CPU 和指令系统	12
2.1 寄存器	12
2.1.1 寄存器分类	12
2.1.2 系统寄存器	12
2.1.3 控制寄存器	14
2.2 处理器状态和工作方式	14
2.3 数据格式	16
2.4 寻址方式	16
2.5 指令系统	18
2.5.1 指令系统分类	18
2.5.2 指令格式	20
2.5.3 数据传送指令	20
2.5.4 算术运算指令	22
2.5.5 逻辑操作指令	26
2.5.6 移位指令	27
2.5.7 分支转移指令	27
2.5.8 系统控制指令	28
第 3 章 SH 系列交叉汇编	32
3.1 概述	32
3.2 程序的元素	33
3.2.1 语句	33
3.2.2 常数	33
3.2.3 表达式	33
3.2.4 字符串	33
3.3 基本的编程构件	34
3.3.1 段	35
3.3.2 符号	36

3.4	汇编指令	37
3.4.1	概述	37
3.4.2	CPU 类型指令	37
3.4.3	段和定位指令	37
3.4.4	符号处理指令	39
3.4.5	数据和数据区保存指令	40
3.4.6	外部数据定义指令	44
3.4.7	目标模块指令	45
3.4.8	汇编清单指令	46
3.4.9	其它指令	48
3.4.10	文件包含指令	48
3.5	宏汇编指令	49
3.5.1	宏汇编定义和调用	49
3.5.2	宏汇编指令	50
第 4 章	异常处理	52
4.1	概述	52
4.2	异常处理功能	52
4.2.1	异常处理流程	52
4.2.2	异常处理向量	52
4.2.3	异常事件的接收	53
4.2.4	异常码和异常事件寄存器	54
4.2.5	异常请求屏蔽和异常返回	54
4.3	异常处理操作	54
4.3.1	复位	54
4.3.2	中断	56
4.3.3	普通异常	56
第 5 章	中断	60
5.1	概述	60
5.2	中断源	61
5.3	中断控制寄存器	63
5.4	中断操作	63
第 6 章	用户断点控制器	66
6.1	概述	66
6.2	寄存器的功能	67
6.2.1	断点地址寄存器 BARA 和 BARB	67
6.2.2	ASID 断点寄存器 BASRA 和 BASRB	68
6.2.3	断点地址屏蔽寄存器 BAMRA 和 BAMRB	68
6.2.4	总线周期断点寄存器 BBRA 和 BBRB	69

6.2.5	数据断点寄存器 BDRB 和数据屏蔽寄存器 BDMRB	69
6.2.6	断点控制寄存器 BRCCR	70
6.3	用户断点操作	71
6.3.1	用户断点操作流程	71
6.3.2	取指周期断点	71
6.3.3	数据访问周期断点	72
6.3.4	应用举例	72
第 7 章	时钟振荡电路和监视时钟 WDT	76
7.1	概述	76
7.2	时钟脉冲发生器	76
7.3	时钟操作方式	78
7.4	CPG 的频率控制寄存器 FQCR	80
7.5	时钟脉冲发生器使用	81
7.5.1	频率改变	81
7.5.2	PLL 备用功能	82
7.5.3	时钟输出的控制	83
7.6	监视定时器 WDT	83
7.6.1	WDT 的结构	84
7.6.2	WDT 的寄存器	84
7.6.3	WDT 的使用	86
7.6.4	WDT 使用的例子	87
7.7	印刷板设计注意点	88
第 8 章	节电方式	90
8.1	概述	90
8.2	休眠方式的转换	91
8.3	备用方式的转换	91
8.4	模块备用方式的转换	93
第 9 章	定时器 TMU	94
9.1	概述	94
9.2	寄存器	96
9.2.1	寄存器的配置	96
9.2.2	定时器输出控制寄存器 TOCR	96
9.2.3	定时器启动寄存器 TSTR	96
9.2.4	定时器控制寄存器 TCR	97
9.2.5	定时器常数寄存器 TCOR	99
9.2.6	定时器计数器 TCNT	99
9.2.7	输入俘获寄存器 TCP2	99

9.3	定时器操作.....	100
9.4	定时器中断.....	103
9.5	定时器使用编程.....	104
第 10 章	实时时钟 RTC.....	106
10.1	概述.....	106
10.2	RTC 寄存器介绍.....	107
10.2.1	时间计数器.....	108
10.2.2	闹钟寄存器.....	110
10.2.3	RTC 控制寄存器 RCR1.....	110
10.2.4	RTC 控制寄存器 RCR2.....	111
10.3	RTC 操作.....	113
10.4	使用注意事项.....	114
第 11 章	串行通信接口 SCI.....	115
11.1	概述.....	115
11.1.1	SCI 特点.....	115
11.1.2	SCI 结构.....	117
11.2	寄存器.....	117
11.2.1	接收移位寄存器 SCRSR.....	117
11.2.2	接收数据寄存器 SCRDR.....	118
11.2.3	发送移位寄存器 SCTSR.....	118
11.2.4	发送数据寄存器 SCTDR.....	118
11.2.5	串行方式寄存器 SCSMR.....	118
11.2.6	串行控制寄存器 SCSCR.....	120
11.2.7	串行状态寄存器 SCSSR.....	122
11.2.8	串行端口寄存器 SCSPTR.....	124
11.2.9	位传输率寄存器 SCBRR.....	125
11.3	操作.....	126
11.3.1	概述.....	126
11.3.2	异步方式下的操作.....	126
11.3.3	多处理器通信.....	134
11.3.4	同步方式下的操作.....	138
11.4	SCI 中断源.....	143
11.5	注意事项.....	143
第 12 章	智能卡接口.....	146
12.1	概述.....	146
12.2	寄存器.....	146
12.2.1	智能卡方式寄存器 SCSCMR.....	148
12.2.2	串行状态寄存器 SCSSR.....	148

12.3	操作.....	149
12.3.1	接口功能及连线.....	149
12.3.2	数据格式.....	150
12.3.3	寄存器设置.....	151
12.3.4	时钟.....	151
12.3.5	数据发送和接收.....	152
12.4	注意事项.....	153
12.4.1	接收占空比的计算.....	153
12.4.2	数据重发送操作.....	154
第 13 章	I/O 端口.....	156
13.1	概述.....	156
13.2	寄存器.....	156
13.2.1	端口控制寄存器 PCTR.....	157
13.2.2	端口数据寄存器 PDTR.....	157
13.2.3	串行口寄存器 SCSPTR.....	158
第 14 章	存储器管理单元 MMU.....	159
14.1	概述.....	159
14.1.1	MMU 功能.....	159
14.1.2	虚拟地址空间.....	160
14.2	寄存器.....	162
14.3	TLB 功能.....	164
14.3.1	TLB 结构.....	164
14.3.2	TLB 索引.....	165
14.3.3	TLB 地址比较.....	167
14.3.4	页面管理信息.....	167
14.4	MMU 功能.....	168
14.4.1	MMU 硬件管理.....	168
14.4.2	MMU 软件管理.....	169
14.4.3	MMU 指令 LDLTB.....	169
14.4.4	避免同义问题.....	169
14.5	MMU 异常.....	171
14.5.1	TLB 遗漏.....	171
14.5.2	TLB 保护违反.....	172
14.5.3	TLB 无效异常.....	173
14.5.4	初始页面的写操作.....	173
14.5.5	MMU 异常事件的处理流程.....	174
14.6	存储器映射 TLB.....	174

14.6.1 地址阵列	176
14.6.2 数据阵列	177
14.6.3 应用举例	177
第 15 章 高速缓冲存储器	179
15.1 概述	179
15.2 Cache 结构	179
15.3 高速缓冲存储器控制寄存器 CCR	180
15.4 高速缓冲存储器操作	181
15.5 存储器映射的高速缓冲存储器	184
15.5.1 地址阵列	184
15.5.2 数据阵列	184
15.6 应用举例	185
第 16 章 总线状态控制器 BSC	187
16.1 概述	187
16.2 BSC 寄存器	191
16.2.1 总线控制寄存器 BCR1	191
16.2.2 总线控制寄存器 BCR2	193
16.2.3 等待状态控制寄存器 WCR1	194
16.2.4 等待状态控制寄存器 WCR2	195
16.2.5 单个内存控制寄存器 MCR	197
16.2.6 DRAM 控制寄存器 DCR	200
16.2.7 刷新定时控制/状态寄存器 RTCSR	201
16.2.8 刷新定时计数器 RTCNT	203
16.2.9 刷新时间常数寄存器 RTCOR	203
16.2.10 刷新计数寄存器 RFCR	203
16.3 BSC 的操作	204
16.3.1 数据排列格式	204
16.3.2 存储区描述	204
16.3.3 基本接口	207
16.3.4 DRAM 接口	209
16.3.5 并发 ROM 接口	215
16.3.6 存取周期期间的延迟	217
16.3.7 总线仲裁	219
16.4 与其它类型存储器的连接	219
第 17 章 Starter Kit 练习器	220
17.1 概述	220
17.2 系统结构	221
17.2.1 硬件组成	221

17.2.2	软件功能	221
17.2.3	Starter Kit 原理介绍	222
17.3	练习器的使用	224
17.3.1	硬件安装	224
17.3.2	软件安装	224
17.3.3	进入、退出系统	224
17.3.4	生成可执行文件	225
17.3.5	练习器命令	225
17.3.6	使用注意事项	230

第 1 章 SH-3 结构概述

日立公司生产各种类型的单片机，从 4 位到 32 位等各种系列，应有尽有，广泛应用于计算机、外设、通信、仪器仪表、工业控制和家用电器等领域。日立单片机是世界上应用最广泛的单片机之一。其中，SuperH 系列单片机采用 RISC (reduced instruction set computer) 结构，处理速度快、功能强、功耗低，是目前世界上最高级的单片机之一。

1.1 SuperH 系列

SuperH (简称 SH) 系列 RISC 型单片计算机有基本型 SH-1、改进型 SH-2、低功耗

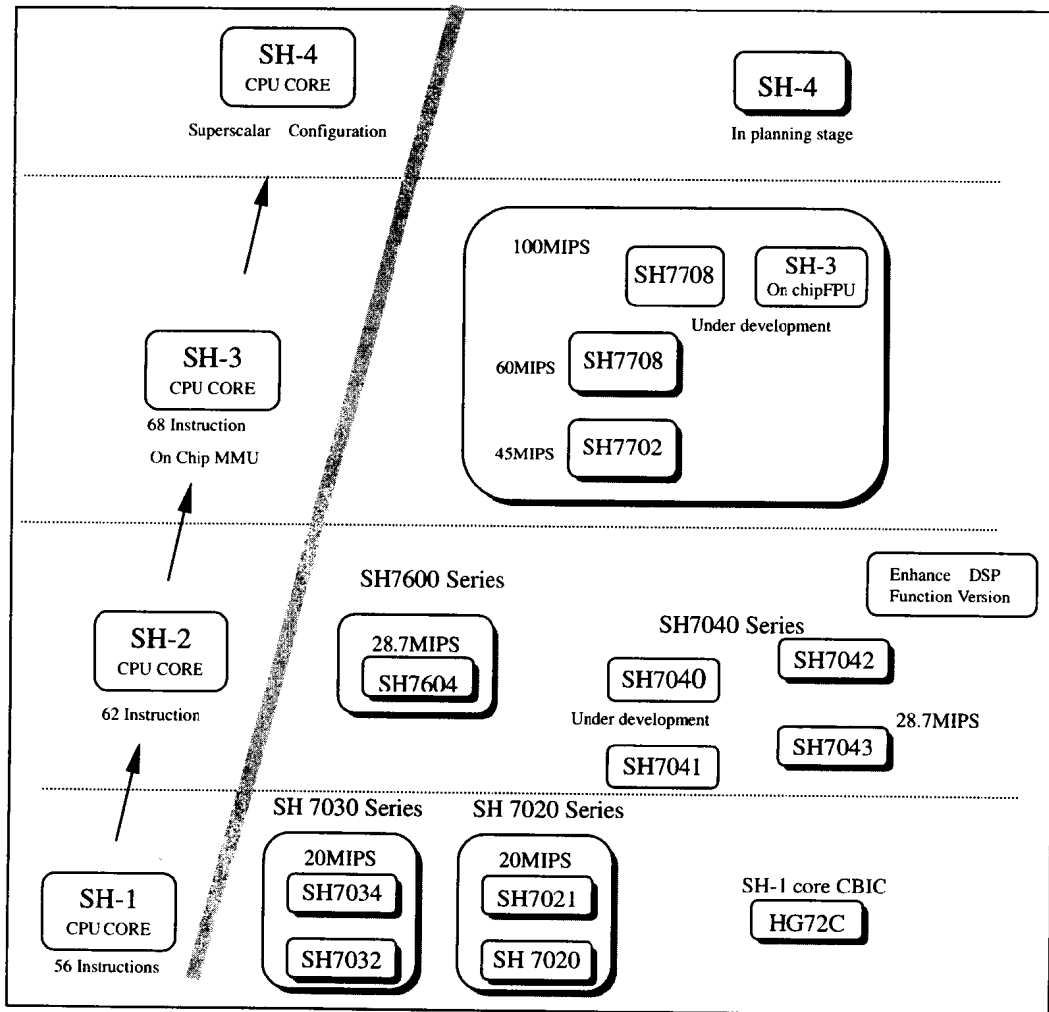


图 1-1 SH 32 位单片机系列

型 SH-3 和增强型 SH-4 等几类，如图 1-1 所示。其中 SH-4 正在开发之中。

SH-1 系列含片内 RAM 和 ROM，目前有 SH7034、SH7032、SH7021 和 SH7020 四种。SH-2 采用 Cache 结构，片内不含 RAM 和 ROM，目前只有一种 SH7604。SH-3 是低功耗型，可以在 2.25V 电压下运行，目前有 SH7702、SH7708、SH7709 等几种。图 1-2、图 1-3、图 1-4 分别表示 SH-1、SH-2、SH-3 系列的结构。

SH 系列单片机设计的指导思想是遵循高性能、低功耗、低成本，由于 SH 系列单片机具有高速、高性能处理能力，它广泛地用于多媒体、蜂窝电话、硬盘及光盘驱动、激光打印机、扫描仪、数字通信、数字相机、可视电话、自动汽车、PDA 个人数字助理、高档游戏机等嵌入式应用。

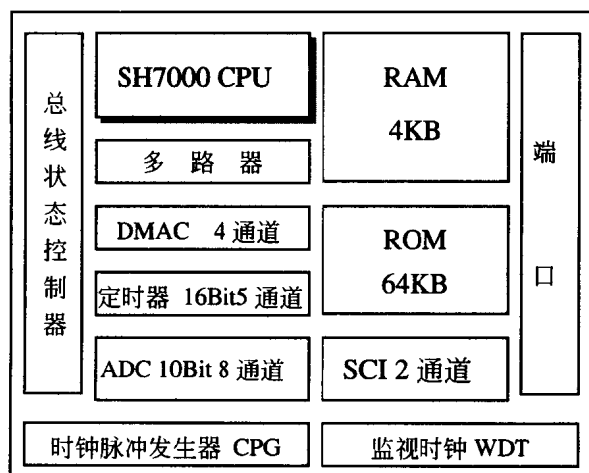


图 1-2 SH-1 单片机系列

SH-1，即 SH7000 系列，具备如下主要特性：

- 32 位单片 RISC 结构
- 高性能，单片速度达 20MIPS (20MHz 时钟)
- 高速度的乘法加法器 (片内设 16 位乘法器)
- 片内 ROM 达 64KB，片内 RAM 4KB
- 片内模块有：多功能定时器 (5 通道 16 位定时器，16 位定时图形控制器)、监视时钟 WDT (或称监视定时器 WDT)、A/D (8 通道 10 位)、DMAC (4 通道)、串行通信接口 SCI (2 通道)、中断控制器 INTC (内部 31 个，外部 9 个)、总线控制器 BSC 等

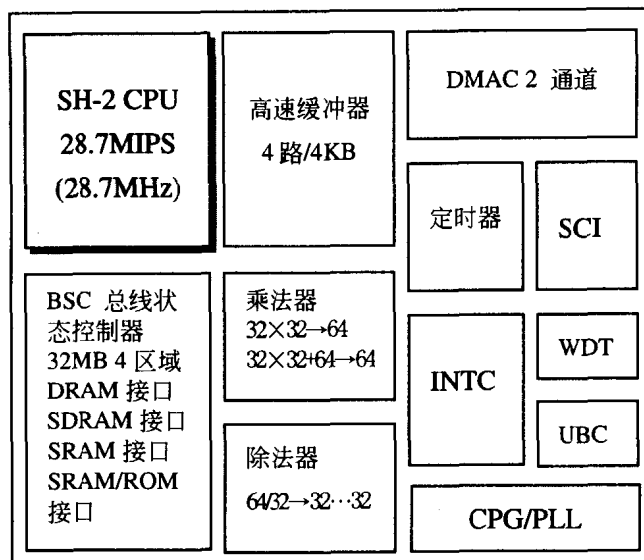


图 1-3 SH-2 单片机系列

SH-2, 即 SH7600 系列单片机, 性能比 SH-1 有所提高, 执行速度达 28.7MIPS (时钟 28.7MHz)。为了提高性能, 把片内存储器 ROM、RAM 移到片外, 而增加了高速缓冲器 Cache。其主要特性如下:

- 32 位改进型 RISC 结构, 高性能, 单片速度达 28.7MIPS (28.7MHz 时钟)
- 32 位乘法器, 64 位除 32 位除法器
- 片内 Cache 4 路 4KB

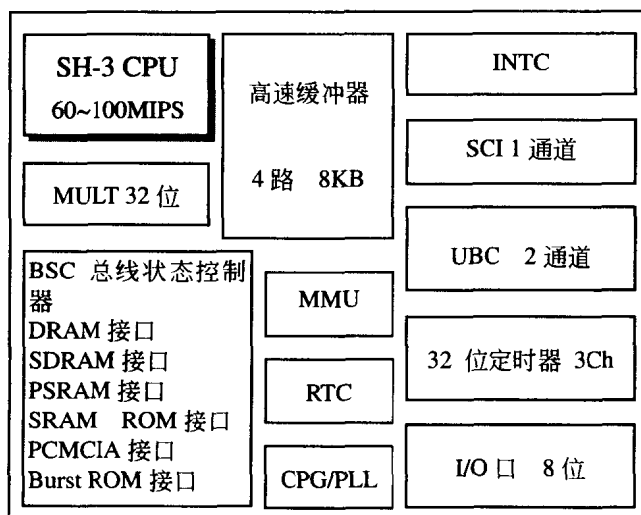


图 1-4 SH-3 单片机系列

- 片内模块有：多功能定时器（1 个 16 位定时器，1 个监视定时器 WDT）、DMAC（2 通道）、串行通信接口 SCI、中断控制器 INTC、片内时钟脉冲发生器 CPG、锁相环电路、用户断点控制器、总线控制器 BSC 等

SH-3 即 SH7700 系列单片机，是低功耗、高性能的单片机，处理速度为 60MIPS~100MIPS，能在 2.25V 电压下工作，功耗很低，仅 400mW。其主要性能如下：

- 32 位 RISC 结构
- 高性能，100MIPS（60MHz 时钟）
- 片内 32 位乘法器
- 片内 4 路 8KB Cache
- 片内存储器管理单元 MMU
- 片内模块有：多功能定时器（3 通道 32 位定时器，1 个监视定时器 WDT）、DMAC（2 通道）、串行通信接口 SCI、中断控制器 INTC（内部 14 个，外部 17 个）、片内时钟脉冲发生器 CPG、锁相环电路、实时时钟 RTC、用户断点控制器、总线控制器 BSC、I/O 口等

1.2 RISC 结构特点

SH-3 单片机是 RISC 结构，性能超群。那么，RISC 结构的特点是什么呢？

微机性能的高低，可以用执行给定任务的时间来表示。通常，微处理器以一定的时钟频率运行，它的性能与时钟频率、该任务所需指令数，以及执行每条指令的平均时钟周期有关，可以用如下的公式来表示：

$$P=F / (I \times CPI)$$

这里：

F —— 时钟频率

I —— 执行程序所用的指令数

CPI —— 执行每条指令的平均时钟周期数

P —— 处理器性能，常表示为百万指令每秒，缩写为 MIPS

指令数 I 与指令系统是否合适有关，I 小，表示完成给定任务所需指令数少，说明指令系统与高级语言配合默契，而 I 大表示完成给定任务所需指令数多，反映处理器与高级语言配合不当，或者该编译器对处理器不合适，所需指令数多，编译质量低劣。执行每条指令的平均时钟周期数的 CPI 与微处理器的基本结构有关。时钟频率 F 与微处理器的硬件技术直接有关，例如采用砷化镓材料，发射极耦合逻辑 ECL，CMOS 等等。另外，它也取决于微处理器的结构。

那么采用什么办法可以提高计算机的性能呢？

实现高性能的计算机，传统的办法是在原先结构的基础上增加新的功能。随着大规模集成电路的发展，这种办法很容易实现，因此，在一段时间里，这种趋势明显地增强。例如，Motorola 公司生产的有名的 6800CPU，后来发展到 6809，68000，68010，68020，

68030, 68040 等等。著名的 Intel 公司也采取了同样的战略, 从 8080 发展到 8085, 到 8086, 80186, 80286, 80386, 80486, 80586 等等。

这种计算机, 功能增强了, 原先的结构和指令系统也更复杂了, 因此称为复杂指令系统计算机, 也就是 CISC。

另外一种方法是采用 RISC 技术, 是伯克利加州大学的 David Patterson 创造的。它的目的是提高整个系统的性能。这种新的设计方法不在着眼于某些技术方面, 而在于调整软件和硬件之间的关系, 使编译器更好地配合硬件, 从而创造高性能的计算机。

从计算机性能公式可以看出, CISC 设计的主要目的是减少执行程序所用的指令数, 因而设法提供高级而复杂的指令系统。而 RISC 主要是减少执行每条指令的平均时钟周期数, 它的方法是基于一套组织管理严密的设计准则。另外它们也都企图增加时钟频率。两者对比的调查研究表明, 执行典型的大程序, RISC 机要比 CISC 机快。

典型的 RISC 结构的特点主要有如下几个方面。

- 指令数少, 单周期执行

一些计算机专家对一些微处理器的大量的常用程序进行了分析, 研究表明: 这些程序中, 处理器的 8.7%~30.3% 的指令从来没有用过, 44.6%~87.8% 的指令极少使用, 利用率在 1% 甚至以下。

指令系统复杂性的增加, 导致硬件结构的复杂, 从而增加了运行指令的时钟周期数和每个周期的长度, 反而降低了系统的性能。因此, 结构简单简化了控制电路, 加快了整个系统运行速度。

- 寻址方式少, 指令格式固定

在多数 RISC 结构中, 所有指令都是等长的 (典型的是 32bit), 这样, 方便了单周期操作, 缩短了时钟周期。

- 硬件控制不用微码

增加功能强的复杂指令, 用微码来实现是比较容易的。因此, 微码曾经风行一时。随着集成电路的发展, 处理器外部的存储器芯片的存储访问时间极大地减少, 导致存储在处理器内的微码的用途锐减。而其原有的负作用则显现出来, 它设计时间长, 设计错误多, 指令周期数多, 于是 RISC 自然地舍弃了微码。

- 复杂功能软件化

- 只有存取指令可以访问内存 (处理器外的存储器, 即通常所说的内存)

这条原则简化了处理器的结构, 特别是工作在管道方式的处理器。另外, 它减少了内存和处理器间的‘交通’拥挤。内存访问是提高性能的主要瓶颈之一。

- 指令必须适合管道操作

管道操作是 RISC 结构的主要特点之一, 它允许几种操作同时进行, 即并行操作。这样, 节省时间。管道操作已经在高级计算机设计上用了多年, 而在单片机上是近年来才采用的技术。

- 采用延迟分支转移指令

多数 RISC 结构采用延迟分支方案, 控制转移就延迟一条指令转移到目的地址, 也就是说转移指令后的那条指令先执行, 然后再执行转移指令, 以便充分利用

管道操作，不致因转移而破坏原有的管道操作，从而节省时间，提高计算机的性能。

- 至少有 32 个通用寄存器和大容量的 Cache
大容量的 Cache 用于减少处理器和内存间的‘交通’拥挤，而通用寄存器多则有助于提高运行速度。
- 结构必须可以裁剪，以适合所应用的领域，并支持高级语言

1.3 结构框图

图 1-5 所示是 SH7708 的功能框图。

CPU 是中央处理单元，是 SH7708 单片机的核心。它的功能主要是：

- 从存储器单元取指令，译码并执行
- 提供 RISC 类型指令
- 处理算术和逻辑操作
- 和存储器、I/O 端口交换数据
- 响应模块和外部中断请求，以及处理异常

SH7708CPU 的特点：

- 32 位 RISC 结构
- 32 位内部数据总线
- 16 个 32 位通用寄存器，5 个 32 位控制寄存器，4 个 32 位系统寄存器
- RISC 类型指令系统，面向 C 语言，指令 16 位定长，具有延迟分支指令
- 指令单周期执行
- 内存空间 4G 字节，实际物理地址空间 448M 字节
- 5 级管道操作

MMU 是存储管理单元，它通过地址转换表实现地址的转换，把虚拟存储空间映射到物理存储空间。它的特点是：

- 管理 4G 地址空间，分为 256 个地址空间
- 支持单个和多个虚拟存储方式
- 分页管理系统
- 128 项 4 通道的转换后备缓冲器 TLB
- 支持软件选择和随机替换算法
- TLB 的内容可以通过地址映象直接访问

Cache 称为高速缓存(或缓冲)，它包括数据和地址两部分，由 Cache 控制器控制 Cache 操作。它位于 CPU 和存储器之间，用于复制内存的内容，由于它存取速度快，节省了 CPU 的访问时间。其特点是：

- 操作方式可选择，采用正常的 8K Cache，或 4K Cache+4KRAM 的 RAM 方式
- 16 字节长，128 项，4 通道 (8K Cache)，或 2 通道 (4K Cache)，存数据或指令