

1 微电子学讲座

菅野卓雄
(日) 生驹俊明 著
武石喜幸

微电子学器件 I

数字器件和工艺

科学出版社

微电子学讲座 1

微 电 子 学 器 件 I

数字器件和工艺

〔日〕菅野卓雄 生驹俊明 武石喜幸 著

杨沁清 韦琳 译

科 学 出 版 社

1 9 9 0

内 容 简 介

本书是微电子学讲座第一卷。在这一卷内，作者以支撑微电子学的集成电路技术为中心，较详细地阐述了半导体的基本物理性质，半导体器件的种类和各种半导体器件的工作原理，制造半导体器件和集成电路的材料及工艺技术，典型的双极型和 MOS 型集成电路的结构，新的 III-V 族半导体和约瑟夫森集成电路等。

本书可供从事半导体器件及集成电路研究和生产的科技人员、高等院校有关专业的师生阅读。

菅野卓雄 生駒俊明 武石喜幸
岩波講座 マイクロエレクトロニクス I
マイクロエレクトロニクス素子 I
デジタル素子とプロセス
岩波書店, 1985

微电子学讲座 I 微电子学器件 I 数字器件和工艺

〔日〕菅野卓雄 生駒俊明 武石喜幸 著

杨沁清 韦琳译

责任编辑 张建荣

科学出版社出版

北京东黄城根北街 16 号

邮政编码: 100707

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1990 年 11 月第 一 版 开本: 850×1168 1/32

1990 年 11 月第一次印刷 印张: 10

印数: 0001—1 300 字数: 262 000

ISBN7-03-001835-4/TN-79

定价: 12.40 元

译 者 的 话

硅的大规模集成技术目前已经达到了相当先进的水平,1M 位的动态随机存储器 (DRAM) 已经有商品出售,4M 位的 DRAM 正在研制中。作为高速集成电路代表的 GaAs 集成电路异军突起,近几年也有相当大的进展,4K 位静态随机存储器 (SRAM) 已经研制成功,将光器件(激光器、探测器)和电器件(或电路)集成在单片上的新型光电集成电路也已问世。超导材料的研究出现了令人瞩目的进展,如果超导的转变温度能提高到室温的话,那么以约瑟夫森结为基本单元的高速低功耗电路的研究和开发将翻开崭新的一页。光信号的存储、传输和处理为研制光计算机打下了基础,形成了一个十分活跃的研究领域。本书的作者们将这些方面的研究成果及其在计算机系统、通信系统、机械电子学系统等信息系统中的应用或应用前景,以丛书的形式作全面系统的介绍,这是很有远见的。现在把这套丛书译成中文介绍给我国读者不无裨益。

在本书中,作者收集了大量的资料,以较大的篇幅总结归纳了半导体材料的基本物理性质、Si 的双极器件和 MOS 型器件的工作原理和模型、集成电路的制造工艺、集成电路的基本结构和计算机模拟等。作者还辟出一定的篇幅介绍 GaAs 集成电路和超导器件的原理,以引导读者了解其基本知识。本书对于从事半导体器件和集成电路研究和生产的科技人员,高等学校有关专业的教师、研究生和大学生具有很大的参考价值。

由于译者水平有限,在译本中难免存在错误,望读者批评指正。

原 编 者 的 话

随着大规模集成 (LSI) 电路技术的不断发展,迎来了超大规模集成 (VLSI) 电路的时代。现在一个大规模的系统已经能够集成在一个 VLSI 芯片内,因而,面向 VLSI 的系统设计技术以及把这些 VLSI 组合起来构成巨大系统的技术,在目前均被看作是微电子学的一部分。

本讲座中所介绍的微电子学就是这种广义的微电子学。VLSI 的发展将给今后的社会带来巨大的影响,因而,本讲座的目的就是要集中介绍设计、制作 VLSI 及由 VLSI 构成的计算机、通信、机械电子学等信息系统所必需的理论和技术。

然而,微电子学是 LSI 技术诞生不久后出现的、发展十分迅速的领域,至于它将以何种形态向前发展,其可能性是很多的,所以若想把它汇总成一个完整的学科系统还有许多困难。因此,本讲座的目的是:

(1) 向关心微电子学的初学者和准备应用微电子技术的人们介绍有关微电子学的基础知识。

(2) 作为在计算机、通信、机械电子学领域工作的技术人员、研究人员的实践指南。

(3) 把掌握微电子学所必需的基础知识和技术明确化、系统化。

(4) 把微电子学作为一门新的学科进行系统介绍,并使其成为向理想教学用书迈进的里程碑。

希望本讲座能成为学生、技术人员、研究人员的良师益友。

元冈 达 菅野卓雄 渡边 诚
渊 一博 石井威望

前 言

所谓微电子学,指的是一个广泛的技术领域,它包括用超小型电子线路构成的电子仪器、电子系统及其应用技术。大规模集成电路技术是支撑这个领域的硬件的重要支柱。

运用集成电路技术,在一个芯片上能制造出含几十个晶体管和其他元件的小规模集成电路(俗称 IC),还能制造出含 1 兆位(Mb)存储器的集成电路。这些芯片除了其中集成的元件数急剧增加以外,像微处理器或微计算机芯片所显示的那样,在功能上也有飞跃的发展。用户化技术(用户设计和专用)出现之后,打破了那种大规模集成电路不能进行少量多品种生产的限制。

集成电路技术不但促进了材料技术、器件制造技术等的发展,还促进了半导体物理、半导体器件物理等的发展。最近,人们除了用硅制造集成电路以外,还用 III-V 族半导体材料制造集成电路。除已有的半导体器件外还出现了约瑟夫森(Josephson)器件,预料还会有新的发展。

作为本讲座的基础,在这一卷内,将以支撑微电子学的集成电路技术为中心,举例说明半导体电气特性的物理基础和半导体的基本物理性质,半导体器件的种类和各种半导体器件的工作原理,制造半导体器件和集成电路的材料及工艺技术,典型的双极型和 MOS 型集成电路的结构,新的 III-V 族半导体和约瑟夫森集成电路等。

第一章作为绪论,不是简单地从电子线路小型化发展的历史而是从它对电子系统构成的影响、对社会的影响去了解微电子学的发展。概括地阐述大规模集成电路现有的制造技术、器件技术和用户化技术等方面的问题,作为微电子学今后发展的方向,除了叙述新的工艺技术和器件外,还叙述对集成电路技术的重要影响。

第二章阐述了半导体电气特性的物理基础知识,即阐述了能

带结构、电子传输现象、载流子的产生与复合的统计处理等。这些对理解半导体晶体结构和器件特性是非常重要的。

第三章讲解了半导体集成电路中所用到的各种半导体器件的原理，即从解释半导体-金属接触、pn 结和 MOS 结构等基本单元的特性入手，说明双极型和 MOS 型晶体管的工作原理。

第四章以硅集成电路为对象，介绍了作为基础材料的硅单晶，作为基本制造技术的氧化工艺、杂质掺杂工艺、膜的形成工艺、图形成像工艺、图形转换工艺、精细图形的刻蚀工艺、金属布线工艺以及工艺模拟等方面的内容。

第五章具体地说明双极型和 MOS 型集成电路的构造，还示出了最近特别重要的元件隔离技术以及 1 兆位动态存储器的构成和特性。

第六章介绍了 GaAs，用肖特基场效应晶体管制成的集成电路及高电子迁移率结构，用 III-V 族半导体制成的集成电路，以及用与半导体器件完全不同的物理现象来工作的约瑟夫森器件的原理和用这种器件制成的集成电路。

各章的执笔人如下：

第一章 微电子学的砥柱

——集成电路

菅野卓雄

第二章 半导体的电气特性

生驹俊明

第三章 半导体器件

生驹俊明

第四章 半导体器件和集成电路的制造技术

武石喜幸

第五章 半导体集成电路的基本结构

武石喜幸

第六章 III-V 族半导体和约瑟夫森集成电路

菅野卓雄

另外，我们对为本书的出版而尽了力的岩波书店编辑部各方面的人士深表谢意。

菅野卓雄 生驹俊明 武石喜幸

1985年7月

目 录

第一章 微电子学的砥柱——集成电路	1
1.1 微电子学的发展	1
1.2 大规模集成电路技术的现状	5
1.3 微电子学今后的发展	10
第二章 半导体的电气特性	15
2.1 晶格结构与能带结构	15
2.2 载流子	31
2.3 载流子的产生与复合	50
2.4 强电场效应	55
2.5 器件分析的基本方程	60
第三章 半导体器件	62
3.1 半导体-金属接触和 pn 结	62
3.2 双极晶体管	76
3.3 MOS 场效应晶体管	94
3.4 肖特基栅场效应晶体管	116
第四章 半导体器件和集成电路的制造技术	123
4.1 集成电路制造技术的基本考虑	123
4.2 硅单晶	124
4.3 晶体缺陷和杂质吸收	129
4.4 外延生长	132
4.5 硅的氧化与氧化膜的性质	142
4.6 化学气相沉积 (CVD) 法生长薄膜	159
4.7 杂质掺杂——扩散和离子注入	170
4.8 金属连线	185
4.9 光刻工艺	192
4.10 图形的刻蚀	213
4.11 工艺模拟	222

第五章 半导体集成电路的基本结构.....	230
5.1 双极型集成电路的基本结构	231
5.2 双极型和 MOS 型混合的单片集成电路	238
5.3 MOS 型集成电路的基本结构	239
5.4 MOS VLSI 的基本结构	244
5.5 MOS VLSI 的应用	247
第六章 III-V 族半导体和约瑟夫森集成电路	258
6.1 集成电路用的材料——III-V 族半导体和硅	258
6.2 III-V 族半导体的能带结构的设计	262
6.3 III-V 族半导体器件	267
6.4 III-V 族半导体集成电路	276
6.5 约瑟夫森结的物理基础	280
6.6 约瑟夫森结电路	288
6.7 约瑟夫森集成电路	298
参考书.....	301
索引.....	305

第一章 微电子学的砥柱

——集成电路

最近,微电子学以惊人的速度向前发展,由于超大规模集成电路即所谓 VLSI 的实现,提供了能完成复杂功能的,而且体积小、可靠性高、价格低廉的电子电路。

本章将叙述集成电路技术的发展过程、现状及前景。

1.1 微电子学的发展

自 40 年代以来,人们就不断地在技术上作出努力,以实现电子电路的小型化以及电子设备的小型化、轻量化。

电子设备实现小型、轻量化之后,该电子设备所完成的功能在原理上和原来的电子设备并没有什么变化,但是需求量大大增加了,晶体管收音机就是这方面的一个例子。从晶体管收音机这个例子可以看出,晶体管的发明对于用电子管装成的电子设备的小型化具有多么巨大的贡献,这是电子设备小型化方面的第一次飞跃。

晶体管化的电视机比电子管化的电视机体积要小,但是电视机的大小主要由显像管的大小决定,从观看图象的角度考虑,把电视机做成晶体管收音机那样小并没有多大意义,当然,若有特殊用途则另当别论。然而,电视机实现晶体管化以后,功耗显著降低,因此电视机内的温度得到了控制,电视机的可靠性也提高了,这是难得的优点。

为了进一步实现小型化和提高可靠性,1959 年, J. Kilby 和 R. Noyce 各自独立地提出了把电子电路做在一个硅基片上的设

想,并申请了专利¹⁾。这就是现在所说的集成电路(IC: integrated circuits)。新近推出的产品中,仍有用电子管组成的,或用晶体管和分立元件组合而成的产品因体积过大而不实用。由于集成电路的出现,电子电路的小型化达到了新的水平。作为例子可以列举电子手表以及不仅可以放在桌子上,而且因体积很小,虽已经能装入衣服口袋中但仍被称作台式计算器的各种计算机。电子手表由于组装有石英振荡元件,不仅大大地提高了计时精度,还能进行数字显示,并具有停表、报警、双时显示功能,也可以附加一些简单的计算功能。也就是说,能完成机械手表所不能完成的许多功能。

从这里,我们不仅看到了电子设备小型化、轻量化技术取得的进步,还可以一窥当今微电子学革命所引起的社会变革的端倪。例如,电子手表的出现使手表从精密机械工业的独家产品变成了电子工业的产品。事实上,过去毫无生产机械手表经验的工厂也能大量生产电子手表,而且,这类工厂在电子手表生产厂中占很大比例,这就使手表制造业的结构发生了变化。

电子计算机的进步也产生了同样的影响。台式机械计算机已被淘汰,使用简单的计算机如算盘和计算尺的人也不多了。电子计算机除了能进行加、减、乘、除四则运算之外,还具有函数计算、程序计算和存储等功能。这时,与其称其为计算器,倒不如称作计算机更贴切一些。由于函数电子计算机的出现,如平方根表、三角函数表、对数表等初等函数表已从我们身边消失。这就是微电子学引起文化变革的规模稍大的一个例子。

一方面,集成电路对大型计算机和工业用电子仪器的影响也非常之大。在早期,器件的设计、制造技术尚处于不成熟阶段,假如想集成化,就不能把用当时的技术制作的器件的性能充分发挥出来,比如,由于集成化反而会使电路的工作速度下降。但是,随着器件工作速度的提高,许多电子电路的延迟时间不仅取决于器件的延迟时间,更取决于由连线引起的延迟,因而,为了实现高速

1) U. S. Patent 3138743 (1959) 及 U. S. 2981877 (1959)。

化就必须实现集成化，发生了与集成电路的初期相反的事情。这就是今天推进大规模集成化的第二个技术上的理由。布线引起的延迟时间也包括信号在布线上以光速传送所引起的延迟时间，但布线的很大的杂散电容的充放电所需要的时间占很大比例。仅从这一点出发，为了使电子电路实现高速化，就必须实现小型化。这就是促进开发超大规模集成技术的原动力。

另一方面，存储器是电子计算机的重要组成部分。存储器的种类很多，从低速大容量的磁盘存储器到由双极型晶体管制成的高速、小容量存储器，性能不同，使用的目的也不同。这就形成了存储器的层次结构。

在把晶体管作为数字电路主要元件使用的时候，就有人提出过用晶体管做存储器的设想。但当时，晶体管存储器在价格和功耗方面均敌不过磁芯存储器。直到1969年以后，由于大规模集成技术的发展，才出现了真正的半导体存储器¹⁾。此后，半导体存储器的发展，尤其是MOS场效应晶体管构成的DRAM的发展更是惊人，不论在集成元件数方面还是在集成密度方面，都处于大规模集成电路技术的前沿。

半导体存储器能得到这样的发展，经济上的考虑是非常重要的。一块存储器芯片上的位数越多，芯片面积越小，每一位的价格就越低。

集成电路芯片的价格一般可以用下式表示：

$$\frac{1}{WY} \left(\frac{A+B}{V} + C \right) \quad (1.1)$$

其中， A 是制造设备、设施、厂房等的费用； B 是研究、开发、设计的费用； C 是制造一片集成电路大圆片所需的材料、能源、人工等的直接费用； V 是该设备折旧(报废)前生产的圆片总数； W 是一个大圆片内所含的芯片数； Y 是集成电路的最终成品率。由式(1.1)可以看出应尽力增大 W 的值，即缩小芯片面积，以增加一个大圆片内

1) Ayling, J. K., Moore, R. D.: A High-Performance Monolithic Store, ISSCC, XII (1969), pp.36-37.

所含的芯片数。

为了既缩小芯片面积又要增加每一芯片内的存储容量就必须缩小元件尺寸。所以，微细加工技术的进步是促进微电子技术发展的重要支柱。

式(1.1)中所表示的对设备和设施等的投资 A ，若是在其生产能力范围内，则与生产量没有依存关系。从某种意义上说， A 是一个初始投资。可以认为研究、开发、设计费用 B 与生产的芯片品种有关，然而，限定品种之后， B 与生产量也无直接的依存关系，因而，提高大圆片的生产量 V 在使芯片价格下降方面也是重要的。为此，从企业的立场出发，所谋求的是扩大市场占有率，当市场变大时，就必须预测需求量的扩大。

以前，因为在研究、开发和设计每一个电路品种时所花的费用都很大，所以，在大规模集成电路的生产中，采取品种少、产量大的形式生产，当然，这只能限于生产通用产品。然而，为了扩大需求量，也必须廉价地开发各种专用的大规模集成电路产品。

在这种情况下，生产中要采取成熟的工艺，要降低掩模版的设计费用。为了扩大用户专用的大规模集成电路的需求量，必须建立必要的设计方法，建立供设计用的机器系统，建立必要的程序系统。用户专用化是发展大规模集成电路产业的另一个重要支柱。

处理器或存储器的价格低廉、体积小，因此能分散在系统的任何一个部位使用，这是微电子学发展的另一个重要意义。半导体存储器出现之前用磁性材料作存储器，体积大，功耗也大，只能集中在系统的某个部位上使用。这样一来，处理器为了从存储器中读出信息或往存储器内写入信息，就要频繁地与存储器交换信息。在这种情况下，整个系统的性能就将取决于存储器存取速度的快慢。

解决这个问题的办法就是使存储器层次化。当然，这只有在用半导体存储器做成高速存储器之后才能实现。并且，由于大规模技术的发展，提供了小型、廉价的处理器和存储器，才实现了用流水线处理器和多重处理器组成高度并行处理的系统。

今后，微电子学的发展还会使过去的电子设备的性能得到进一步提高，并更容易使用。微电子学的发展还会出现新的技术和新的产品。幸好，虽然叫“大规模集成电路”，但由于芯片尺寸小，通常不会发生因芯片占有空间以及因物理上的原因而使使用芯片的数目受到限制的事情，因而，大规模集成电路的应用范围还将进一步扩大。

1.2 大规模集成电路技术的现状

如前所述，微细加工技术和用户设计技术已成为大规模集成电路技术的方向。让我们从这个观点出发来考虑一下大规模集成电路技术的现状。

在制造各种大规模集成电路时用的图形的最小线宽的演变就展示了精细加工技术的进步。从16K位存储器到64K、256K位存储器芯片所用的图形尺寸变化就是一个具体例子，他们的尺寸分别是 $5\mu\text{m}$ 、 $2-3\mu\text{m}$ 及 $1.5\mu\text{m}$ 。后一个存储器的存储容量均是前一个存储器存储容量的4倍，最小线宽却是前一个存储器的 $1/2$ 。在图形尺寸相同的情况下，存储容量的大小与芯片面积成正比，因此在上述例子中，存储容量增加到原来的4倍，图形尺寸缩小到原来的 $1/2$ ，说明尽管存储容量增加了，但芯片面积大致不变。

在通过掩模版将电路图形转移到硅片上时，不同发展时期的技术水平决定了一个限度，在这个限度范围内，图形的复杂性及图形尺寸对电路芯片的价格没有什么影响，电路芯片的价格只与芯片面积的大小成比例。如果把图形尺寸从某一个值减小一半所需的研究开发费用与把图形尺寸再减小一半所需的研究开发费用相同的话，而且存储容量即使增加到原来的4倍，芯片面积仍保持不变的话，每一存储位的价格就降下来了。实际上，为了使图形尺寸从某一值减小一半所需的研究开发费用与尺寸再减小一半，即为原尺寸 $1/4$ 所需的研究开发费用相比，后者要大些，另外，由于

芯片的生产量随着对存储器芯片的需求量的增大而增大，所以，研究开发费用在芯片价格中所占的比例就减小了。以前，在进行大量生产阶段、存储器芯片的价格与存储器容量的大小无太大关系，不论容量大小，价格大致相同。这样一来，随着存储器芯片的存储容量的增加，每个存储位的价格下降的幅度就比较大了。

这种价格下降的趋势能否继续下去？这是人们感兴趣的问题。1984年公布的1兆位存储器芯片尺寸为 46mm^2 ，MOS场效应晶体管的栅长为 $1.6\mu\text{m}$ ¹⁾，进入大量生产后最小线宽还会减小，所以，可以认为这种价格下降的趋势可以延续到1兆位存储器。

另外，人们仍在不断努力制造大直径硅片，以便能在一个片子上获取更多的芯片数。随着时间的推移，硅片的直径一直在加大。60年代，在开始生产集成电路时，硅片的直径为1英寸（约25mm），现在，大批量生产中用的是直径5—6英寸（125—150mm左右）的硅片。现在硅晶体的直径已从8英寸（约200mm）提高到10英寸（约252mm），硅晶体的直径还可进一步加大，但保证单晶质量的均匀性和表面的平整度就显得更为重要，硅片厚度的增加也给切片增加了困难，而且，随着硅片直径的增大，扩散炉、离子注入机和腐蚀设备等也要作相应改进，这就带来了一系列的技术问题。

在微细加工技术方面，首先碰到的问题是用什么方法产生图形的问题。用光学方法产生图形时由于光衍射效应的限制只能做出 $3\mu\text{m}$ 的图形，所以目前有人用电子束来产生图形。电子束的加速电压一般在20kV以上，电子束的波长在 10Å 以下，电子波的衍射尚不会成为产生图形的障碍。然而，穿过抗蚀剂层的电子深入到衬底后又被散射回抗蚀剂层内，这种散射回抗蚀剂层的电子束与直接照射的电子束产生的效果是相同的。这种背散射效应使所产生的图形精度下降。尤其是对相邻图形，各图形的背散射效

1) Itoh, K., Hori, R., Etoh, J., Asai, S., Hashimoto, N., Yagi, K., Sunami H.: An Experimental 1Mb DRAM with On-Chip Voltage Limiter, ISSCC, XXVII (1984), pp. 282—283.

应相叠加,会使相邻的图形连接在一起。这种效应叫邻接效应。目前能用电子束描画出 $0.25\mu\text{m}$ 左右的图形。

用光将掩模版上的图形转移到硅片上的接触曝光技术适用于 $3\mu\text{m}$ 左右的图形。可是当掩模版与硅片紧密接触时,会损伤掩模版,从而缩短了掩模版的使用寿命。另外,当图形尺寸进一步缩小,硅片直径进一步加大时,像差的问题就变得严重起来。为了避免这些问题,现在投影曝光技术正被逐渐采用。在投影曝光时,分辨率 R 与所使用的曝光波长 λ 、镜头的数值孔径 NA 之间有如下关系:

$$R = 0.61\lambda/NA \quad (1.2)$$

如果用水银灯的 h 线曝光, $\lambda = 0.4\mu\text{m}$, 要求 $R = 1\mu\text{m}$ 时 $NA = 0.24$ 。可能的曝光面积为 $15 \times 15(\text{mm})^2$ ¹⁾。所以,不可能用一次面曝光就把掩模版上的图形转移到整个硅片上。一般都要采用分步重复的方法才能将掩模版上的图形布满整个硅片表面。

为了使复印到硅片表面抗蚀剂上的图形再复印到硅片表面的 SiO_2 或 Si_3N_4 膜上,就要对抗蚀剂进行显影,在腐蚀 SiO_2 或 Si_3N_4 时,经上述显影得到的抗蚀剂图形起掩模作用,按照该显影图形腐蚀 SiO_2 或 Si_3N_4 膜,对于大于 $3\mu\text{m}$ 的图形可以用水溶性的腐蚀液进行湿法腐蚀。因为 SiO_2 或 Si_3N_4 膜是非结晶材料,所以腐蚀是各向同性的均匀腐蚀,掩模下侧面的 SiO_2 或 Si_3N_4 也会被腐蚀,这种情形叫侧向钻蚀。侧向钻蚀会使图形复印精度严重下降。一般,侧向钻蚀量与 SiO_2 或 Si_3N_4 膜的厚度相当,约 $0.1-0.5\mu\text{m}$,复印的图形宽度为 $10\mu\text{m}$ 时,由于侧向钻蚀造成的图形复印误差还不算严重,但复印的图形宽度接近 $1\mu\text{m}$ 时,侧向钻蚀引起的误差就是不能容许的了。这是非常清楚的。

除湿法腐蚀外,还有一种等离子体腐蚀。在低压放电产生的等离子体中,离子的平均自由程比图形的尺寸长得多,又受到垂直于硅片表面电场的加速,使腐蚀具有明显的方向性。在腐蚀 SiO_2

1) 超 LSI 技術予測調査報告書 III, 日本電子工業振興協會, 1982, p. 26.

或 Si_3N_4 膜时,用的是 CF_3^+ 离子等,它们能与 SiO_2 或 Si_3N_4 起化学反应,所以这种腐蚀也叫反应离子腐蚀。

随着精细加工技术的进步,器件尺寸日趋精细化,器件性能也得到了进一步提高。

在双极型晶体管中,基区宽度决定了基区中少数载流子的渡越时间,这个时间已经很短了。所以双极型晶体管性能的改善是从下述方面进行的:通过缩小发射极宽度而减小发射极空间电荷电容,从而达到缩短发射结充放电时间的目的;使用自对准技术以降低基区电阻。通过这些措施,可使延迟时间·功耗积做到接近 $0.01\text{pJ}^1)$ 。

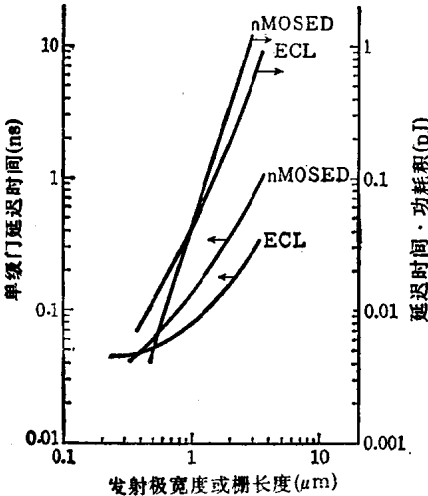


图 1.1 发射极宽度或栅长度与单级门延迟和门延迟时间-功耗积的关系²⁾

对 MOS 场效应晶体管来说,沟道长度的缩短使开启电压对漏区电压的依赖关系明显增大,这就出现了所谓的短沟道效应。并且,当因源区尺寸的缩小而使源区电阻增加时,将使增益下降³⁾。在沟道长度为 $0.25\mu\text{m}$,功耗为 5fJ 时扇出为 1 的单级延迟可以达到 70ps ;功耗为 40fJ 时,单级延迟为 30ps ³⁾。总之,对于 MOS 场效应晶体

- 1) Sakai, T., Suzuki, M.: Super Self-Aligned Bipolar Technology, Symposium on VLSI Technology, 1983, pp. 16—19.
- 2) Shichijo, H.: A Re-examination of Practical Performance Limits of Scaled n-Channel and p-Channel MOS Devices for VLSI, Solid State Electronics, Vol. 26, No. 10(1983), pp. 969—986.
- 3) Lepselter, M. P.: X-ray Lithography breaks the Sub-micrometer Barrier, IEEE Spectrum, Vol. 18, No. 5 (1981), pp. 26—29.
- 4) Hart, P. A. H., van Hof, T., Klaasen, F. M.: Device Down Scaling and Expected Circuit Performance, IEEE Trans. Electron Devices, Vol. ED-26, No. 4 (1979), pp. 421—429.