

数字逻辑电路设计与实验

绳广基 编著

上海交通大学出版社

内 容 简 介

本书以中规模数字集成电路为主要器件,通过21个实验课题设计实例,详细介绍了大型数字逻辑电路的设计方法及其设计技巧。这些实例均具有实用价值。

本书分三部分:电平异步时序电路的设计方法,多功能数字电子计时器,综合实验。附录中介绍常用CMOS数字集成电路的特性及使用方法。

本书可作为高等学校工科电子类有关专业的教材,并可供学生在课程设计和毕业设计时参考,也可供有关工程技术人员和自学者使用。

数字逻辑电路设计与实验

上海交通大学出版社出版

(淮海中路1984弄19号)

新华书店上海发行所发行

常熟文化印刷厂印装

开本: 787×1092毫米 1/16 印张 14.25 字数 353 000

1988年7月第1版 1988年7月第1次印刷

印数: 1—3,250

ISBN 7-313-00124-X/TH 710

科技书目: 171—275

定价: 2.40元

前 言

近几年来,实验教学的作用和重要性日益为人们所重视。然而,将数字电路的理论与实际工作密切联系,并运用一定的设计技巧设计出合理而又具有实用性电路的教材和参考书,目前尚不多见。鉴于这种情况,编者根据几年来在教学和科研实践中所积累的资料并参阅有关文献编写了本书。

本书是一本大型设计性的实验教材,其目的在于通过系统地应用数字逻辑电路基本理论和大型设计性的实验,培养学生的实验研究能力和探索精神。本书也可供其他从事电子技术的人员参考。

全书共分成三部分。第一部分从具体设计实例着手,详细介绍电平异步时序电路的设计步骤以及为确保电路的可靠性所采取的措施。对于从未接触过该部分内容的读者来说,只要掌握了该部分所介绍的知识,就能顺利完成课题的设计任务。第二部分介绍多功能数字电子计时器,共包括 11 个实验课题设计实例,其内容丰富、花样繁多,每个课题均可作为独立的实验进行课题设计。如果将若干个课题有机地结合,则可构成多种具有实用价值的计时装置。第三部分介绍综合性的实验,共有 10 个实验课题设计实例,具有实用性、知识性和趣味性等特点。

本书共有 21 个实验课题设计实例,以中规模数字集成电路为主要器件。各设计课题均采用 CMOS 集成电路,就其基本原理和有关逻辑图例来说,它们对 TTL 集成电路也是适用的。每个课题均有实验目的、实验仪器和器件、课题要求、课题分析、设计步骤以及设计技巧,最后给出经实验验证符合设计要求的实用电路,并附有课题作业,以提高独立设计的技能及研究新课题的兴趣。有的设计课题还提供了两种不同的设计方案以作比较。

数字逻辑电路设计的研究对象是逻辑系统本身的逻辑结构,即如何按照既定的要求去设计构成一个逻辑系统,使之具有规定的逻辑功能,并且尽可能在设计阶段充分保证该系统能正确可靠地工作。需要指出的是,任何一个特定数字系统的设计方法以及实现某种逻辑功能的电路,其设计方案决不是唯一的。从不同角度出發,采用不同的器件可以得到不同的设计方案。因此,本书所提供的设计方案和设计步骤仅是代表性的。编者衷心希望读者在实践中广开思路、精心设计、各抒己见、相互比较,以求较佳的设计效果。

上海交通大学电子工程系曾在 1983 年初举办了由 15 所高校有关同志参加的“数字逻辑电路综合实验”短训班,编者在编写时采用了部分同志的几个实验报告,经整理、修改和补充后编入了本书。

本书由上海交通大学电子工程系宋文涛副教授审稿,在编写的过程中,得到了系、学科组以及无线电技术基础实验室有关同志的支持和帮助,在此一并表示衷心的感谢。

由于编者水平有限,书中缺点错误在所难免,恳切希望读者批评指正。

编 者

1987 年 3 月

目 录

1 异步时序逻辑电路设计	1
1.1 概述	1
1.2 电平异步时序电路的设计	4
1.3 状态分配	13
2 多功能数字电子计时器	19
2.1 数字电子计时器主体电路	19
2.2 二十四进制时控电路	27
2.3 特殊十二进制时控电路	37
2.4 计时器校正电路	46
2.5 按预定程序自动报时电路	54
2.6 自动“鸣号”时控电路	60
2.7 用电器的电源自动控制电路	75
2.8 模拟广播电台整点报时电路	81
2.9 鸣叫数等于整点数报时控制电路	97
2.10 具有闰年功能的数字日历	109
2.11 利用接收机自动校时电路	119
3 综合实验	143
3.1 微分整流型数字锁相电路	143
3.2 实验专用频率计	151
3.3 脉冲宽度数字显示器	163
3.4 毛刺捕捉器	167
3.5 单向计数器	170
3.6 具有数字显示的洗衣机时控电路	174
3.7 抢 15 电子玩具	181
3.8 数字显示自动记分器	186
3.9 乒乓球比赛模拟机	189
3.10 用数字逻辑电路构成正弦波发生器	200
附录 常用 CMOS 数字集成电路汇编	205
参考书目	224

1 异步时序逻辑电路设计

1.1 概述

异步时序逻辑电路的基本结构与同步时序电路一样,也是由组合逻辑电路和存贮电路组成的。存贮电路可以是触发器,也可以是延迟元件。所用延迟元件可以是专设的延迟线,也可以利用带反馈的组合电路本身的内部延迟性能来实现。异步时序电路的基本特点就是存贮电路没有统一的时钟信号,电路状态的改变和输出的变化均由外部输入信号 X 直接引起。因此,每当外部输入信号发生一次变化后,输出信号 Z 和下一状态 Y 也跟着发生变化。变化后的状态反馈到输入端,使电路的总态($X-y$)又发生变化,引起状态进一步的变化;此变化可能要反复进行多次,直到电路的下一状态等于当前状态,电路的总态不再发生变化时为止。且外部输入每发生一次变化,均产生一次类似的过程。

在电平异步时序电路中,输入为电平信号,状态之间的转换取决于输入信号的变化。这种电路的一般形式是由组合电路和反馈线构成的。反馈部分相当于存贮部分,不过不是各类触发器而是表现为延迟线。

图 1-1a 是一个组合电路,采用或非门实现逻辑与的功能,其输出信号逻辑表达式为 $Z = X_1 X_2$ 。如果在该电路中加入一根反馈线(如图 1-1b 所示),则输出信号逻辑表达式为 $Z = \overline{X_1} + \overline{X_2} \overline{Z} = X_1(X_2 + Z)$ 。

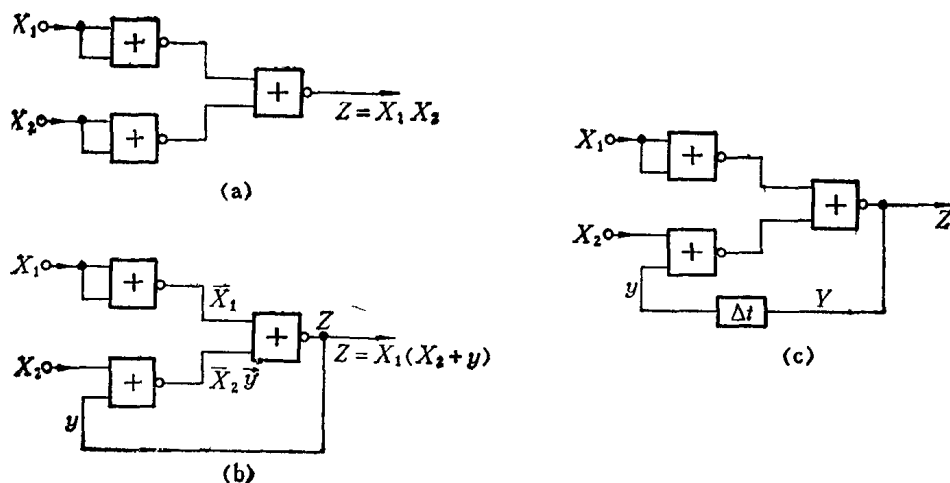


图 1-1 电平异步时序电路

从该表达式可知,输出信号 Z 不再简单地写为 X_1 和 X_2 的函数,且电路具有记忆的能力。 $X_1 X_2 = 10$ 时,输出信号 Z 的值不是唯一的,它可能为1也可能为0。如果上一个输入状态 $X_1 X_2 = 11$,则 $Z = 1$;反之,如果上一个输入状态 $X_1 X_2 = 00$,则 $Z = 0$ 。

由图 1-1b 可见,该电路可以分为组合电路部分和反馈部分。电平输入信号 X_1 、 X_2 和原来存在的二次信号 y 经过二级或非门后形成输出信号 Z 。这既经过了一定的逻辑变换,又有

一定的延迟,然后又反馈到或非门的输入端。这样,尽管输入信号 X_1 和 X_2 没有发生变化,但作为或非门输入端的二次信号 y 改变了,它势必又会影响到输出。所以这是一种循环的关系,为电平异步时序电路所特有。我们对电平异步时序电路的研究也采用了与过去不同的方法:首先要对电路的结构作适当的变换,其次采用流程表作为分析的主要工具。

图 1-1b 可变换成图 1-1c 的形式,即认为门电路本身不再有延时,而把有关的延迟时间都集中在反馈回路中,这相当于在反馈回路中接入一根延迟线,其延迟时间记为 Δt (这根延迟线并不是真实的延迟线,而仅是与回路有关的门电路延时的总代表)。这样做有利于电路的分析而又不影响电路的逻辑功能,但要注意与实际情况的区别。

在图 1-1c 电平异步时序电路中,组合电路输出的逻辑表达式(Z 和 Y 相同)为:

$$\begin{aligned} \text{输出函数} \quad Z &= X_1(X_2 + y), \\ \text{激励函数} \quad Y &= X_1(X_2 + y). \end{aligned}$$

式中 X_1 和 X_2 为输入信号, Z 为输出信号, y 为内部输入(即当前状态或二次信号), Y 为内部输出(即下一状态或激励信号)。上述的逻辑关系也可用状态真值表的形式来描述(如表 1-1 所示)。根据状态真值表可以构成状态流程表,用卡诺图的形式分别给出 Y 、 Z 同 X_1 、 X_2 及 y 的关系(如表 1-2a 和表 1-2b 所示)。由下述分析可知,异步时序电路状态流程表中的各状态有稳定状态和不稳定状态之分(如表 1-2a 所示)。延迟线的特性为 $y(t) = Y(t - \Delta t)$, 即 Y 值经 Δt 的延迟后 y 值才等于 Y 值。尽管 X_1 和 X_2 没有发生变化,但或非门输入端 y 发生了变化,势必又影响电路输出端的变化,直到 $y = Y$ 时状态才能稳定下来。

表 1-1 电平异步时序电路状态真值表

X_1X_2	y	$Y=Z=X_1(X_2+y)$
0 0	0	0
0 0	1	0
0 1	0	0
0 1	1	0
1 0	0	0
1 0	1	1
1 1	0	1
1 1	1	1

表 1-2 电平异步时序电路流程表

X_1X_2		y			
y		00	01	11	10
		0	0	1	0
1		0	0	1	1

(a) Y

X_1X_2		y			
y		00	01	11	10
		0	0	1	0
1		0	0	1	1

(b) Z

1.1.1 稳定状态和不稳定状态

A 稳定状态

在外部输入信号不变的条件下,如果二次信号(y)等于下一状态(Y),则此下一状态为稳定状态(状态流程表中的稳定状态按习惯常用圆圈标出)。稳定状态能长期维持下去,只有当外部输入信号发生变化时,才能使电路离开稳定状态。

B 不稳定状态

在外部输入信号不变的条件下,如果二次信号不等于下一状态,则此下一状态为不稳定状态(正在变化的状态)。不稳定状态只能在电路反复反馈的过程中暂时出现,不能长期维持下去,它总是要自动地变化到另一个稳定状态。不稳定状态的变化有三种可能:一种是直接转移到一个稳定状态;另一种是转移到另一个不稳定状态,再从那个不稳定状态转移到稳定状态;第三种是转移到另一个不稳定状态后,自行组成封闭循环,此种情况应当避免。

根据图 1-1c 所示的电路可列出它的稳定状态和不稳定状态的函数表(见表 1-3)。每一个稳定状态均用一个闭合线来表示。由表 1-3 可知,在 8 个状态中有 5 个状态是稳定的,箭头所示的方向表明电路由不稳定状态向稳定状态转移的情况。例如,表 1-3 中第二行 $Y=0$, $y=1$,需经 Δt 的延迟后 y 才为 0,该电路向着第一行的稳定状态转移。

表 1-3 稳定状态和不稳定状态函数表

X_1	X_2	y	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

在表 1-2a 中,各列表示电路的输入状态,各行表示电路的内部状态,稳定状态均用圆圈标出。列和行相交处称为总态,用 $(X-y)$ 表示。状态流程表中每一个方格均对应一个总态,该总态也确定了下一状态和输出。

1.1.2 电平异步时序电路对外部输入信号的限制

由于电平异步时序电路输入信号每变化一次,电路均须经过一段反复反馈的过渡过程才能稳定在一个新的状态上,因此为了保证电路能正常工作(即能预测电路状态的转换过程),需对电路的外部输入信号规定两个限制条件:

A 为了使电路从一个稳定状态转换到另一个稳定状态,当输入信号变化时,其相继输入信号之间的时间间隔应足够长,以便使电路能完成对先前输入变化的响应,并达到它的稳定状态。换言之,电路的状态尚未稳定之前,输入信号是不能变化的。这种工作方式称为基本工作方式。

B 在状态流程表中要反映出同一时刻只允许一个外部输入信号发生变化,而不允许有两个或更多个外部输入信号“同时”发生变化。状态流程表的这个约束条件称为单一输入变化,或称为相邻原则。因为任何信号都不可能绝对同时改变,总是有先有后。因此,输入信号变化的微小时间差别,就有可能导致电路状态按不同顺序转换,而元件的延时大小又是随机的,结果会导致电路的稳定状态不可预测。

基本工作方式和单一输入变化是设计电平异步时序电路时必须注意的两个限制条件。

1.2 电平异步时序电路的设计

在电平异步时序电路的设计方法中,一般常采用原始状态流程表的方法代替状态图和状态表。在电路的设计过程中,流程表是逐步建立的。最初建立的原始流程表通常用英文字母或十进制数字表示其中的状态,且内部状态(y)也常有多余。利用隐含表和合并图化简,可得简化流程表。在状态分配后得二进流程表,并根据它确定每个激励信号和输出信号的逻辑表达式,最后选用适当的器件构成逻辑图。因此,电平异步时序电路设计的主要步骤如下:

- 第一步,根据设计要求建立原始流程表;
- 第二步,简化原始流程表;
- 第三步,状态分配得二进流程表;
- 第四步,确定激励信号和输出信号的逻辑表达式;
- 第五步,构成逻辑电路。

【例1】设计电平异步时序电路,该电路有两个输入端 X_1 和 X_2 ,一个输出端 Z 。要求在任何时刻,当 $X_1=0$ 时,输出 Z 必为 0;当 $X_1=1$ 时,输入 X_2 的第一次跳变将使输出信号 Z 从 0 跳变到 1,直到 $X_1=0$ 时输出信号 Z 才返回到 0。

设计步骤如下:

(1) 根据设计要求建立原始流程表

1) 作出输入输出信号序列图

为了正确地作出输入输出信号序列图,可按照题意所给出的逻辑条件先作出输入输出响应波形图,即输入输出时序波形图(如图 1-2 所示),然后再根据输入输出时序波形图逐步作出输入输出信号序列图。为了方便起见,在图 1-2 中把波形分为 6 个时间,即 $t_1 \sim t_6$,作图时以 X_1X_2/Z 为参数来描绘电路的转移情况(如图 1-3 所示)。开始时为 00/0 (X_1X_2/Z) 状态,下面的输入可能是 01/0 或 10/0,用箭头表示其转移方向。当转移到 01/0 或 10/0 状态后,有可能再次返回到 00/0 状态。因此,又可分别画出一个返回箭头,如图 1-3a 所示。当然,也有可能不返回到 00/0,而从 01/0 向 11/0 转移。在这之前的分析,根据题意要求输出 Z 均为 0。因为此时输入 X_1 和 X_2 均为 1,当继续向前转移到 10/1 时,此时 X_2 发生了第一次跳变(即 X_2 从 1 跳变到 0),所以输出 Z 为 1(如图 1-3b 所示)。如果按照题意把所有可能出现的状态无遗漏地考虑进去,就可得到如图 1-3c 所示的完整的输入输出信号序列图。

因此过渡状态 $Z=0$ 。同理,当 X_1X_2 由 00 变为 01 时,状态转移的路径为 00-①/0→01-2/0→01-②/0。如果初始状态为 11-③/0,当 X_1X_2 由 11 变为 10 时,状态转移的路径为 11-③/0→10-4/φ→10-④/1。因为输出 Z 由 0 变为 1,所以过渡状态 Z 应记为 φ。

表 1-5 原始流程表

y	X_1X_2			
	00	01	11	10
1	①/0	2/0	φ/φ	6/0
2	1/0	②/0	3/0	φ/φ
3	φ/φ	2/0	③/0	4/φ
4	1/φ	φ/φ	5/1	④/1
5	φ/φ	2/φ	⑤/1	4/1
6	1/0	φ/φ	5/φ	⑥/0

③ 在原始流程表中,将所剩下的空格全部填入 φ/φ,即为无关状态和无关输出,完整的原始流程表如表 1-5 所示。

(2) 简化原始流程表

在简化原始流程表时,可利用状态相容的概念加以简化,这与同步时序电路的相容性简化是一致的。原始流程表的简化步骤一般分为四步:

第一步,作出隐含表寻找相容状态对;

第二步,寻找最大相容类;

第三步,选择相容类构成最小闭覆盖的相容类集;

第四步,将相容类集各相容类的状态进行合并,建立简化流程表。

1) 作出隐含表寻找相容状态对

① 作出隐含表的表格

如果原始流程表的状态数为 n ,则可将寻求该状态表相容状态对的程序加以表格化,这样的表格称为隐含表。隐含表的列标以状态 1, 2, ..., $n-1$ 来表示;而行标以状态 2, 3, ..., n 来表示。因此,隐含表中的每一个方格表示一个状态对。因为表 1-5 有 6 个状态,所以隐含表两个直角边的方格数应为 5 (如表 1-6 所示)。

② 顺序比较

隐含表中的所有状态均应进行比较。表中横向的 1 表示表 1-5 中第 1 行与以下 5 行分别进行比较,5 个方格中所标出的内容是相应两行比较的结果。同理,横向的 2 表示表 1-5 中第 2 行与以下 4 行比较的结果,其他类同。采用这种表可以保证无遗漏地将表 1-5 中各行一一进行比较。

状态比较和标注应按照下述三种情况填写:

第一种情况,在原始流程表中,如果在相同输入条件下,两个状态的相应输出均有明确表示不相同时(除 φ 以外),则这两个状态肯定不相容,在隐含表的相应方格中应填入“×”号。例如,在表 1-5 中 4 和 6 两个状态在输入为 10 时,它们相应的输出一个为 1,另一个为 0,因此可以判断 4 和 6 的状态不相容,在表 1-7 的隐含表中 4 和 6 所对应的方格中应填入“×”号。

表 1-5 隐含表的表格

2					
3					
4					
5					
6					
	1	2	3	4	5

表 1-7 隐含表

2	✓				
3	4-6	✓			
4	4-6	3-5	3-5		
5	4-6	3-5	×	✓	
6	✓	3-5	3-5 4-6	×	4-6
	1	2	3	4	5

第二种情况,如果在所有输入条件下,当两个状态的相应输出没有明确表示不相同而下一状态相容时,则这两个状态相容,在隐含表的相应方格中填入“✓”号。

所谓下一状态相容,即给定的下一状态之间相同或交错为原状态对(即仍为原状态对的本身)时,可认为两个状态相容。对于一方为确定的状态,而另一方为 ϕ ,或者两方均为 ϕ ,不论对于输出或是下一状态均视为相容。如果原始流程表中两行的每一列的状态和输出都相容,则这两行相容且可合并。

顺便指出,稳定状态和不稳定状态的相容性应按照以下原则确定:稳定状态①和不稳定状态 i 是相容的;如果稳定状态①和②是相容的,则稳定状态①和不稳定状态 j 是相容的;如果稳定状态①和⑦是相容的,则不稳定状态 i 和不稳定状态 j 是相容的。例如,在表 1-5 中 1 和 2 两个状态,在所有输入的情况下,两状态的输出存在一方为确定状态而另一方为 ϕ ,即两个状态相应输出无明显表示不相同,而两个状态的下一状态即稳定状态①、②和不稳定状态 1、2 分别相容,其他均为一方为确定状态而另一方为 ϕ 。因此,状态 1 和 2 是相容的,在表 1-7 隐含表中状态 1 和 2 所对应的方格内应填入“✓”号。

第三种情况,如果两个状态在所有输入条件下,它们的输出没有明确表示不相同,但该二状态对应于所有输入条件下各下一状态存在不相同的确定状态,而又不是原状态对,则需在隐含表相应的方格中填入该状态对,即填入它们所隐含的状态以待作进一步比较。

例如,在表 1-5 中 1 和 3 两个状态在输入为 10 时,它们的下一状态分别为 6 和 4。因此,在隐含表中状态 1 和 3 所对应的方格内填入 4-6。根据上述要求可以求得表 1-5 原始流程表的隐含表(如表 1-7 所示)。

③ 关连比较

关连比较就是利用隐含表中“×”格所对应的状态对来检查存在隐含条件的所有方格。例如,在表 1-7 中 1 和 3 相容需要 4 和 6 相容,而在 4 和 6 所对应的方格中标有“×”号即 4 和 6 不相容,所以 1 和 3 也不相容,在 1 和 3 所对应的方格上画一斜线以示不相容。或将 1 和 3 所对应的方格填写的 4-6 改为“×”号,其他类同。

④ 求出行的相容对

根据表 1-7 可以写出行的相容对:(1-2)、(1-6)、(2-3)和(4-5)。

2) 寻找最大相容类

相容类是许多相容状态的集合,其中任意两个状态都成对相容。如果一个相容类不包含在任何别的相容类中,则称为最大相容类。利用合并图寻找最大相容类的集合是一种简便而

易行的方法。即把原始状态表中所有状态以点的形式均匀地标在一个圆周上,然后将所有相容状态对用直线相连。若干个顶点之间两两均有连线构成的最大多边形就是一个最大相容类。在图 1-4 中因合并图很简单,只反应了行的相容对。在设计其他课题时应按照上述原则寻找最大相容类。

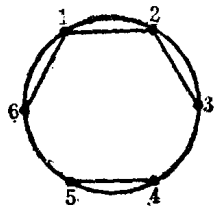


图 1-4 合并图

3) 选择相容类构成最小闭覆盖的相容类集

具有最小闭覆盖的相容类集应满足 3 个条件:

- ① 该相容类集包含了原始流程表中全部状态,这称为覆盖。
- ② 相容类集中的任一相容类,它在任一种输入情况下的下一状态仅属于该组中某一个相容类,称为具有闭的性质。

- ③ 具有覆盖和闭性质的相容类集所含相容类的数目应为最少。

根据上述条件可以求出一组最小闭覆盖的相容类集:(1-6)、(2-3)、(4-5)。

4) 将相容类集各相容类的状态进行合并,建立简化流程表

在表 1-5 原始流程表中,根据所求得的相容类集将各相容类的状态进行合并,可以得到简化流程表,如表 1-8 所示。如果把 3 个相容对分别用 A 、 B 、 C 来代替,则可得到等效流程表如表 1-9 所示。

表 1-8 简化流程表

y	X_1X_2			
	00	01	11	10
(1, 6)	①/0	2/0	5/ ϕ	⑥/0
(2, 3)	1/0	②/0	③/0	4/ ϕ
(4, 5)	1/ ϕ	2/ ϕ	⑤/1	④/1

表 1-9 等效流程表

y	X_1X_2			
	00	01	11	10
A	Ⓐ/0	B/0	C/ ϕ	Ⓐ/0
B	A/0	Ⓑ/0	Ⓑ/0	C/ ϕ
C	A/ ϕ	B/ ϕ	Ⓒ/1	Ⓒ/1

(3) 状态分配得二进流程表

在电平异步时序电路中,合适的状态分配不但可以使电路简化,而且还可以避免由于竞争而产生的电路不可靠性。有关状态分配的问题将在 1.3 中介绍。在表 1-9 等效流程表中,每个二次信号(y)必须编成二进制码。因为有 3 个二次信号,所以用二位码。如果按照表 1-10a 的状态分配,设 $y_1y_2 = A = 00$, $y_1y_2 = B = 11$, $y_1y_2 = C = 01$,并将它们代入表 1-9 中,则可得到如表 1-10b 所示的二进流程表。

表 1-10 状态分配(a)及二进流程表(b)

y_2	y_1	
	0	1
0	A	
1	C	B

(a)

y_1y_2	X_1X_2			
	00	01	11	10
00	Ⓐ/0	11/0	01/ ϕ	Ⓐ/0
11	00/0	Ⓐ/0	Ⓐ/0	01/ ϕ
01	00/ ϕ	11/ ϕ	Ⓐ/1	Ⓐ/1

y_1y_2/Z

(b)

(4) 确定激励信号和输出信号的逻辑表达式

将表 1-10b 激励信号和输出信号的值分别填入卡诺图,如图 1-5 所示。由于 $y_1y_2 = 10$ 是不存在的,它们的激励信号和输出信号的值均可记为 ϕ 。通过卡诺图简化逻辑函数可以得到每一个激励信号和输出信号的逻辑表达式:

$$Y_1 = \bar{X}_1X_2 + X_2y_1, \quad Y_2 = X_2 + X_1y_2, \quad Z = \bar{y}_1y_2。$$

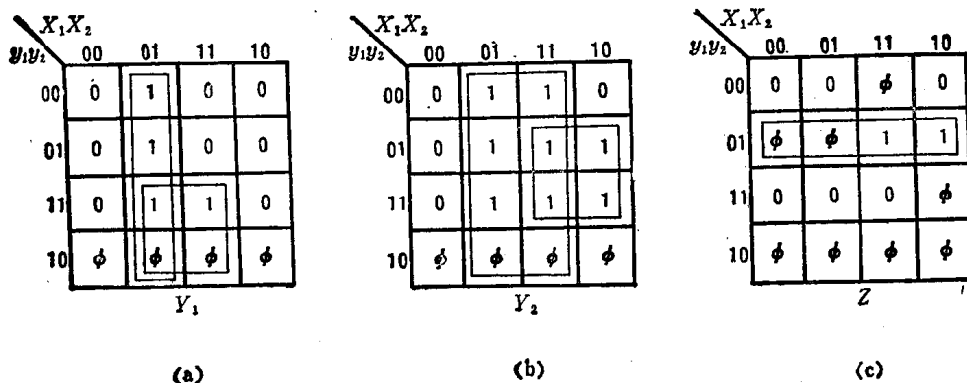


图 1-5 激励信号及输出信号的卡诺图

(5) 构成逻辑电路

根据上述逻辑表达式所构成的逻辑电路如图 1-6 所示。这里省去了反馈回路中的延迟线,因此 Y 与 y 成了一点(在今后诸课题的设计中也同样处理,不再赘述)。

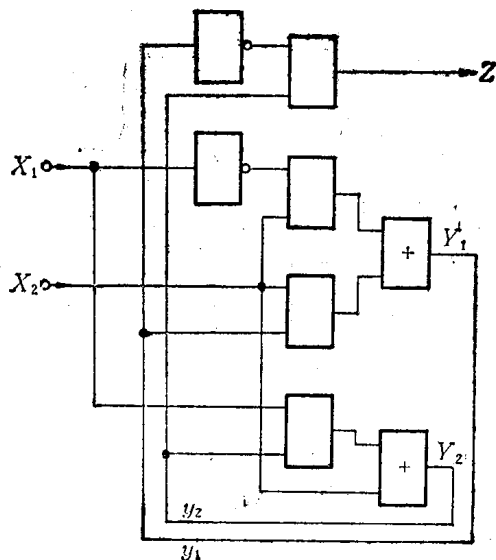


图 1-6 例 1 所要求设计的电路

【例 2】 设计由与非门构成的边沿触发 D 型触发器,即维持-阻塞 D 触发器。它有两个输入端, D 端作为信号输入端, CP 端作为时钟脉冲输入端。触发器的状态方程为 $Q^{n+1} = [D] \cdot CP \uparrow$, 并且在时钟脉冲的上升沿触发。在 $CP = 1$ 时, 允许 D 变化而触发器状态不变。在 $CP = 0$ 时, 触发器保持原状态。

设计步骤如下:

(1) 根据设计要求建立原始流程表

根据题意写出状态流程表常用的方法有三种,即直接把文字的叙述写成状态流程表、按波形图写出状态流程表、按状态图写出状态流程表。例1是按波形图写出状态流程表,而例2采用直接把文字的叙述写成状态流程表,这是编写状态流程表的基本方法。在做这一项工作时,必须仔细分析题意,对所有可能出现的情况都弄清楚,然后规定一个初始状态并逐行逐列地填写,直到表中不再出现新状态且完全填满表中所有方格时为止。为了书写方便,在本例中凡出现 CP 的地方均用 C 代之。

表 1-11 原始流程表

ν	DC			
	00	01	11	10
1	①/0	2/0	ϕ/ϕ	3/0
2	1/0	②/0	4/0	ϕ/ϕ
3	1/0	ϕ/ϕ	5/ ϕ	③/0
4	ϕ/ϕ	2/0	④/0	3/0
5	ϕ/ϕ	7/1	⑤/1	6/1
6	8/1	ϕ/ϕ	5/1	⑥/1
7	8/1	⑦/1	5/1	ϕ/ϕ
8	⑧/1	2/ ϕ	ϕ/ϕ	6/1

在表1-11中首先将 $DC=00$ 而输出信号 Z 为0作为初始状态,即1状态。在第1行第1列方格中填入①/0,它是一个稳定状态。当 DC 由00变为01及10时,电路分别转入2状态及3状态,在第2行第2列方格中填入②/0,在第3行第4列方格中填入③/0(根据题意此时电路的输出均为0)。在稳态②,当 DC 由01变为00时,电路回到1状态。当 DC 由01变为11时,电路转入4状态,输出仍为0,在第4行第3列方格中填入④/0。在稳态③,当 DC 由10变为00时,电路回到1状态。当 DC 由10变为11时,根据 C 上升沿触发的要求,电路将转入新状态5,且输出为1,在第5行第3列方格中填入⑤/1。在稳态④,当 DC 由11变为01时,电路回到状态2。当 DC 由11变为10时,电路回到状态3。在稳态⑤,当 DC 由11变为10时,输出仍为1,电路转入新状态6,在第6行第4列方格中填入⑥/1。当 DC 由11变为01时,根据 $C=1$ 时允许 D 变化且输出仍为1,此时电路转入新状态7,在第7行第2列方格中填入⑦/1。在稳态⑥,当 DC 由10变为00时,输出仍为1,电路转入新状态8,在第8行第1列方格中填入⑧/1。当 DC 由10变为11时,电路回到状态5。以后的变化过程请读者自行分析。

在填写时应注意:凡出现新状态时应给出新的编号,回到原状态时应填入原状态编号,直到表中不再出现新状态时为止。

(2) 简化原始流程表

1) 作出隐含表寻找相容状态对

根据表1-11可以作出如表1-12所示的隐含表,从而写出行的相容对(1-2)、(1-3)、(1-4)、(2-4)、(5-6)、(5-7)、(6-7)、(6-8)。

表 1-12 隐含表

2	✓						
3	✓	×					
4	✓	✓	×				
5	×	×	×	×			
6	×	×	×	×	✓		
7	×	×	×	×	✓	✓	
8	×	×	×	×	×	✓	×
	1	2	3	4	5	6	7

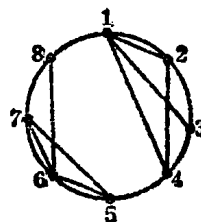


图 1-7 合并图

2) 寻找最大相容类

由图 1-7 所示的合并图可以求得最大相容类如下：

(1, 2, 4)、(5, 6, 7)、(1, 3)、(6, 8)。

3) 选择相容类构成最小闭覆盖的相容类集

选择的方法可采用覆盖闭合表。有关最小闭覆盖相容类集的 3 个条件前已介绍。覆盖闭合表由三部分构成，如表 1-13 所示。

表 1-13 覆盖闭合表

相 容 类	覆 盖								闭 合			
	1	2	3	4	5	6	7	8	DC			
									00	01	11	10
(1, 2, 4)	✓	✓		✓					1	2	4	3
(5, 6, 7)					✓	✓	✓		8	7	5	6
(1, 3)	✓		✓						1	2	5	3
(6, 8)						✓		✓	8	2	5	6

第一部分是相容类，在这一列中分别列出全部的最大相容类。

第二部分是覆盖的情况，在表头中列出全部原始状态，并在每个最大相容类所覆盖的状态下面画“✓”号标记。

第三部分是闭合的情况，将每个最大相容类在每一种输入条件下所有给定的下一状态列入闭合栏相应的列中。例如，最大相容类 (1, 2, 4) 在覆盖栏相应列标记“✓”号。该类在 $DC = 00$ 时下一状态为 1，就在闭合栏 $DC = 00$ 列填入 1，如此完成整个覆盖闭合表。

根据覆盖闭合表可以求得一组最小闭覆盖的相容类集：(1, 2, 4)、3、(5, 6, 7)、8。

4) 将相容类集各相容类的状态进行合并建立简化流程表。

按照所求得的最小闭覆盖相容类集可以写出简化流程表（如表 1-14 所示）。如果将相容类集各相容类的状态分别用 A、B、C、D 来代替，则可得到等效流程表（如表 1-15 所示）。

顺便指出，如果在设计中出现 A 代表 (1, 2)，C 代表 (1, 7)，而在简化流程表的方格中出现 1/0 时，则在等效流程表相应的方格中填入 A, C/0，然后根据状态分配的要求舍其一个。

表 1-14 简化流程表

DC y	00	01	11	10
(1, 2, 4)	①/0	②/0	④/0	3/0
3	1/0	ϕ/ϕ	5/ ϕ	③/0
(5, 6, 7)	8/1	⑦/1	⑤/1	⑥/1
8	⑧/1	2/ ϕ	ϕ/ϕ	6/1

表 1-15 等效流程表

DC y	00	01	11	10
A	Ⓐ/0	Ⓐ/0	Ⓐ/0	3/0
B	A/0	ϕ/ϕ	C/ ϕ	Ⓑ/0
C	D/1	Ⓒ/1	Ⓒ/1	Ⓒ/1
D	Ⓓ/1	A/ ϕ	ϕ/ϕ	C/1

(3) 状态分配得二进流程表

对于表 1-15 等效流程表,如果采用表 1-16a 的状态分配,即 $y_1y_2 = A = 00$, $y_1y_2 = B = 01$, $y_1y_2 = C = 11$, $y_1y_2 = D = 10$, 并代入表 1-15 等效流程表中, 则可得表 1-16b 所示的二进流程表。显然, 因为该电路包含两个激励信号 Y_1 和 Y_2 , 所以该电路具有两个反馈回路。从表 1-16b 可以看出, 对于任何一个稳定的总态, 当输入信号改变时(按照规定仅允许一个变量改变), 激励信号也仅有一个改变(没有出现同时改变两个激励信号的情况)。例如, 总态(DC- y_1y_2) = (00-00), 当输入信号 DC 由 00 变为 10 时, Y_1Y_2 为 01, 这是一个不稳定状态, 经过 Δt 的延迟后稳定在总态(10-01)上。因此, 表 1-16b 二进流程表不会出现竞争的现象, 这是由于表 1-16a 状态分配选择恰当的结果。下面分析表 1-15 等效流程表的情况。

表 1-16 状态分配(a)及二进流程表(b)

(a)

(b)

(a)

(b)

对于状态 A, 它的相邻状态为 B; 对于状态 B, 它的相邻状态为 A, C; 对于状态 C, 它的相邻状态为 D; 对于状态 D, 它的相邻状态为 A, C。而表 1-16a 的状态分配正好完全满足上述相邻的要求。因此状态分配是恰当的。值得注意的是, 满足上述要求的状态分配并不是唯一的。例如, 表 1-17 的状态分配也完全满足上述相邻的要求。如果不满足状态分配的要求, 则有可能会破坏电路的正常工作。因此, 状态分配是否恰当是非常重要的。

表 1-17 完全满足逻辑相邻的另一种状态分配

y_1	0	1
0	B	A
1	C	D

(4) 确定激励信号和输出信号的逻辑表达式

将表 1-16b 激励信号和输出信号的值分别填入卡诺图 (如图 1-8 所示)。通过卡诺图的简化可以求得下列一组逻辑表达式:

$$Y_1 = \bar{C}y_1 + y_1y_2 + Cy_2 = (\bar{C} + y_2)y_1 + Cy_2 = \bar{C}\bar{y}_2y_1 + Cy_2 = \bar{C}\bar{y}_2y_1\bar{C}y_2,$$

$$Y_2 = \bar{C}D + Dy_2 + Cy_2 = (\bar{C} + y_2)D + Cy_2 = \bar{C}\bar{y}_2DCy_2,$$

$$Z = Y_1。$$

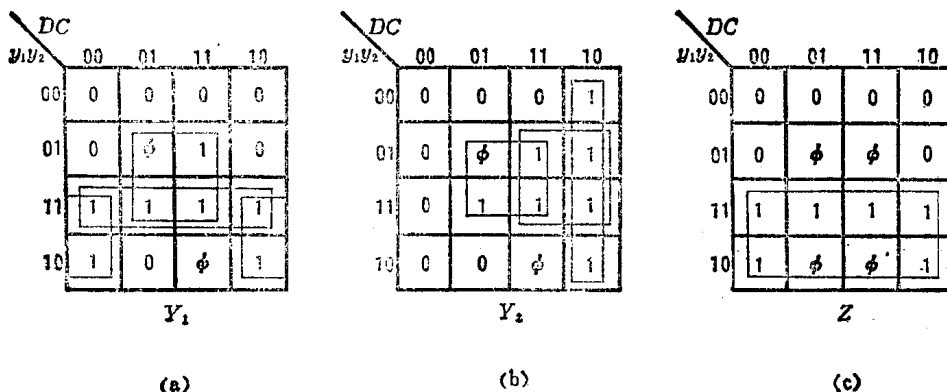


图 1-8 激励变量和输出变量卡诺图

(5) 构成逻辑电路

在构成逻辑电路之前,应检查设计出来的电路是否存在本质冒险。从表 1-15 所示的等效流程表中可以看出,由总态(11-A)转到(10-B)以及由总态(01-C)转到(00-D)时均存在本质冒险。事实上,如果选用延时较大的逻辑门作为记忆元件,则整个电路就不会发生错误的动作。

在用电路来实现这些逻辑函数时,必须注意每一个状态变量表示某一个逻辑门的输出变量,在电路中则表现为逻辑门的输出端,并且 y_1 与 Y_1 在电路中属于同一端, y_2 与 Y_2 也属于同一端(这是因为我们假定的延迟元件 Δt_1 和 Δt_2 均已分别包含在逻辑门的内部了)。为了便于画图,每一个与非门的输出端可用一个字母来表示。如果

$$a = \bar{C}\bar{y}_2, \quad b = \bar{a}y_1, \quad c = \bar{C}y_2, \quad d = \bar{a}D,$$

则

$$Y_1 = \bar{b}c, \quad Y_2 = \bar{c}d。$$

根据以上各式,可依次画出各个逻辑门及其相互连接的关系(如图 1-9a 所示)。这里包括 6 个与非门和 1 个非门,其实只要将逻辑式略加整理简化,这个非门完全可以省去。因为从上述逻辑式中可以看出 $Y_2 = \bar{c}d$, 在电路中 Y_2 就是 y_2 , 所以 $a = \bar{C}\bar{y}_2 = \bar{C}cd$, 再将图形整理一下就可得到 D 型触发器的习惯画法(如图 1-9b 所示)。

1.3 状态分配

在电平异步时序电路的设计中,如果简化流程表中有多个状态,这时对状态分配就有特殊的要求。因为在异步时序电路中,当要求两个或多个状态变量同时发生变化时,往往由于各状态变化速度的不一致而产生不需要的过渡状态,即产生所谓竞争现象。现在举一个比较有代