

W J J K Y T X S J

J C

微机接口 与 通信实践 教程

华东师范大学出版社

·邵时 沈建华
王荣良 编著

·WEIJIEKOU YU
TONGXINSHIJIAN
JIAOCHENG

·SHAOSHI
SHENJIANHUA
WANGRONGLIANG
BIANZHU

·HUADONG SHIFAN DAXUE
CHUBANSHE



TP36

S65

399888

华东师范大学教材出版基金资助出版

微机接口与通信实践教程

邵 时 沈建华 王荣良 编著
张汝杰 主审

华东师范大学出版社

封面设计 周艳梅

华东师范大学教材出版基金资助出版

微机接口与通信实践教程

邵 时 沈建华 王荣良 编著

华东师范大学出版社出版发行

(上海中山北路 3663 号 邮政编码 200062)

新华书店上海发行所经销

江苏句容市排印厂印刷

开本 787×1092 1/16 印张 20 字数 487 千字

1997 年 2 月第 1 版 1997 年 2 月第 1 次印刷

印数 001—2,000 本

ISBN 7-5617-1646-X/TP·009

定价: 22.00 元

前 言

《微机接口与通信》是一门工程性和实践性很强的课程,学生学习该课程理论知识后,离实际应用往往还有一定的距离。而本书《微机接口与通信实践教程》就是为缩短这种距离而编写的。全书分为两大篇,即基础篇与实验篇。基础篇主要讨论了在一般课程中没有涉及到的有关动手设计的方法和技巧。由于当前微机技术发展迅速,知识更新甚快,我们选定以当前最流行且具有很强生命力的PC微机作为教学实践基础,介绍了IBM PC总线标准、BIOS及DOS功能调用,着重讨论了接口设计的基本方法,其中包括硬件设计、编程技巧以及实践方法。从软、硬件结合的角度出发,全方位地论述接口技术。实验篇主要讲述了“微机接口通信”领域内常用的基本实例。实验分三大类,即PC机组织结构类、通信接口类、微机应用类。对每一类实验均提供多个实验实例,对每个实验均配有设计方法、要求、技巧等指导,并附有实验程序供读者参考。

本教材适时、实用,有利于学生实践能力的提高,适合计算机应用、自控、通信等专业的学生使用,同样也适合从事计算机工程设计与开发应用的专业技术人员使用。

本书基础篇共五章,其中第一章、第四章、第五章由邵时同志编写,第二章由王荣良同志编写,第三章由沈建华同志编写。实验篇三章均由邵时及沈建华两位同志编写。全书由张汝杰教授主审。

本书的编写力求实与新,希望能对提高读者的实际动手能力有所帮助。但由于水平有限,错误与不妥之处敬请批评指正。

在本书的编写和出版工作中得到了许多同志的帮助,特别是刘淦澄教授给予编者很大的支持,在此谨向所有为本书编写、出版作出贡献的同志致以深切的谢意。

编 者

1996年2月1日

目 录

基 础 篇

第一章 IBM PC 总线标准	3
§ 1.1 IBM PC/XT 总线标准	4
一、概述	4
二、XT 总线信号逻辑功能描述	5
§ 1.2 IBM PC/XT 系统总线时序分析	10
一、由 8088CPU 驱动的总线周期	10
二、DMA 总线周期	14
三、IBM PC/XT 系统总线负载和驱动能力	15
§ 1.3 IBM PC/AT 扩展总线分析与时序	17
一、AT 机与 XT 机 62 引脚插座的差异	18
二、AT 机辅加插座信号	19
三、AT 总线时序分析	20
§ 1.4 关于 I/O 通道的讨论	22
第二章 汇编指令及方法	24
§ 2.1 CPU 结构	24
一、CPU 内部结构	24
二、寄存器结构	24
三、存储器组织	25
§ 2.2 寻址方式	26
一、立即寻址	26
二、寄存器寻址	27
三、直接寻址	27
四、寄存器间接寻址	27
五、寄存器相对寻址	27
六、基址变址寻址	27
七、相对基址变址寻址	27
§ 2.3 指令系统	27
一、数据传送类指令	27
二、算术运算类指令	28
三、位运算类指令	28
四、程序转移类指令	28
五、字符串操作类指令	29

六、CPU 控制类指令	30
§ 2.4 汇编语言及约定	30
一、汇编语言的格式	30
二、伪指令	31
§ 2.5 汇编语言程序的建立与执行	33
一、建立汇编语言源程序(EDIT)	33
二、生成目标文件(TASM)	34
三、生成执行文件(LINK)	35
四、程序动态调试(DEBUG)	36
第三章 BIOS 和 DOS 中断	40
§ 3.1 键盘输入	42
一、扫描码与字符码	42
二、BIOS 键盘功能调用	44
三、DOS 键盘功能调用	45
§ 3.2 显示器输出	48
一、显示属性	49
二、BIOS 显示功能调用	50
三、DOS 显示功能调用	52
§ 3.3 打印机输出	53
一、DOS 打印功能调用	54
二、BIOS 打印功能调用	54
§ 3.4 串行通信口操作	55
一、DOS 串行口功能调用	55
二、BIOS 串行口功能调用	57
§ 3.5 避免 DOS 重入	60
一、DOS 重入问题	60
二、避免 DOS 重入的方法	62
第四章 接口设计基本方法	64
§ 4.1 接口的基本概念	64
一、I/O 接口部件的硬件分类	64
二、I/O 接口信号	65
三、接口部件的 I/O 端口	66
四、CPU 与 I/O 接口的数据传送控制方式	69
§ 4.2 I/O 接口电路设计方法	69
一、I/O 接口与计算机连接界面的设计	70
二、I/O 接口与外设连接界面的设计	82
三、其他考虑要点	95
第五章 实验设计方法技巧	99
§ 5.1 实验的预习	99

一、明确实验目的,弄清实验原理	99
二、了解实验环境	99
三、拟定实验方案	99
四、掌握实验仪器、工具的使用	100
§ 5.2 实验的设计	100
一、实验的设计	100
二、实验调试步骤的拟定	101
§ 5.3 实验的调试与实现	101
一、实验现象的记录	101
二、实验现象分析和排错	102
§ 5.4 实验的总结	103

实 验 篇

第六章 IBM PC 组织结构类实验	107
§ 6.1 软件编程练习	107
实验一 BIOS 和 DOS 功能调用练习	107
实验二 读写磁盘文件	118
§ 6.2 中断处理	125
实验三 简单中断	125
实验四 BIOS 功能扩充及中断嵌套	128
§ 6.3 其它	136
实验五 PC 机 RAM 扩充方法	136
实验六 DMA 方式传送数据	138
实验七 定时与计数	146
第七章 通信类实验	156
§ 7.1 并行通信	156
实验八 并行输入输出控制	156
实验九 数码显示器接口	163
实验十 键盘与显示器接口	167
实验十一 打印机接口	173
§ 7.2 串行通信	179
实验十二 8251A 串行通信	179
实验十三 双机通信	187
第八章 微机应用	194
§ 8.1 数据采集系统	194
实验十四 A/D 转换	194
实验十五 D/A 转换	205
§ 8.2 控制类实验	212
实验十六 步进电机转速控制	212

§ 8.3 微机综合实验	220
实验十七 等精度智能频率计.....	220
实验十八 语音记录与重放.....	241
实验十九 多功能电子秒表及电压表.....	259
实验二十 PC 机与单片机联机的测控系统	282
附录一 “E-8088 系列高性能 PC 微机实验仪”介绍	287
附录二 8086/8088 指令表	294
附录三 BIOS 中断功能调用表	297
附录四 DOS INT 21H 中断功能调用表	301

基 础 篇

第一章 IBM PC 总线标准

计算机系统的信息传送是通过总线来实现的,它包括控制总线、地址总线及数据总线。计算机的总线结构对计算机的数据传送速度以及各种功能的提高有着巨大的影响。随着处理器技术的飞速发展,高性能标准总线的开发异常活跃,从16位的ISA总线,8MHz、32位的EISA总线及10MHz、32位的MCA总线发展到局部总线VESA,乃至目前流行的PCI总线。这些新型的总线大幅度提高了数据的基本传输速率,同时增加了许多新功能,充分发挥了CPU的潜能。

但鉴于目前流行的可编程通用外围芯片仍大多为八位数据宽度,因此用户在进行系统扩充的接口设计时,往往还是采用传统的ISA总线结构。因此这里仅对IBM PC/XT微机及IBM PC/AT微机的总线结构加以讨论。

对于IBM PC/XT和IBM PC/AT微机及其兼容机,其系统设备能力的扩充是以设备接口挂接到输入/输出(简称I/O)通道上来实现的。它们的I/O通道是系统总线的延伸,是将系统总线进行重新驱动后,连接到扩展槽上的。为方便大家使用,对I/O通道上各信号的电气性能以及信号引脚在插件板上的位置都加以规范化,具有统一的总线标准。XT机总共有8个扩展槽,每个扩展槽的62芯线形成了标准的XT总线。AT机也有8个扩展槽,其中3个是与XT兼容的,另外5个带有AT的扩展部分,形成AT总线。XT总线扩展槽是一种8位总线标准,其寻址空间为1MB;而AT总线扩展槽是一种16位总线标准,其寻址空间可达16MB。随着PC机在各个领域的发展,PC总线事实上已成为8位和16位数据传输总线的工业标准,所以称之为ISA(Industry Standard Architecture)总线。

扩展槽上可以插入不同功能的插件板,以扩充系统的功能。常用的有存储器扩展板和各种

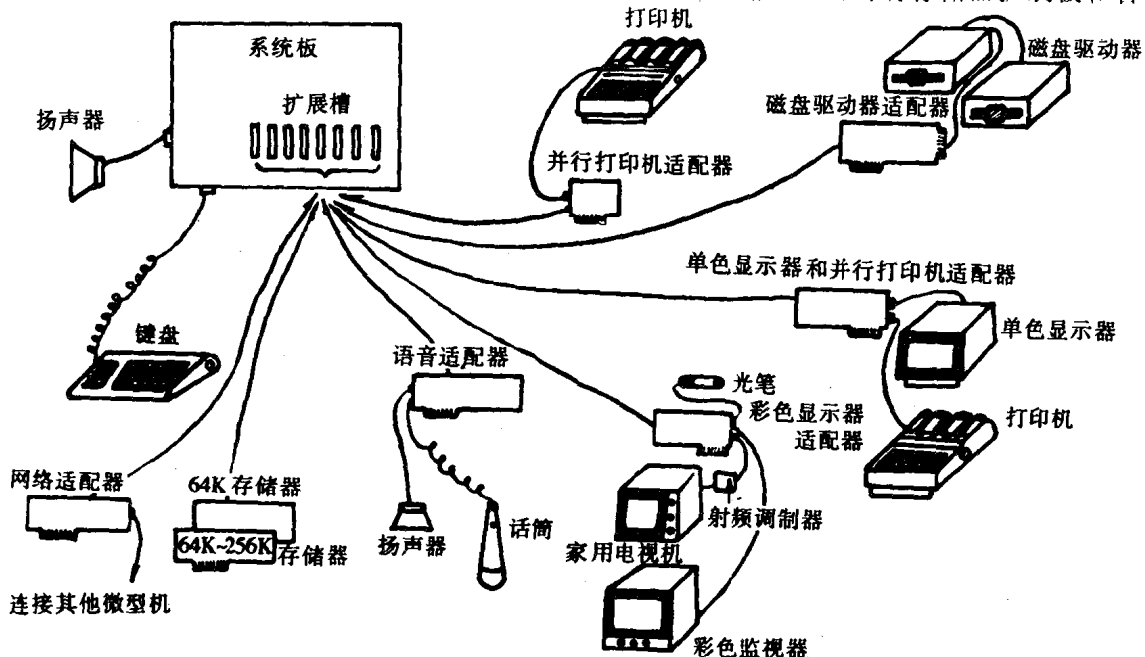


图 1.1 IBM PC/XT 和外设的连接

外部设备适配器,比如:打印机适配器、显示器适配器、网络适配器、语音系统适配器等。用户也可将自己设计的I/O接口卡插在上面,以连接应用系统。图1.1表示了IBM PC/XT主机和外部设备的连接。

§ 1.1 IBM PC/XT 总线标准

一、概述

IBM PC/XT 是由主机板、标准接口板组成的。在用户应用过程中,又可通过 I/O 扩展槽扩充各类 I/O 适配器。从主机的角度来讲,接口板是 PC 机的扩展部件,由主机通过扩展槽与这些扩展板进行通信,包括主机向扩展板传送命令、主机检测扩展板的状态、主机接受扩展板上控制部件发出的命令、主机和扩展板之间传送数据等。但是从微型计算机系统结构的角度讲,只有 CPU 才是微型计算机的核心部件,其余均是外围设备,也就是说,主机板上除 CPU 及其附设部件以外,其余部分和扩展板上的部件并无什么区别。CPU 都是通过系统总线同所有这些外部设备通信的(包括主机板上的和扩展板上的)。因此,从这个意义上讲,主机板上的外围部件和扩展板上的部件与 CPU 之间的通信控制方式应该是完全一致的。即各部件的通信均是由总线来沟通的。IBM PC 有三类总线信号,即数据总线、地址总线和控制总线,它们组成系统各部分(元件、部件和模块)间的标准信息通路,如图 1.2 所示。主机板上除 CPU 外的各部分和各扩展板统一按分时复用原则使用系统总线与 CPU 通信,构成一个完整的微机系统。

显然,研究接口技术,实际上须从研究系统总线的应用规范着手。

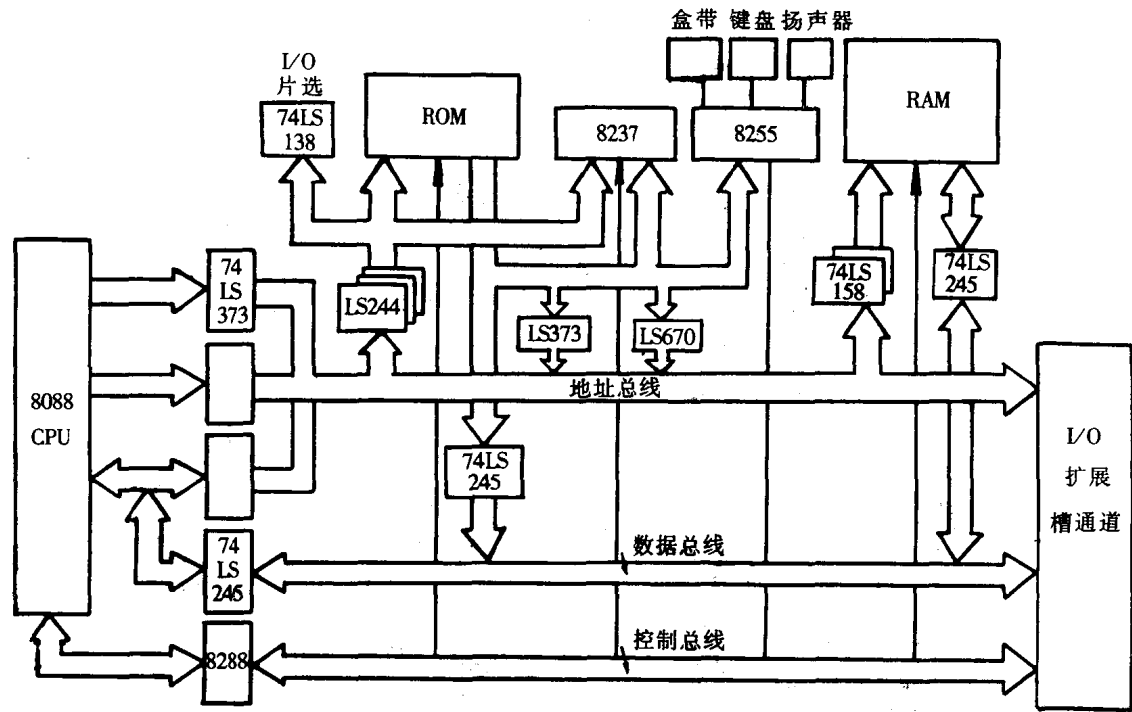


图 1.2 IBM PC 总线结构图

下面我们首先讨论 XT 总线各信号的含义。总线之间的信息流动是由一些收发器、锁存器

和门电路来管理,由系统总线仲裁器来实施控制的。

二、XT 总线信号逻辑功能描述

IBM PC/XT 扩展槽由 62 条信号线组成,分成两排,即 A 排和 B 排,排列在插槽的两面。A 排信号按顺序排成 A1 至 A31,B 排则为 B1 至 B31。每个引脚都有特定的含义,包括信号名称、信号方向、信号有效极性以及配合使用的时序,使制作 I/O 接口控制卡的厂家和用户均有一个统一的参照标准。I/O 通道扩展槽插座图如图 1.3 所示。XT 总线信号见表 1.1。

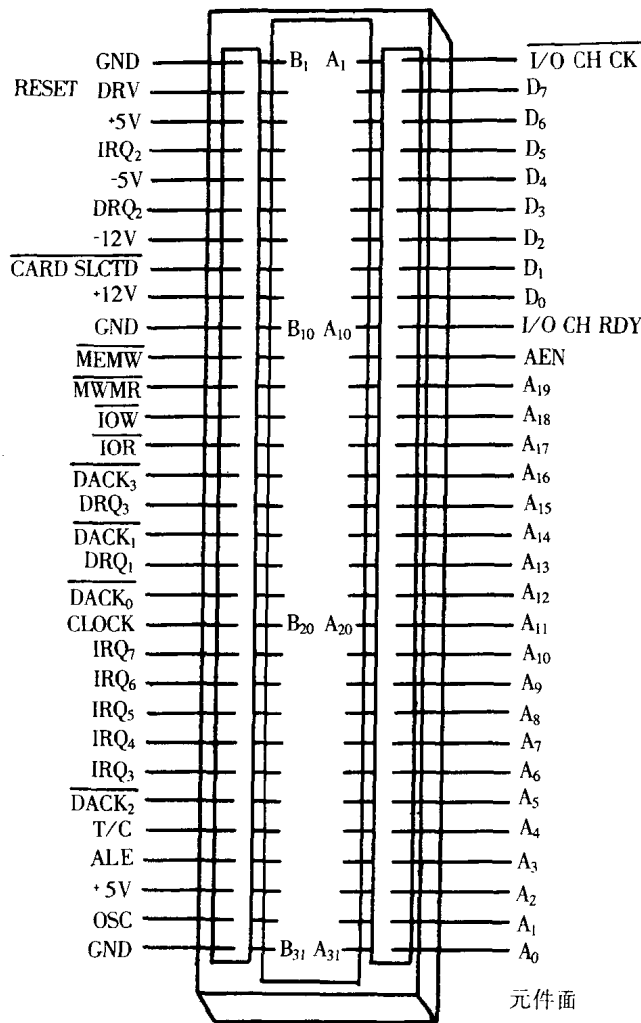


图 1.3 XT 总线扩展插座信号排列

表 1.1 XT 总线信号

信号类型	助记符	信号名称	引脚号	信号有效电平	备注
地址线 (20 根)	A19~A0	地址总线	A12~A31		I/O 端口为 A9~A0
数据线 (8 根)	D7~D0	数据总线	A2~A9		

(续表)

信号类型	助记符	信号名称	引脚号	信号有效电平	备注
控制线 (21 根)	ALE	地址锁存允许	B28	下降沿锁存	输出信号
	IRQ7~IRQ3 IRQ2	中断请求	B21~B25 B4	上升沿	输入信号
	$\overline{\text{IOR}}$	I/O 读命令	B14	低电平	输出信号
	$\overline{\text{IOW}}$	I/O 写命令	B13	低电平	输出信号
	$\overline{\text{MEMR}}$	存储器读	B12	低电平	输出信号
	$\overline{\text{MEMW}}$	存储器写	B11	低电平	输出信号
	DRQ3 DRQ2 DRQ1	DMA 请求	B16 B6 B18	高电平	输入信号
	$\overline{\text{DACK}}_3$ $\overline{\text{DACK}}_2$ $\overline{\text{DACK}}_1$	DMA 响应	B15 B26 B17	低电平	输出信号
	AEN	地址允许	A11	高电平	DMA 发出
	T/C	计数结束	B27	高电平	输出信号
	RESET DRV	系统总清	B2	高电平	输出信号
状态线 (2 根)	$\overline{\text{I/O CH CK}}$	通道校验	A1	低电平	NMI 中断
	I/O CH RDY	通道准备好	A10	高电平	输入信号
其它 (11 根)	OSC	晶体振荡	B30		T=70ns
	CLOCK	系统时钟	B20		T=210ns
	$\overline{\text{CARD SLCTD}}$	插件板选中	B8	低电平	由 J8 提供
	+5V	+5V 电源	B3 B29		±5%
	-5V	-5V 电源	B5		±5%
	+12V	+12V 电源	B9		±5%
	-12V	-12V 电源	B7		±5%
	GND	地线	B1 B10 B31		

62 芯总线中包括 20 位地址总线、8 位双向数据总线、6 级中断请求信号线、三组 DMA 通道控制线以及存储器刷新定时控制线、通道检测线等。这些信号按功能不同可分为下列五类：

1. A19~A0 地址总线(20 根)

地址总线 A19~A0 为输出信号,用来寻址与系统总线相连接的存储器和 I/O 端口。在存储器和 I/O 端口读/写等系统总线周期中,该地址总线由 8088 微处理器驱动;在 DMA 周期中,则由 DMA 控制器来驱动。其中 A0 为最低有效位,A19 为最高有效位,最大可直接寻址范围为 1M 字节的存储器空间。如果在地址总线上传输的是 I/O 端口地址,则高位地址 A19~A16 无效,访问的端口数仅限制在 64K 以内,这是 8088CPU 设计时所限制的。但 IBM PC/XT

设计时仅使用了 A9~A0 十条地址线来寻址 I/O 端口,因此实际上 XT 微机总共可以访问的端口号仅为 000H~3FFH,总共 1K 个。其中 000H~0FFH 号端口地址归主机系统板上的 I/O 芯片所用,用户自行设计的 I/O 接口电路地址仅为 100H~3FFH,也就是说通过扩展槽使用的端口号仅为 100H~3FFH。

2. D7~D0 数据总线(8 根)

这 8 条双向数据线为微处理器、存储器和 I/O 设备端口提供了数据信息传输通道。D0 为最低有效位,D7 为最高有效位,每次只能传输一个字节。在 8088 启动的写总线周期中,数据出现在该总线上,然后在写控制信号 $\overline{\text{IOW}}$ 或 $\overline{\text{MEMW}}$ 的控制下写至 I/O 端口或存储器。在 8088 启动的读总线周期中,被寻址的存储单元或 I/O 端口寄存器必须将其数据在 $\overline{\text{MEMR}}$ 或 $\overline{\text{IOR}}$ 控制信号上升沿之前送上数据总线。在 DMA 周期中,微处理器释放总线,由 DMA 控制器控制总线的传送,该数据总线用来在 I/O 端口和存储器之间直接进行传送,而不需微处理器的介入。

3. 控制线(21 根)

(1) ALE 地址锁存允许输出信号

它是由总线控制器 8288 提供的,用来指明总线有效,即可以开始一个总线周期。该信号的下降沿将来自 CPU 的地址信号进行锁存。ALE 信号对于微处理器启动的总线周期来说,是一个很好的同步点,因为它恰好开始于一个总线周期的始端。ALE 在 DMA 周期中无效。

(2) IRQ2~IRQ7 中断请求输入信号

用来产生对微处理器的中断请求,这些信号直接送到系统板上的 8259A 中断控制器。8259A 本来有 8 个中断请求输入端 IR0~IR7,但其中的 IR0 和 IR1 已被系统板占用,剩下的 6 个中断请求输入端引到 62 芯总线,可供 I/O 端口申请中断用。IRQ2~IRQ7 即对应于 8259A 的 IR2~IR7。ROM 中的 BIOS 程序将 8259A 初始化为 IRQ2 优先级最高,而 IRQ7 优先级最低。如果 $\text{IRQ}_i (i=2\sim7)$ 未被屏蔽,该信号的上升沿就产生对微处理器的中断请求,请求信号应一直保持有效电平,直到 8088 微处理器发出一个中断响应 $\overline{\text{INTA}}$ 信号为止。由于 $\overline{\text{INTA}}$ 信号不在 XT 总线上出现,因此中断服务程序中应加一条 OUT 指令,以一个 I/O 寄存器端口位来复位这一请求信号。倘若这一请求信号不能在 $\overline{\text{INTA}}$ 信号发出之前始终保持有效,就会产生第七级中断(这时完全忽略了现时中断的优先级)。应当注意的是,这些信号线的这一特性,可以通过重新编程 8259A 中断控制器的初始化参数来修改(建议不作修改)。

(3) $\overline{\text{IOR}}$ I/O 读命令输出

该信号由 8288 总线控制器或 DMA 控制器产生。信号有效时(低电平)将选中的 I/O 设备端口中的数据读到数据总线上。并要求 I/O 端口最迟要在 $\overline{\text{IOR}}$ 信号上升沿之前至少 30ns 将其数据送上数据总线,这样才能保证微处理器可以得到有效的数据。在 DMA 周期时, $\overline{\text{IOR}}$ 信号由 DMA 控制器来驱动。此时,地址总线上不含有 I/O 端口地址,仅含有要写入的存储器地址。而 I/O 端口则由 DMA 控制器送出的一个有效的 $\overline{\text{DACK}}_i$ 信号来选取。

(4) $\overline{\text{IOW}}$ I/O 写命令输出

此信号由 8288 总线控制器或 DMA 控制器产生。信号有效时,把数据总线上的数据写到所选中的 I/O 设备端口中。在这一信号变成有效低电平时,数据总线上的数据可能尚未有效,因此,端口的数据只能利用这一信号的上升沿来锁存。在 DMA 周期时,这一信号由 DMA 控制器来驱动。利用该信号将数据总线上来自存储器的数据,写至由 $\overline{\text{DACK}}_i$ 选中的 I/O 端口中。

同前述情况相似,在这一信号变成有效低电平时,数据可能尚未有效,因此亦需利用这一信号的上升沿将数据锁入端口。

(5) $\overline{\text{MEMR}}$ 存储器读命令

此信号由 8288 总线控制器或 DMA 控制器产生。信号有效时(低电平),将所选中的存储单元的数据读到数据总线上。和 $\overline{\text{IOR}}$ 相似,存储器必须在 $\overline{\text{MEMR}}$ 信号上升沿之前至少 30ns 将有效的数据送上数据总线,以保证微处理器可以接收到有效的数据。在 DMA 周期中,该信号由 DMA 控制器来驱动,通知被寻址的存储器单元将其内容送上数据总线,使该数据能写入 $\overline{\text{DACKi}}$ 指定的 I/O 端口。

(6) $\overline{\text{MEMW}}$ 存储器写命令

此信号由 8288 总线控制器或 DMA 控制器产生。信号有效时,将数据总线上的数据写入所选中的存储单元。DMA 周期中该信号由 DMA 控制器驱动,用来将数据总线上来自 I/O 端口的数据写至存储器。如果用这一信号来控制动态存储器的写入,应特别注意。在该信号变成有效低电平时,要写入的数据可能尚未有效,这就要求此动态 RAM 存储器应选用可以利用“迟写”或“CAS 写”特性的器件。

(7) DRQ1~DRQ3 DMA 通道 0~DMA 通道 3 请求输入信号

它们是由外设接口发出的信号,高电平有效。是 I/O 用来申请 DMA 周期的。如果有 I/O 端口想要在它本身和存储器之间进行高速数据传送,则可以通过升高该信号电平来申请 DMA 周期。这几条信号线直接连到系统板上的 8237A-5DMA 控制器,由 DMA 控制器进行优先级判别,然后产生一个 DMA 周期。IBM PC/XT 的 ROM BIOS 将 DMA 控制器初始化成 DRQ1 优先级最高,DRQ3 优先级最低(实际上是 DRQ0 为最高优先级,不过它并不连到系统总线上,仅在主板上用来刷新动态存储器)。一般情况下应由 $\overline{\text{DACKi}}$ ($i=1\sim3$) 信号将 DRQi ($i=1\sim3$) 复位。

(8) $\overline{\text{DACK0}}\sim\overline{\text{DACK3}}$ DMA 通道 0~DMA 通道 3 的响应信号

该信号是由 DMA 控制器发往外设的(低电平有效)。用来通知外设对应的 DRQi ($i=1\sim3$) 已被接受,DMA 控制器将要占用并开始处理所请求的 DMA 周期。系统总线上并没有 DRQ0 信号,因此 $\overline{\text{DACK0}}$ 的出现仅是一个通知信号,表明当前的 DMA 周期是一个用来刷新系统动态存储器的虚拟读周期,其每 72 个时钟周期发生一次。

(9) AEN 地址允许信号

这是由 8237-DMA 控制器发出的高电平有效信号。指示此时正处于 DMA 总线周期,由 DMA 控制器来控制地址总线、数据总线和对存储器及 I/O 设备的读/写命令线。该信号往往用于对端口译码器的控制,即只有在该信号为低电平时(表示非 DMA 周期),才对 I/O 端口地址进行译码,并由 $\overline{\text{IOR}}$ 和 $\overline{\text{IOW}}$ 信号控制对 I/O 端口的读写。如果译码时不加入该信号,则在 DMA 操作期间,由于 $\overline{\text{IOR}}$ 和 $\overline{\text{IOW}}$ 信号亦可能有效,它们和地址线上的存储器地址一起可能会造成对 I/O 端口的误操作。

(10) T/C 计数结束信号输出

当 DMA 通道计数到达终点时,T/C 线上便出现高电平的脉冲。该信号通常用来结束一次 DMA 数据块传送。由于这个信号在四个 DMA 通道中的任何一个到其终末计数值时均会发出,因此接口电路应将 T/C 和 $\overline{\text{DACKi}}$ ($i=1\sim3$) 相与产生特定通道的 T/C。

(11) RESET DRV 系统总清信号

该信号高电平有效,使系统各部件复位。

4. 状态线(2 根)

(1) $\overline{I/O\ CH\ CK}$ I/O 通道奇偶校验信号

该信号用来向 CPU 提供关于 I/O 通道上的设备或存储器的奇/偶校验信息。当信号有效(低电平)时,就会对微处理器产生一次不可屏蔽中断(NMI),表示奇/偶校验出错。

(2) $I/O\ CH\ RDY$ I/O 通道准备好信号

这是一个输入信号。通常为高电平(就绪状态),如果存储器或 I/O 设备将它拉低(未就绪),即可延长 I/O 读写总线周期或存储器读写总线周期,以适应慢速设备。由此可将较低速的设备方便地连到 I/O 通道上。任何需使用这个信号的低速设备,均应在检测到一个有效地址信号和读/写命令时,立即将它拉低,以此来向 CPU 或 DMA 控制器申请插入等待周期,从而延长 I/O 读写总线周期或存储器读写总线周期。但此信号维持在低电平的状态绝不能超过 10 个时钟周期,机器周期是以时钟周期(210ns)的整数倍延长的。通常这一信号由集电极开路门来驱动。

5. 辅助线和电源线(11 根)

(1) OSC 晶体振荡信号

该信号周期为 70ns(频率为 14.31818MHz),占空比为 50%。这一信号是系统总线上频率最高的信号,其它时序信号均由此信号产生。

(2) CLOCK 系统时钟信号

该信号是由主频 OSC 三分频得来的,频率为 4.77MHz(周期为 210ns),占空比为 33%。该信号与系统时钟同频率。

(3) $\overline{CARD\ SLCTD}$ 插件板选中信号

J1~J8 插座的这个信号是连在一起的,但此信号仅由 J8 中的扩展板提供。当信号低电平有效时,表示 J8 中的扩展板被选中。

(4) 电源与地

+5V 电源两个插脚,±5%稳定度;

+12V 电源一个插脚,±5%稳定度;

-12V 电源一个插脚,±5%稳定度;

-5V 电源一个插脚,±5%稳定度;

地线使用三个插脚。

归纳起来,I/O 通道具有下面六个特点:

- 支持双向数据通路;
- 支持兆级物理地址空间;
- 支持接口读写控制;
- 支持多级向量中断;
- 支持 DMA 通道传输;
- 支持多处理器共享总线。