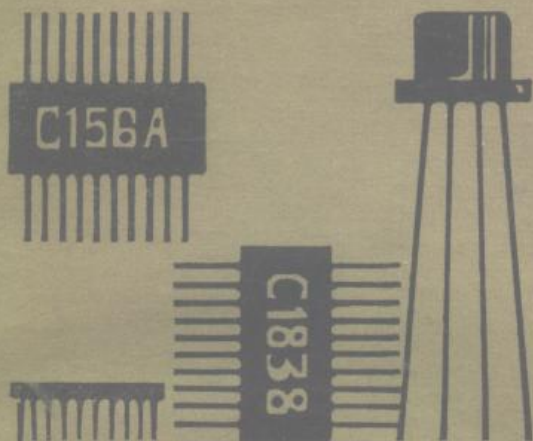


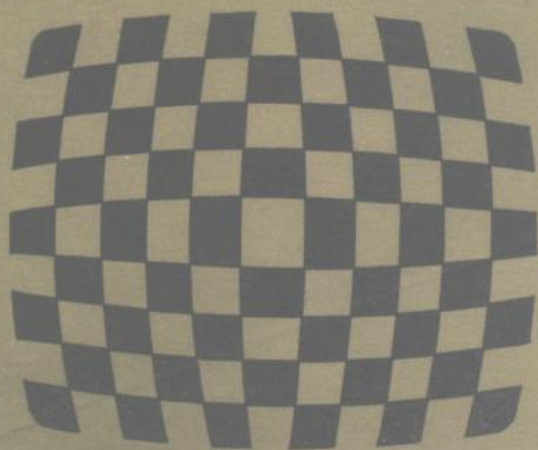


电视机用集成电路

刘 耀 骐

许 纯 如 编 著

人民邮电出版社



73.755
194

电视机用集成电路

刘耀骐 许纯如 编著

216.5.00.00



内 容 提 要

这本小册子是给生产、维修集成电路电视机人员参考的。书中首先介绍了半导体集成电路的基本知识。较详细地分析了线性集成电路的各种基础电路，为学习后面讲到的各种集成电路打下基础。然后逐个地介绍国产7 CD系列的电视机用集成电路，以及国内常见的若干有代表性的国外的集成电路。

电 视 机 用 集 成 电 路

刘耀骐 许纯如 编著

*

人 民 邮 电 出 版 社 出 版

北 京 东 长 安 街 27 号

北 京 印 刷 一 厂 印 刷

新 华 书 店 北 京 发 行 所 发 行

各 地 新 华 书 店 经 售

*

开本：787×1092 1/32 1980年11月第一版

印张：6 2/32 页数：97 1980年11月北京第一次印刷

字数：138 千字 插页：3 印数：1—57,500册

统一书号：15045·总2428-无6116

定价：0.61元

前 言

集成电路虽在 60 年代末期才开始应用于电视机中，但发展非常迅速，到目前为止，除行扫描输出级外，其他电路都已实现集成化。工业上也生产了许多型号的彩色的或黑白的集成电路电视机。

电视机电路实现集成化后有许多优点。首先，在集成电路中允许采用元器件较多而性能较好的电路，而不会使成本提高很多，因而提高了电视机的质量。其次，实测集成化后可使整机的装配和调整大为简易，便于大量生产。曾有人作过统计，采用集成电路后电视机的生产可以节约劳动 P 30~40%，从而降低了成本。还有，采用集成电路后，外接元件数目较少，使整机的焊接点数目大大减少，从而提高了电视机的可靠性。

目前，电视机用的线性集成电路有两类：薄膜集成电路和半导体集成电路。

所谓薄膜集成电路是在玻璃或陶瓷的基片上，用薄膜蒸发等工艺制造电阻、电容以及连接线，再焊上管芯而成。这种电路的工作频率高，允许流过的电流大，耐压也高，故适用于高频和大功率电路。其缺点是集成度不高，工艺比较繁杂，生产效率低，成本比较高。因此现在逐渐为半导体集成电路所取代。

所谓半导体集成电路，是指在一小块硅单晶片上，利用氧化、扩散、光刻、外延、蒸发等工艺，同时制造出晶体管、二极管、电阻和电容等元件，然后在硅片的表面上蒸发铝层，再光刻出所需的电路连接线而成。这种电路的优点是集成度高，

工艺简单，成本低廉，适合于大量生产，体积也比较小。因此此种电路成为目前电视机集成电路的主要类型。

我国在 70 年代初已开始研制电视机的各种半导体集成电路，目前已生产了许多种产品，并制成彩色的和黑白的集成化电视机。

为了适应当前科技现代化和生产发展的需要，作者编写了这本小册子。书中首先介绍半导体集成电路的基本知识，较详细地分析了线性集成电路的各种基本电路，然后逐个介绍国产 7 GD 系列的各种电视机用集成电路，以及国内外一些有代表性的电视机的集成电路。本书可以作为从事集成电路电视机的生产、维修人员，以及研制电视机集成电路的技术人员的参考书。

限于作者的水平和经验，书中难免有错误不妥之处，希望读者批评指正。

作者

目 录

第一章 线性集成电路的基本知识

第一节 集成电路各元器件的特点..... 2

第二节 半导体集成电路的简要工艺流程.....10

第二章 线性集成电路的基础电路

第一节 恒流源电路.....15

第二节 恒压电路.....23

第三节 直流电平偏移电路.....26

第四节 差分放大器.....30

第五节 模拟乘法器.....46

第六节 增益控制电路.....51

第三章 图象通道中的集成电路

第一节 概述.....57

第二节 双平衡乘法检波器和射随检波器的工作原理.....59

第三节 TBA 440 集成电路.....67

第四节 7 CD 11 和 7 CD 12 集成电路71

第五节 HA 1144 和 HA 1167 集成电路77

第六节 亮度信号处理电路(7 CD 5 和 7 CD6).....87

第七节 自动频率调谐电路 (5 G 36)93

第四章 伴音通道中的集成电路

第一节 概述.....98

第二节 7CD13伴音电路.....99

第三节 KG 583 C 伴音电路..... 109

第四节 音频功率放大器..... 113

第五章 彩色信号处理电路中的集成电路

第一节 概述.....	122
第二节 色度信号放大电路 (7 GD 1 和 7 GD 2)	125
第三节 解调电路 (7 GD 3 和 7 GD 4)	132
第四节 副载波恢复电路 (7 GD 7 和 7 GD 8).....	142
第五节 R、G、B 矩阵电路	155

第六章 扫描电路和稳压电源中的集成电路..... 157

第一节 对行扫描电路的技术要求.....	157
第二节 7 GD 9 和 7 GD 10 行扫描电路.....	159
第三节 HA 1166 Z 行扫描集成电路.....	173
第四节 KC581 C 场扫描集成电路.....	180
第五节 KC582 C 稳压电路.....	184

第一章 线性集成电路 的基本知识

我们翻开线性集成块的电路图，可以看到密密麻麻的许多晶体管，电路的形式看起来也比较复杂，与分立元件电路大不相同。为什么线性集成电路比较复杂呢？这是由它的制造工艺和元器件的特点所决定的。由此还形成了一些不同的电路设计概念和原则。

在分立元件电路中，一个 $1/8$ 瓦的电阻，无论它的阻值是 1 欧还是几兆欧，电阻的体积大小都是相同的，而且电阻的价格也比较便宜。在选用电容器的时候，电容量也不太受限制，从选用几个 pF 的电容一直至几千 μF 的电容都是允许的。在各种元器件中，一般说来，晶体管的价格是最高的，电阻是最便宜的。因此，在设计分立元件的电路时应尽量减少晶体管的数目，而电阻使用得多少是不太重要的。

可是在集成电路中，经济指标不是以单个元器件的价格来衡量的，而是以它占有硅片的面积来衡量。如果各元器件占有的硅片面积很大，则使整个集成块占的硅片面积也大，其价格就贵。此外，电阻阻值的范围也受到限制，一般不能低于 50 欧和高于 100 千欧。应尽量避免使用电容器，必须使用时其容量亦应小于 100 pF 。相反，因为晶体管占的硅片面积较小，所以晶体管是较常用的。由于上述这些特点，故一般集成电路的组成都比分立元件电路复杂。因此，在进行讨论具体的线性集成电路以前，有必要简单地介绍集成电路的制造过程以及各元

器件的一些特点。

第一节 集成电路各元器件的特点

一、各元器件间的隔离

集成电路是把各元器件制造在同一块硅片上，再由内部连接线把各元器件连成电路。因此，各元器件之间在电性能上必须彼此绝缘——隔离。目前最常用的隔离方法是 PN 结隔离法。这个方法就是把各元器件放在被 PN 结包围的小岛中，然后把 PN 结加以反向偏置。我们知道，反向偏置的 PN 结的漏电流很小，绝缘性能良好，所以能够完成隔离任务。

图 1.1 是硅片上隔离岛的平面图，其中白色线条是由 p 型扩散形成的 p 型隔离圈；由白色线条包围的 n 型区域就是各隔离岛。晶体管、二极管、电阻、电容等各元器件就制造在这些隔离岛中。图 1.2 是隔离岛的截面图以及它的等效电路。p 型衬底应接至电路中的最低电位以使各隔离二极管处于反向偏置状态，以保证隔离作用良好。

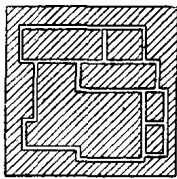
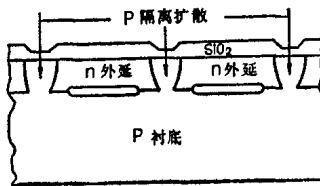
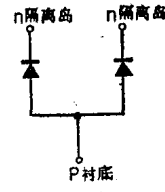


图 1.1 硅片上的隔离岛



(a)



(b)

图 1.2 隔离岛的截面图及其等效电路

应当注意，反向偏置的 PN 结具有结电容，所以在工作频率较高时，隔离作用有所降低。

除 PN 结隔离法外, 尚有二氧化硅隔离法和空气隔离法。它们的隔离性能比 PN 结隔离法更好, 但制造工艺比较困难, 仅在一些要求高的集成电路中采用。

二、NPN 晶体管

集成电路的 NPN 晶体管的截面图如图 1.3 所示。它与普通的分立元件的平面型晶体管的结构非常相似, 不同的是集电极的引出头和发射极及基极的引出头都处在同一平面上。这主要为了电路的各元器件便于互相连线。这样一来, 集电极电流的路径便比普通平面型晶体管狭而长。结果, 集电极的串联电阻增加, 而使得晶体管的饱和压降增大。

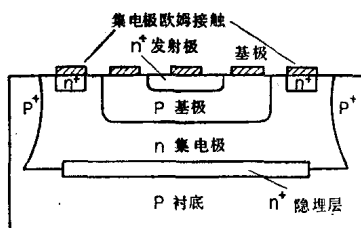


图 1.3 集成电路中 NPN 晶体管的截面图

为了降低集电极串联电阻, 在晶体管的集电极区域预先制作一层高掺杂的 n^+ 隐埋层。 n^+ 隐埋层的电阻率较低, 可以使集电极串联电阻降低至 10 欧的量级。

集成电路的 NPN 晶体管的其他性能, 与普通平面型晶体管大致相同。晶体管的特征频率 f_T 与其工作偏流有关, 目前约可达到 200~700 MHz。

三、PNP 晶体管

在线性集成电路中主要用 NPN 晶体管, 但有时也需要

PNP 晶体管, 以便与 NPN 晶体管配合使用。PNP 晶体管采用横向管, 其结构如图 1.4(a) 所示。它的集电极和发射极是在制造 NPN 晶体管的基极的同一工艺流程中一起制造出来的

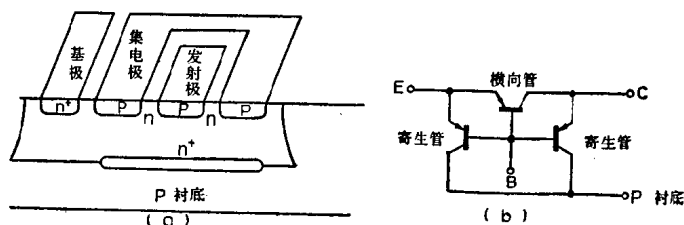


图 1.4 横向 PNP 晶体管

的。因此制作横向 PNP 晶体管并不需要增加新的工艺流程。图 1.4(a) 所示的 PNP 晶体管结构, 其集电极的形状为一矩形, 它包围着的发射极也是一矩形。集电极和发射极也可以做成圆环和圆, 通常也是集电极包围着发射极。在横向晶体管中, 少数载流子是从发射极电极的边沿部分注入基极, 然后以水平方向扩散至集电极, 故称为横向晶体管。

除上述横向管的机理外, 发射极、集电极与 N 型外延层以及 p 型衬底之间又组成垂直方向的寄生 PNP 晶体管, 所以 PNP 晶体管的等效电路应如图 1.4(b) 所示。当横向 PNP 晶体管处于放大工作状态时, EB 结为正向偏置, 而 BC 结为反向偏置。故等效电路右边的寄生 PNP 晶体管的发射结处于反向偏置, 对横向管的工作影响不大。但左边的寄生 PNP 晶体管的发射结亦处于正向偏置, 亦能注入电流, 经基极扩散后到达衬底。因此这一寄生 PNP 晶体管明显地起分流作用, 从而降低了横向 PNP 晶体管的 β 值。此外, 由于工艺的限制, 横向晶体管的基区宽度不能作得很窄, 一般在 $5 \sim 20$ 微米。这也使得横向管的 β 值做不高。一般横向管的 β 值约为 $1 \sim 10$ 。并

且特征频率 f_T 也不高，一般仅有几兆赫，最好的达到十几兆赫，所以横向 PNP 晶体管多用于低频电路。

除上述横向 PNP 晶体管外，当 PNP 晶体管的集电极接地时，也可以采用纵向的结构，如图 1.5 所示。在这一 PNP 晶体管中，P 型衬底作为集电极，N 型外延层为基极，最外一层是发射极。由于基区宽度较宽，所以电流放大系数 β 值也不如 NPN 晶体管高，约可达到 30~50。

由于纵向 PNP 晶体管的集电极必须接地，故仅用于射极跟随器等电路，其应用不如横向晶体管广泛。

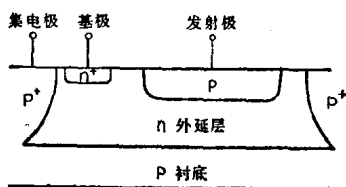


图 1.5 纵向 PNP 晶体管的截面图

四、二 极 管

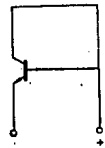
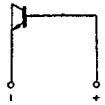
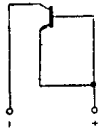
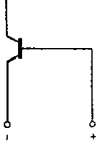
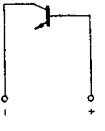
在集成电路中使用的二极管的结构和晶体三极管的结构相同，只是根据用途的不同，把相当于晶体管的发射极、基极、集电极的端子适当地连接起来，便可以当二极管使用。

对于不同的连接方式，二极管的正向压降、反向击穿电压、结电容和存储时间等参数均有所不同。表 1.1 示出各种连接方式的二极管的性能。

五、电 阻

半导体集成电路中的电阻都是用扩散法制造的，通常在制造 NPN 晶体管基区的扩散过程中同时制成，不必另加工艺流

表 1.1 各种连接的二极管的性能

连接方法					
击穿电压 (V)	7	7	50	7	50
正向压降 (V) (10 mA)	0.85	0.92	0.94	0.96	0.95
并联电容 (pF) (5V)	0.5	1.2	0.7	0.5	0.7
存储时间 (ns)	9	100	53	56	85
特点	存储时间短， 无寄生晶体管效应	存储时间长	反向电压高	寄生电压小	反向电压高

程。

扩散电阻的典型结构如图 1.6(a)所示, 它是在 n 型外延层上扩散一定长度和一定宽度的 p 型扩散层, 然后在两端光刻引出线的接点。电阻实际上是一片状电阻或层状电阻 (参看图 1.7)。显然, 电阻阻值应为

$$R = \rho \frac{l}{w \cdot d} \quad (1-1)$$

式中, ρ 为 p 型扩散层的电阻率, l 为扩散电阻的长度, w 为

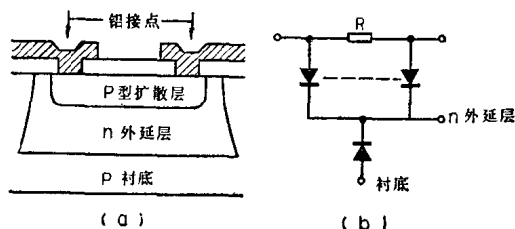


图 1.6 扩散电阻的截面图及其等效电路

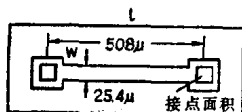


图 1.7 4 kΩ 扩散电阻的顶视图

扩散电阻的宽度, d 为扩散层的厚度, $w \cdot d$ 就是它的截面积。

限于工艺, ρ 与 d 这两个数值在设计电阻时不能任意选择, 都可以看作是常数。令 $R_s = \frac{\rho}{d}$, 则式(1-1)可表示为:

$$R = R_s \frac{l}{w} \quad (1-2)$$

若 $l = w$, 则 $R = R_s$, 故 R_s 亦称为方块电阻阻值, 表示为 $\Omega/\square$ 。

对于基区扩散电阻, 方块电阻阻值约为 $200 \Omega/\square$ 。若需制作一 $4 \text{ k}\Omega$ 的电阻, 则应选 $l/w = 20$ 。图 1.7 示出一 $4 \text{ k}\Omega$ 电阻的图形尺寸。

从式(1-2)可看出: 当电阻阻值较大时, 由于光刻精度的

限制,扩散电阻的宽度不能选得太小,所以它的长度就要很长,电阻所占硅片面积就较大。当电阻阻值很小时,则要求扩散电阻的宽度很宽,电阻所占的硅片面积也比较大。因此,集成电路应当避免使用大阻值和小阻值的电阻,一般使用的阻值范围为 100 欧~20 千欧。

由于扩散工艺和光刻精度的限制,集成电路的电阻阻值的精度并不高,不同批量的产品,其阻值误差可达到 $\pm 20\%$ 。并且由于载流子的数目随温度而变化,电阻的温度系数也比较大。但在同一硅片上,由于各电阻是采用同一工艺流程制成,所以各电阻比值的误差较小,约为 $\pm 3\%$ 。因此在集成电路中,应当尽量采用电路参数仅与电阻比值有关的电路。

从图 1.6 (b) 电阻的等效电路可看到,电阻与衬底之间可以等效为存在许多反向偏置的二极管。这些 PN 结都有结电容,对高频信号起旁路作用。故工作频率增高时,电阻的等效阻值将下降。对于 50 微米宽的 500 欧电阻,当工作频率从 10 MHz 增大至 100 MHz 时,其等效阻值将减少为原来的 70%。

除了基区扩散电阻以外,也可以在制造 NPN 晶体管发射区的扩散过程制造 N 型扩散电阻。由于发射区的杂质浓度较大,其电阻率较低。一般它的方块电阻阻值为 $R_s = 5 \Omega/\square$, 约为基区扩散电阻的 1/40, 故仅适用于小阻值电阻。此外,尚可以利用集电极区域的 N 型外延层制作扩散电阻,其方块电阻值约为 $R_s = 1200 \Omega/\square$, 这适用于制作阻值较大的电阻。

当电阻的阻值更大时,可以采用所谓沟道电阻,其结构如图 1.8 所示。它是在基区扩散电阻的上面再扩散一层相当于发射极的 N 区,结果使原有的 p 型的基区扩散层的厚度变薄了。因此,方块电阻阻值可增大至 10~20 千欧。但沟道电阻阻值的精度很差,其误差甚至在 $\pm 50\%$ 以上。

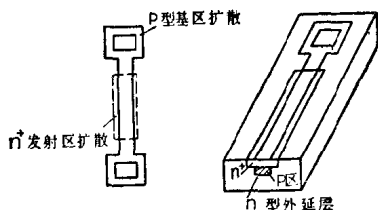


图 1.8 沟道电阻的结构

六、电 容 器

通常采用 MOS 电容来作为集成电路的电容器，它的结构如图 1.9 所示，由两块平行极板构成电容器，其介质是二氧化硅薄膜。下面的一块极板是高掺杂的 n^+ 扩散层，在制作 NPN 晶体管的发射极的工艺流程中制造出来。上面的金属板是在制作金属引线的工艺流程中制造出来。MOS 电容的容量大小主要决定于二氧化硅薄膜的厚度。一般很难做得很薄，约为 500 埃左右。因此这等电容的容量不大，约为 700 pF/mm^2 。也就

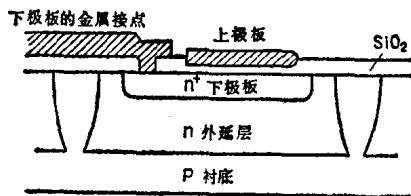


图 1.9 MOS 电容器的截面图

是说， 1 mm^2 的硅片全部用来制作电容器，其电容量仅有 700 pF 左右。

另一种类型的电容器是应用反向偏置 PN 结的结电容，其电容量也做不大，约为 300 pF/mm^2 左右。此等电容量随工作电压而变化，且又有正负极性，故一般多采用 MOS 电容。

由于电容器占硅片的面积较大，所以在半导体集成电路中尽量避免使用电容器，一般在 10 pF 量级的电容器仍常使用，而大容量电容则需在集成电路外面连接。

集成电路各元器件的结构和特点已如上述，目前还不能在制作 NPN 晶体管的工艺流程中制造电感，如果电路需要用到电感，则只有在集成电路的外面连接。各元器件的重要指标之一是它在硅片上所占的面积。因为各元器件所占的硅片面积愈小，则在同一硅片上可制作更多元器件，集成度就更高。从上面的分析可知，晶体管占的面积最小，电阻次之，而电容器占的面积最大。如果把一个晶体管、一个 $1\text{ k}\Omega$ 的电阻和一个 10 pF 的电容进行比较，其所占硅片面积的比例为：1:2:3。如果电阻的阻值比 $1\text{ k}\Omega$ 更大，则电阻所占面积还要大些。因此在半导体集成电路中，尽量避免使用电容器，最好不用大阻值电阻，或宁肯用晶体管来代替大阻值的电阻。

第二节 半导体集成电路的 简要工艺流程

下面简要地介绍 PN 结隔离的半导体集成电路的制造过程，以使大家对半导体集成电路的工艺有一概括性的了解。

一般先将硅单晶切成大片，经过仔细研磨和抛光后，然后用氧化、光刻、扩散、外延、蒸发等一系列操作，在硅单晶片上按照一定的图形和结构制造出我们所需要的电路来。每一集成电路片是很小的，只有一平方毫米左右，所以在一块大片上可以同时制造出几十片到几百片集成电路。例如在直径为 30 mm 左右的大圆片上，可以制作 300 多片相同的电路。这些电路经过初测以后，将不合格的除去，再用切片机切开，分成一