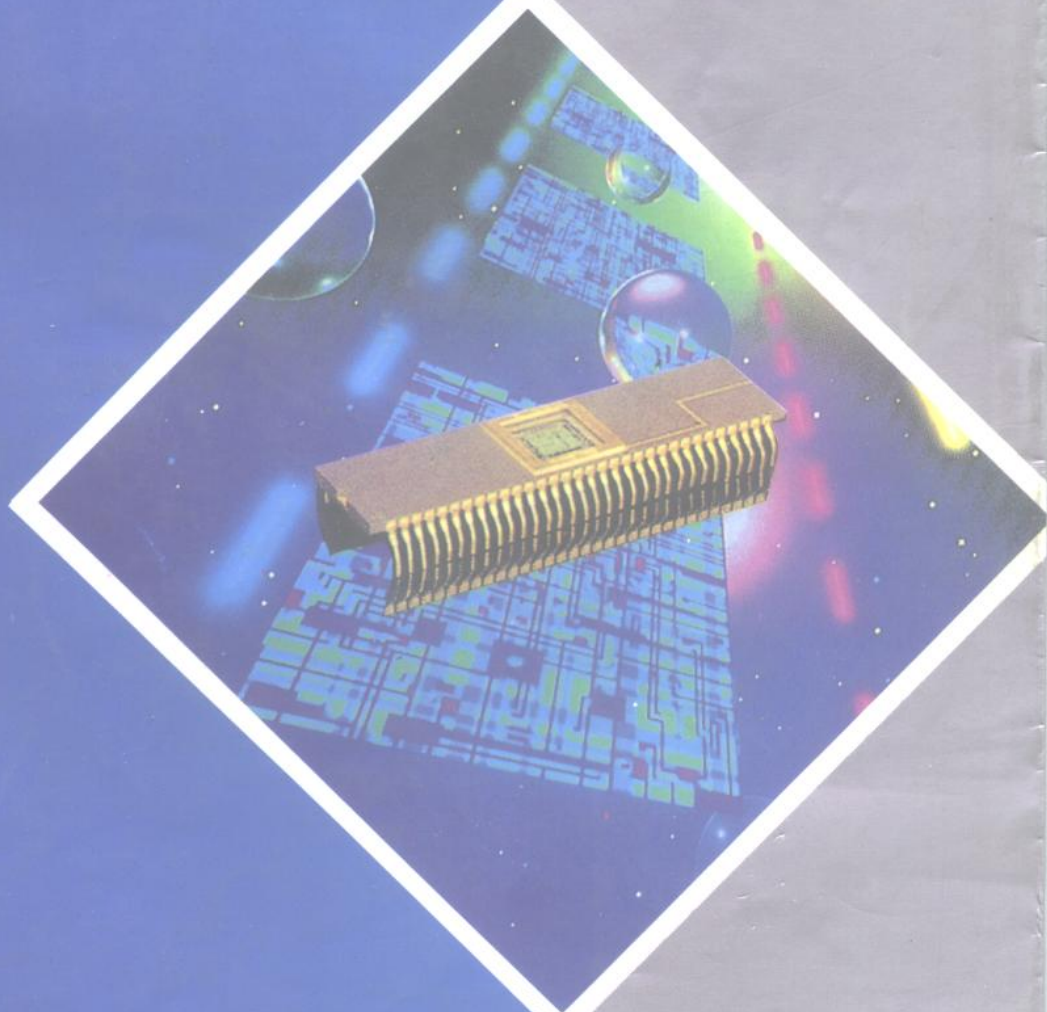


可编程逻辑器件 的开发与应用

居悌 编著



人民邮电出版社

可编程逻辑器件的开发与应用

居 悌 编著

人民邮电出版社

9510082

登记证号(京)143号

内 容 提 要

本书简明、系统地介绍了各种可编程逻辑器件的开发应用技术。全书共分七章:可编程逻辑器件的结构和特点、可编程逻辑的设计方法、可编程逻辑的软件开发工具、可编程逻辑的硬件开发工具、可编程逻辑器件的应用、可编程逻辑器件的分析和可编程门阵列器件FPGA。

本书可供从事计算机应用、电子工程和自动控制等专业的工程技术人员阅读,也可作为高等院校的教材。

可编程逻辑器件的开发与应用

居 梯 编著

责任编辑:刘 彬

*

人民邮电出版社出版发行

北京朝阳门内南竹杆胡同111号

中国铁道出版社印刷厂印刷

新华书店总店科技发行所经销

*

开本:787×1092 1/16 1995年2月 第一版

印张:18 1995年2月 北京第1次印刷

字数:451千字 印数:1 - 4 000册

ISBN 7-115-05408-8/TN·790

定价:20.00元

19950209

前 言

可编程逻辑器件(PLD——Programmable Logic Device)是最新一代的数字逻辑器件,它不但具有很高的速度、集成度和可靠性,而且具有用户可重复定义逻辑功能(即可重复编程)的特点。因此,这种器件使数字系统的设计非常灵活,大大缩短系统研制的周期,大大减小系统的体积和所用芯片的品种。

可编程逻辑器件 PROM 早在 70 年代就已经出现,至今它已经历了几代产品的演变。随着计算机辅助设计和大规模集成电路技术的发展,可编程逻辑器件的发展非常迅速。特别是到了 80 年代中期,除了原有的 PROM 器件的规模有了很大的发展以外,还出现了一些新的可编程逻辑器件。其中以可编程阵列逻辑(PAL——Programmable Array Logic)和通用阵列逻辑(GAL——Generic Array Logic)为代表的 PLD 技术在深度和广度上的发展更为突出,应用也越来越广泛。

可编程逻辑器件的规模介于 SSI/MSI 和 LSI 器件之间,人们在寻求更大规模的可编程逻辑器件时,美国 XILINX 公司在 80 年代后期首先推出一种大规模的现场可编程门阵列器件(FPGA——Field Programmable Gate Array)。FPGA 的出现,使传统的大规模门阵列技术受到很大冲击。这种大规模集成电路的可编程特点,使可编程逻辑技术又上升到一个崭新的高度。近年来,FPGA 的发展也十分迅速。国外已有报道,美国 AT&T 微电子公司将在 1994 年推出集成度为 22000 门的 FPGA。

可编程逻辑器件有着广阔的应用前景,在国际上对它的开发应用已十分普及,在国内只是近年来才引起广大工程技术人员的浓厚兴趣,其势头方兴未艾。本书综合了目前国内外的有关资料,并结合作者所领导的课题组近年来的研究成果,简要地介绍了可编程逻辑器件开发应用的有关原理和技术,为从事有关专业的工程技术人员和高等院校师生提供一本简明、实用的参考书。

在本书介绍的可编程逻辑器件的分析技术研究中,国家自然科学基金委员会给予了极大的支持;研究生董嘉奋、银延伟和姜么武同学作出了很大贡献;本书清稿的计算机键入工作由姜么武、朱晓刚和陈胜宇同学完成,在此一并致谢。

限于作者水平,书中难免有错误和疏漏,恳请读者批评指正。

居 悌
1994 年 3 月

目 录

第一章 可编程逻辑器件的结构和特点	1
1.1 概述	1
1.2 PROM 器件	3
1.3 PLA 器件	7
1.4 PAL 器件	9
1.5 GAL 器件	13
第二章 可编程逻辑的设计方法	23
2.1 设计软件 PALASM	23
2.2 组合型逻辑的设计方法	24
2.3 寄存器型逻辑的设计方法	29
2.4 可编程逻辑的设计方法	34
2.5 状态机设计方法	43
第三章 可编程逻辑的软件开发工具	59
3.1 概述	59
3.2 FM 汇编软件	59
3.3 PALASM2 软件包	61
3.4 CUPL 编译软件	65
3.5 ABEL 编译软件	72
第四章 可编程逻辑的硬件开发工具	83
4.1 EPROM 读写板	83
4.2 EPROM 编程器	90
4.3 DVCC 开发系统	98
4.4 通用编程器	107
第五章 可编程逻辑器件的应用	120
5.1 PROM 器件的应用	120
5.2 PLA 器件的应用	124
5.3 PAL 器件的应用	136
5.4 GAL 器件的应用	174
第六章 可编程逻辑器件的分析	215
6.1 黑箱辨识方法	215
6.2 预处理原理	217
6.3 预处理中的预加载过程	222
6.4 逻辑化简	223
6.5 DEGAL—A 通用阵列逻辑分析仪	227

第七章 可编程门阵列器件 FPGA	231
7.1 FPGA 器件的结构	231
7.2 FPGA 开发系统 XACT	241
7.3 ORCAD/SDT 输入软件	245
7.4 XNF/LCA 转换软件	253
7.5 APR 自动布线布局软件	256
7.6 ORCAD/VST 模拟软件	260
7.7 XACT 设计编辑软件	265
7.8 XACT 配置软件	273
7.9 FPGA 设计过程小结	279
参考文献	281

第一章 可编程逻辑器件的结构和特点

1.1 概 述

传统的逻辑器件的功能是固定的,所以有时称为定制器件。采用定制器件设计逻辑电路系统有很多缺点。当用很多简单的定制逻辑器件构成逻辑电路板时,集成度很低。而且,由于定制器件的功能是固定的,所以在改进和调试新的系统的过程中必需修改印制板,从而使研制周期很长。同时,这种采用定制器件的逻辑电路系统的可靠性和可维护性都很差。

针对定制器件的局限性,人们研制了一种可编程逻辑器件,英文缩写为 PLD (Programmable Logical Device)。PLD 器件与传统定制器件的主要区别是它的可编程性,它的逻辑功能是由用户构造的,并且一般都是可重复编程和擦除。使用可编程逻辑器件,可以使系统设计非常灵活,大大缩短研制周期,并能极大地提高系统的集成度。

典型的 PLD 器件一般都是二级结构,通常第一级为“与”阵列,第二级为“或”阵列。由“与”阵列输入,进行“与”逻辑组合,形成乘积项,再由这些不同的乘积项通过“或”阵列构成所要求的逻辑函数输出。逻辑编程的物理实现,一般都是通过熔丝或 PN 结的熔断和连接,或者对浮栅的充电和放电来实现的,这些概念在以下几节中都将具体介绍。

PLD 器件逻辑图中的连接表示有特殊的约定,如图 1.1 所示。其中连线交叉处有实点的表示固定连接;有符号“×”的表示编程连接;否则表示不连接或是擦除单元。由于 PLD 器件的阵列连接规模十分庞大,所以在 PLD 器件的描述中使用一种简化方法,如图 1.2 所示,图中是一个三输入“与”门的两种表示方法。又如图 1.3(a)所示的简单组合逻辑电路,它的 PLD 表示法如图 1.3(b)所示。

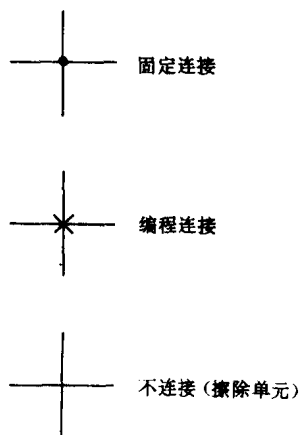


图 1.1 PLD 器件的连接表示法

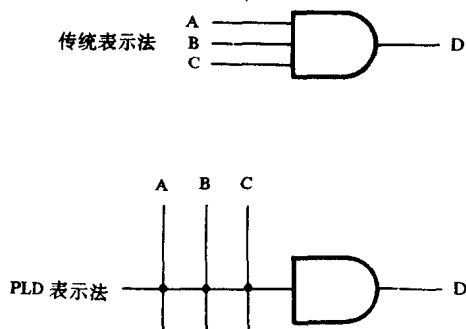
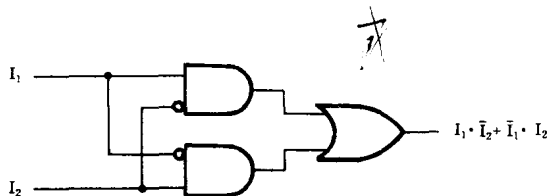


图 1.2 “与”门的表示法



一条横线表示一个517

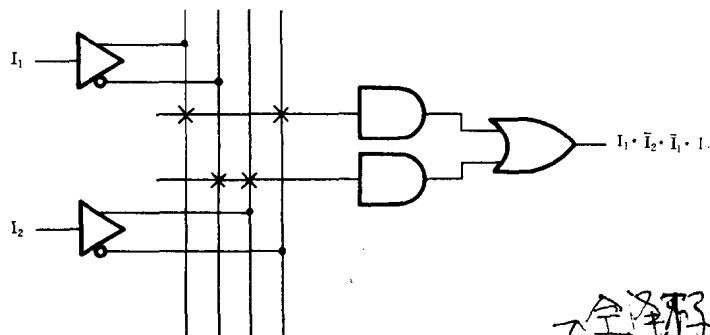


图 1.3 简单组合逻辑电路

最早的 PLD 器件出现在 70 年代初,称为可编程只读存储器 (PROM),它的基本结构包含一个固定的“与”阵列和一个可编程的“或”阵列。PROM 一般用来存储计算机程序和数据,它的输入是计算机存储器地址,输出是存储器单元的内容。图 1.4 是一个 8 字×3 位的 PROM 逻辑图。由图可见,它的“与”阵列是一个“全译码阵列”,即对某一组特定的输入 $I_i (i=0,1,2)$ 只能产生一个唯一的乘积项。因为是全译码,当输入变量为 n 时,阵列的规模为 2^n ,所以 PROM 的规模一般很大,且价格昂贵。

巨大阵列的开关时间,使 PROM 器件的速度受到了限制。事实上,大多数逻辑功能并不使用到所有可能的输入组合,全译码阵列中的许多输入的译码是无效的,于是又出现了一种新的 PLD 器件,称为可编程逻辑阵列 (PLA),也称现场可编程逻辑阵列 (FPLA),其基本结构如图 1.5 所示。由图可见,PLA 器件所包含的“与”阵列和“或”阵列都是可编程的,设计者可以控制全部的输入和输出,这为逻辑功能的处理提供了更有效的方法。然而,这种结构在实现比较简单的逻辑功能时就比较浪费,且价格昂贵,而且相应的编程工具的开支也较大。

70 年代末出现了可编程阵列逻辑器件 (PAL),它既具有 PLA 的灵活性,又具有 PROM 易于编程的特点,其基本结构包含一个可编程的“与”阵列和一个固定的“或”阵列,如图 1.6 所示。PLA 器件“与”阵列的可编程特性使输入项增多,而“或”阵列的固定又使器件简化,所以目前这种器件的应用很广。

80 年代初期,美国晶格半导体 (Lattice Semiconductor) 公司推出一种新型的 PLD 器件,称为通用阵列逻辑 (GAL),一般认为

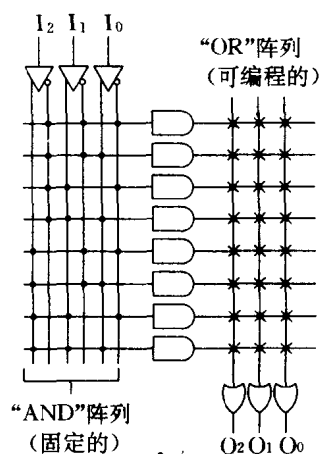


图 1.4 基本 PROM 结构

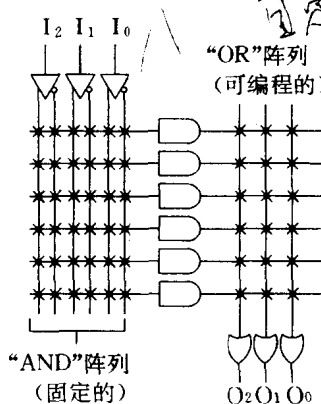


图 1.5 基本 PLA 结构

它是第二代 PLD 器件。由于 GAL 器件具有可擦除、可重复编程和可加密等特点,所以它在 PLD 器件中占有特殊的地位,是目前最理想的、可重复编程的逻辑器件。目前最常用的 GAL 器件有 GAL16V8 和 GAL20V8 两种,它们能仿真所有的 PAL 器件。

GAL 器件的基本结构如图 1.7 所示。GAL 与 PAL 器件在结构上的主要区别是具有输出逻辑宏单元(OLMC),PAL 器件的可编程“与”阵列是送到一个固定的“或”阵列上输出的,而 GAL 器件的“与”阵列是送到 OLMC 单元上输出的。通过对 OLMC 单元的编程,器件能满足更多的逻辑电路要求,设计更为灵活,从而比 PAL 器件具有更多的功能。OLMC 单元的具体结构和作用将在 § 1.5 节中加以介绍。

随着超大规模集成电路(VLSI)技术的发展,生产上述更大规模的可编程器件是没有问题的,但是这些传统的可编程逻辑器件

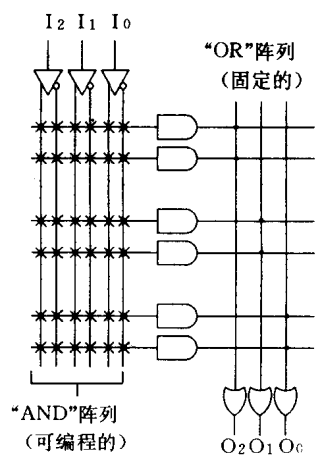


图 1.6 基本 PAL 结构

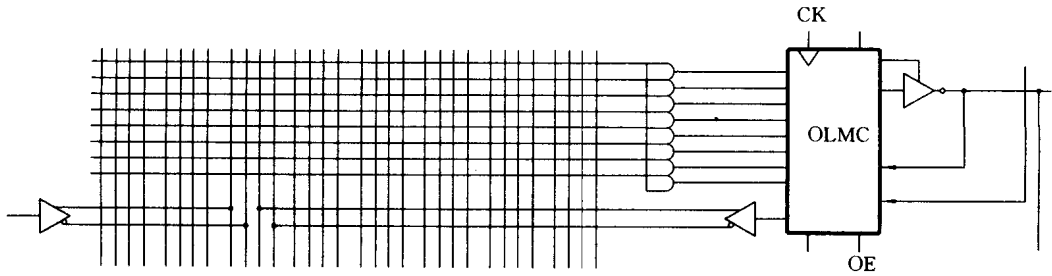


图 1.7 基本 GAL 结构

的利用率会随着规模的扩大而下降。80 年代中期出现的可编程门阵列(PGA),也称现场可编程门阵列(FPGA),在这方面则有独到之处。FPGA 器件的芯片中有被互连网络包围的简单逻辑单元阵列,芯片周围是输入/输出单元。FPGA 的互连模式是由编程确定的,用户可以通过编程确定每个单元的功能及它们之间的互连关系。由于 FPGA 器件的集成度高,使用灵活和引脚数多(可达 100 多条),因此可以填补高性能微处理器和标准逻辑器件之间的空白。应该指出,通常把 FPGA 器件单独作为一种器件来研究,并不划在 PLD 器件之列,所以本书对 FPGA 将单列一章来介绍。

1.2 PROM 器件

PROM 器件从物理结构上主要分为两类:一类是双极型结构的,另一类是 MOS 型结构的。一般双极型结构的 PROM 器件只能一次可编程,其中又分为熔丝可编程和结破坏可编程两种。MOS 型结构的 PROM 器件是可重复擦除和可重复编程的,其中又分为紫外线可擦除和电可擦除两种。

1.2.1 熔丝型 PROM

图 1.8 给出了一个典型的熔丝型 32×8 位 PROM 逻辑图,它的基本单元是发射极连有一

段镍铬熔丝的三极管,由这些三极管组成一个存储矩阵。熔丝在正常工作电流下不会被熔断,但在几倍于工作电流的编程电流下就会立即熔断。在存储矩阵中,熔丝断的存储单元被选中时,不构成通路,因而无电流输出,以此表示存储信息为“0”;熔丝未断的存储单元被选中时,三极管导通,因而有电流输出,以此表示存储信息为“1”。可见,一个未编程的熔丝型 PROM,其存储矩阵中的信息是全是“1”。

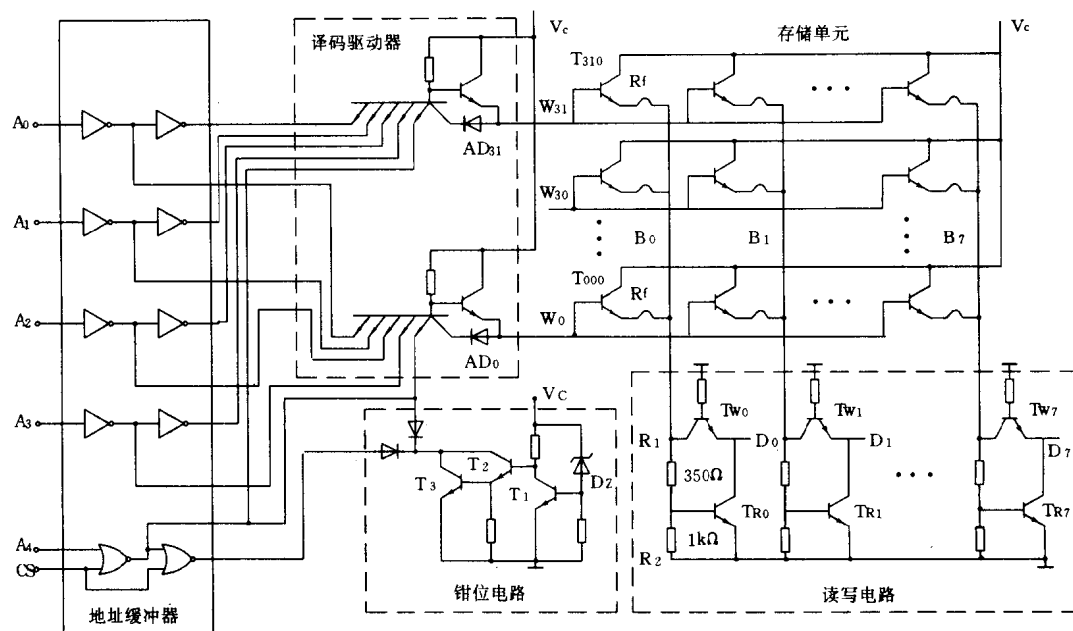


图 1.8 熔丝型 32×8 位 PROM 逻辑图

为了说明对 PROM 器件的读写过程,有必要先介绍 PROM 的工作机理。由图 1.8 可见,一般熔断型 PROM 电路由地址译码缓冲器、译码驱动器、存储矩阵、钳位电路和读写电路五部分组成。它们的功能分别为:

1. 地址译码缓冲器是由两级反相器组成,其作用是将输入地址 $A_i (i=0,1,\dots,4)$ 变为互补输出 A_i 和 $\overline{A_i}$,作为地址译码驱动器的输入信号,其中的输入地址 A_4 与片选信号 CS 送入“或非”门,分别输出 $\overline{A_4} * \overline{CS}$ 和 $A_4 * \overline{CS}$ 。当片选信号 CS 为高电平时,两个“或非”门的输出均为低电平,从而封锁了 32 个地址译码驱动器的全部输入端,PROM 芯片处于禁止状态,这就是 CS 的片选作用。

2. 地址译码驱动器由两个三极管(其中一个为多发射极晶体管)、一个二极管和一个电阻组成。多发射极晶体管起译码作用,当发射极端均为高电平时,地址译码驱动器才有高电平输出,使对应的字驱动线被选中(为高电平),从而驱动存储矩阵,对存储单元进行读写。

3. 存储矩阵是由 32×8 个存储单元(带熔丝的三极管)组成。每行三极管基极连成一字线(或称行),以 $W_i (i=0,1,\dots,31)$ 表示;每列三极管射极(通过熔丝)连成一位线(或称列),以 $B_i (i=0,1,\dots,7)$ 表示。

4. 钳位电路并联在地址缓冲器输出 $\overline{A_4} * \overline{CS}$ 和 $A_4 * \overline{CS}$ 上。在正常工作($V_c=5V$)时,稳压管 D_z 不导通, T_1 截止, T_2 和 T_3 导通,地址译码驱动器的输出端钳位在 2.1V;在写入(或改写)工作($V_c=6V$)时,稳压管 D_z 导通, T_1 导通, T_2 和 T_3 截止,钳位输出端相当于开路,对地址译码驱动器无影响。

5. 读写电路中的 $T_{wi}(i=0,1,\dots,7)$ 是写入管, $T_{Ri}(i=0,1,\dots,7)$ 为读出管。在进行写入(或改写)工作时,数据端 $D_i(i=0,1,\dots,7)$ 加负电压($-2V$), T_{wi} 饱和导通。当字驱动脉冲到来时,电源 V_c 经被选存储单元、位线、 T_{wi} 管到 $-2V$ 有一大电流,将熔丝熔断,于是存储单元被写入(或改写)为“0”;在进行读出工作时, T_{wi} 管不起作用,读出电流经位线加到 $T_{Ri}(i=0,1,\dots,7)$ 的基极,由 T_{Ri} 管集电极输出信息。

PROM 的编程的实质是如何处理熔丝的熔断问题,即把存储单元的“1”改写为“0”。例如,若需将存储单元 T_{000} 的熔丝熔断,其步骤为:

1. 将电源 V_c 提高为 $6V$;
2. 送入地址代码(本例 $A_0 \sim A_4$ 为全“0”);
3. 片选信号 CS 加低电平;
4. 数据端 D_0 加负电压($-2V$)。

经过译码,字线 W_0 被选中,呈现高电平。这时由电源 V_c 经被选中的存储单元 T_{000} 、位线、 T_{w0} 管到 $-2V$ 有一大电流,将被选单元的熔丝熔断,该单元的信息被写为“0”。依此类推,可对其它单元进行写入。

1.2.2 结破坏型 PROM

结破坏型 PROM 与熔丝型 PROM 的主要区别是存储单元。结破坏型 PROM 存储单元是一对背靠背连接的二极管,如图 1.9 所示。原始的存储单元是一对背靠背连接的二极管,正常工作时不导通,字线存储信息为“0”。当写入(或改写)为“1”时,可使用恒流源产生 $100 \sim 150mA$ 的电流,将选中单元中的反接二极管的 PN 结击穿短路,使单元只剩下一个正向连接的二极管,存储信息为“1”。显然,对于写入“0”信息的单元,数据位不加电流即可。

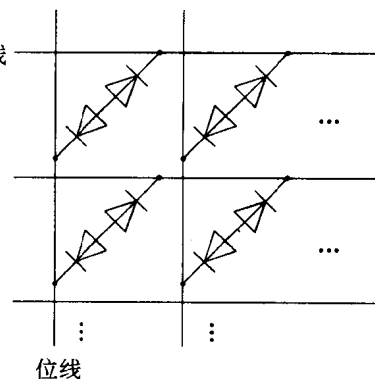


图 1.9 结破坏型 PROM 存储单元

1.2.3 EPROM 器件

EPROM 器件是一种可擦除、可重新编程的 PLD 器件,存储单元都采用浮栅雪崩注入 MOS 电路,简称 FAMOS 管。FAMOS 管在结构上有 P 沟道和 N 沟道两种形式,现有的产品大多采用 N 沟道。图 1.10 给出了 N 沟道 FAMOS 管的结构图。FAMOS 管与一般 NMOS 管的主要区别在于它的栅极没有外引线,完全为二氧化硅绝缘层所包围,处于浮动状态,所以称为“浮栅”。

原始状态时浮栅不带电荷,源极 S 和漏极 D 间无沟道,不导通,处于关闭状态,存储信息为“1”。当 FAMOS 管的源极与衬底接地电位,漏极接较高正电压时,漏极 PN 结处于反向击穿,产生“雪崩”现象,并出现一些高能量空穴,这些空穴从漏极 N 区穿过很薄的二氧化硅层到达浮栅,并使浮栅积累正电荷,从而源漏间产生一沟道而连通,使 FAMOS 管处于通导状态,存储信息为“0”。由于浮栅被二氧化硅包围着,因此浮栅一旦有了电荷就不容易失掉,使源漏永远处于导通状态。

FAMOS 管存储单元的信息写入,要根据用户的程序,用加电压的方法使要写为“0”的 FAMOS 管浮栅充电,而对写“1”单元则不加电压,使其保持原信息“1”。为了擦除 FAMOS 管存储单元中的信息,以便重编程,必需使浮栅中的空穴从外界获得足够的能量,克服浮栅与二

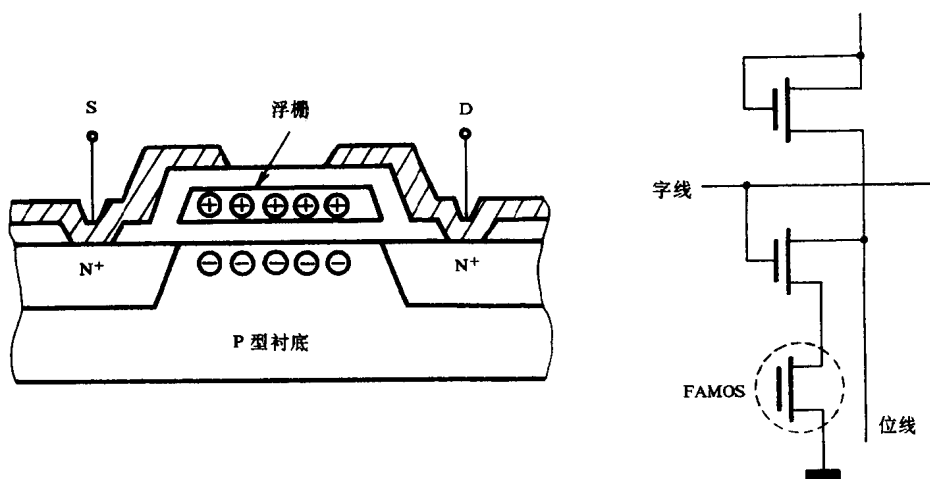


图 1.10 N 沟道 FAMOS 管的结构

氧化硅的势垒泄放掉(即栅极放电),恢复浮栅不带电荷的状态,使存储单元的信息由“0”变为“1”。实现栅极放电的方法,一般是用 $12\text{mW}/\text{cm}^2$ 紫外线灯,距芯片 3cm 照射 $10\sim 20$ 分钟,即可对 EPROM 信息整体擦除。

EPROM 器件已比较成熟,目前 Intel 公司已能提供从 $1\text{K}\times 8$ 位到 $32\text{K}\times 8$ 位的系列芯片。

1.2.4 EEPROM 器件

EPROM 器件的缺点是只能整体擦除,不能实现对位擦除,而且擦除操作繁琐,器件的频繁拔插对器件的可靠性也有影响。此外,由于编程电压高于工作电压,因此编程不慎容易造成 RAM 区内容被冲。而 EEPROM 不存在上述缺点,它的擦除是电信号擦除。

EEPROM 存储单元的结构如图 1.11 所示,它的栅极放电方法与 EPROM 不同。在 EEPROM 中,漏极 D 上方增加一个隧道二极管,它在第二栅与漏极间的电压 V_G 提供的电场作用下,可使电荷通过它流向浮栅(即起编程作用);若 V_G 的极性相反,也可使电荷从浮栅流向漏极(起擦除作用)。而编程和擦除所需的电流是极小的,可用普通电源供给 V_G 。

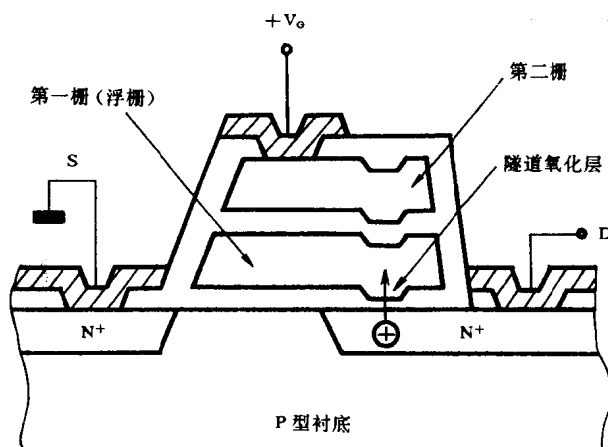


图 1.11 EEPROM 单元结构

EEPROM 器件的发展比较迅速。在集成度方面,目前采用 NMOS 的 EEPROM 规模已达到 $32K \times 32$ 位(如 Motorola 的 MCM2802),而且正在向 CMOS 发展,以进一步提高集成度。1994 年初,日本 ME 公司已推出 $2M \times 8$ 位的用 CMOS 工艺实现的 EEPROM 器件 M5M28F016。在功能方面,除了并行 EEPROM 器件,还出现了串行 EEPROM 器件,串行 EEPROM 器件大大减少控制线,简化了设计,降低了成本。例如 NCR 公司推出的串行 EEPROM 器件 59308,结构如图 1.12 所示,是一个 64×16 位的器件,仅用 4 条控制线。NCR59308 通过 DI 引线以串行方式接收指令、地址和数据信息,且在时钟上升沿期间对位单元进行访问,而数据可以通过 DO 引线串行输出。控制芯片操作的四条指令是读、写、字擦除和整体擦除,每条指令由 9 位组成,即一位启动位,2 位操作码和 6 位地址码,如表 1.1 所示。

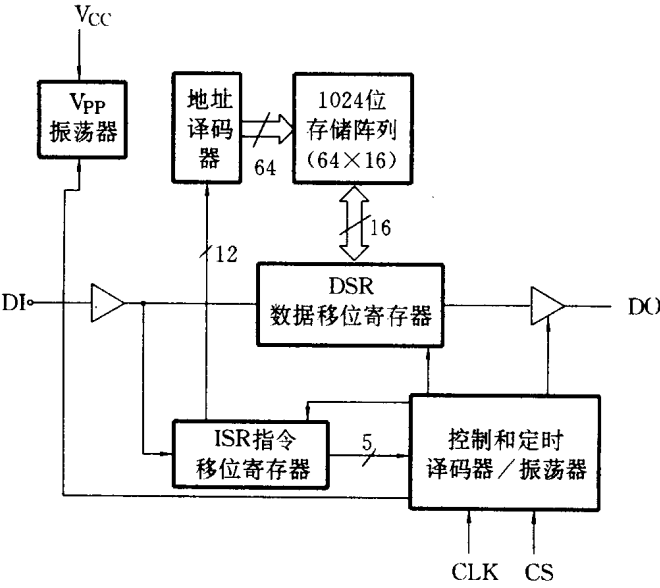


图 1.12 NCR59308 框图

表 1.1 NCR59308 指令表

指令	启动位	操作码	地址码
整体擦除	1	00	$10 \times \times \times \times$
字擦除	1	11	$A_5 \sim A_0$
写	1	01	$A_5 \sim A_0$
读	1	10	$A_5 \sim A_0$

1.3 PLA 器件

1.3.1 PLA 器件基本结构

PLA 器件的基本结构如图 1.1.3(a)所示,对应的逻辑结构如图 1.13(b)所示。PLA 器的基本结构由“与”和“或”两级可编程阵列组成,通过适当配置阵列网格点上的二极管,“与”阵列

实现输入变量或输入反变量的任意逻辑积,“或”阵列实现这些逻辑积任意组合的逻辑和。

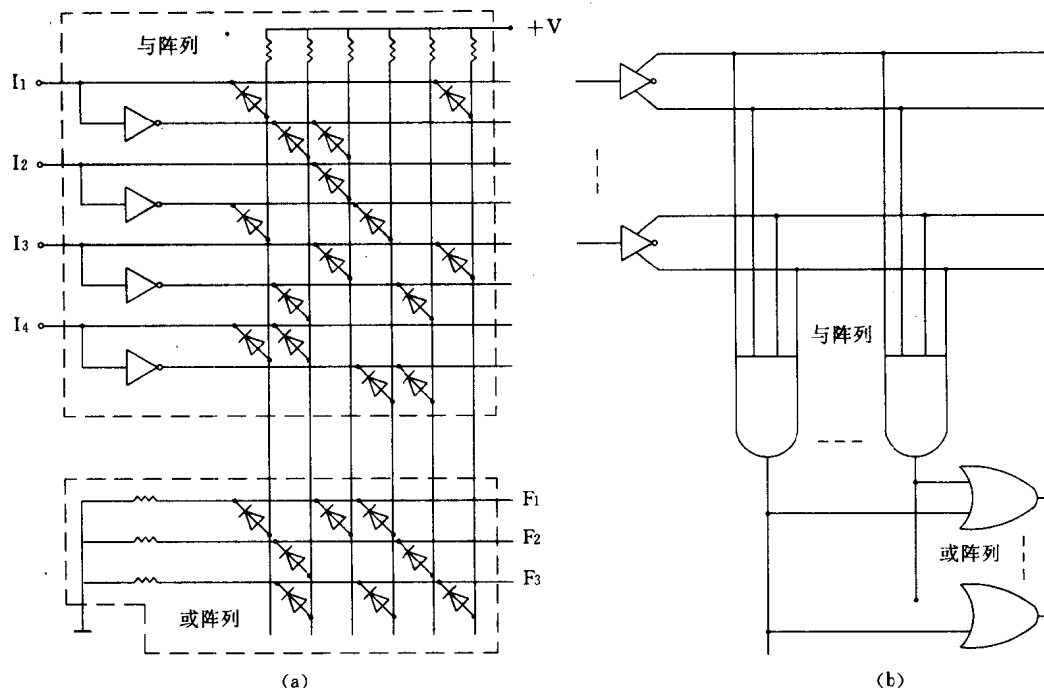


图 1.13 PLA 器件的基本结构

图例中的 PLA 器件实现下述逻辑功能:

$$F_1 = I_1 * /I_2 * I_4 + /I_1 * I_2 * I_3 + /I_2 * /I_4$$

$$F_2 = /I_1 * /I_3 * I_4 + /I_3 * /I_4$$

$$F_3 = /I_1 * /I_3 * I_4 + /I_2 * /I_4 + I_1 * I_3$$

由此可见,各逻辑函数是以“积一和”形式出现的。积项对应于图上的列线,输入变量对应于“与”阵列的行线,输出函数对应于“或”阵列的行线。“与”和“或”阵列各网格点上有无二极管的不同编排(即编程),就能得到不同的逻辑函数,这就是可编程逻辑阵列的含义。

“与”和“或”阵列中二极管(在简化图中用 PLD 约定的黑点表示)的配置称为 PLA 图像。PLA 编程方式主要有两种,即掩膜 PLA 和现场可编程 PLA (FPLA)。掩膜 PLA 是在芯片制作过程中用掩膜确定二极管图像,适用于需要大量同类图像和速度要求较高的情况。FPLA 可根据用户需要使用编程工具现场写入,适用于品种多而用量少的随机逻辑。FPLA 又分为熔丝型和结破坏型两种。熔丝型 FPLA 的网格点由带熔丝的二极管单元组成,编程时把不需要二极管的熔丝熔断,使二极管无效。结破坏型 FPLA 的网格点由基极开路的晶体管单元组成(相当于一对背靠背二极管),编程时把需要二极管单元中的基极击穿短路,形成导通二极管。

此外,根据逻辑功能类别,FPLA 又分为组合型和时序型两种。只用“与”阵列和“或”阵列构成的 PLA 称为组合型 PLA;而带有反馈触发器和输出寄存器的 PLA 称为时序型 PLA,又称为 FPLS。其输出结构如图 1.14 所示。

1.3.2 PLA 器件的特点

在功能方面,由于 PLA 是“与一或”两级可编程结构的多输入输出的组合逻辑电路,因而可以实现任意的逻辑函数。在采用 PLA 进行逻辑设计时,不必知道具体逻辑电路,而是可以直

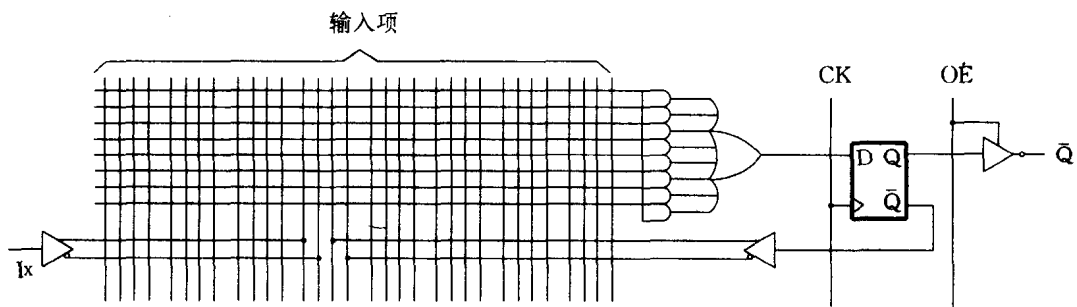


图 1.14 时序型 FPLA

接根据逻辑关系要求，系统地推导出逻辑函数表达式或真值表，再把它们直接变换成与已规格化电路结构相对应的编程信息，采用适当的编程工具把 PLA 器件编程为具有所需逻辑功能的器件。若将 PLA 的输出向输入反馈，还可构成时序逻辑电路。

在信息存储方面，PLA 相当于带可编程地址译码器的 ROM，不同之处在于 ROM 是“全译码”寻址，而 PLA 是“部分译码”寻址。在 ROM 的寻址中，对每一个存储字的寻址是将全部地址输入进行译码，每一可能的地址组合对应于唯一的一个存储字，即每一个存储字都需要用全部的地址输入参加寻址，因而 ROM 的存储数等于可能的地址组合总数。若地址数为 n ，则字数为 2^n 。在 PLA 的寻址中，输入“与”阵列中的每个积项可以包含某几个输入变量，而与其它输入变量无关，因而积项是可编程的，即可以允许一个输入组合同时选择几个积项，也允许几个不同的输入组合选择同一个积项。同时，由于积项个数只是可能输入组合中的一小部分，即输入变量个数为 n 时，积项个数远小于 2^n ，因此与 ROM 相比，使用 PLA 在很多情况下更灵活、更经济。

此外，PLA 器件还具有可以任意选择输出极性和在某些情况下可以修改图像的等优点等等。

1.4 PAL 器件

PAL 器件比 PROM 更灵活，能完成更多的逻辑功能，同时又比 PLA 工艺简单，易于编程。

1.4.1 PAL 器件的基本结构

PAL 器件的基本逻辑结构是由可编程的“与”阵列和固定的“或”阵列组成，如图 1.15 所示。PAL 器件“与”阵列的可编程使器件具有很多输入端，而固定“或”阵列又使器件体积小，速度快。

基本的 PAL 器件内部只有“与”阵列和“或”阵列，这类 PAL 器件适用于构成组合逻辑。除此以外，PAL 器件在内部结构特点上分，还有带反馈的阵列型、带反馈的寄存器型和异或型三种类型。

1. 带反馈的阵列型

带反馈的阵列型结构如图 1.16 所示。这种结构的输入输出信号可由程序设置，即可编程为高电平有效，又可编程为低电平有效。可以用“与”阵列中的积项信号来直接控制三态门的输

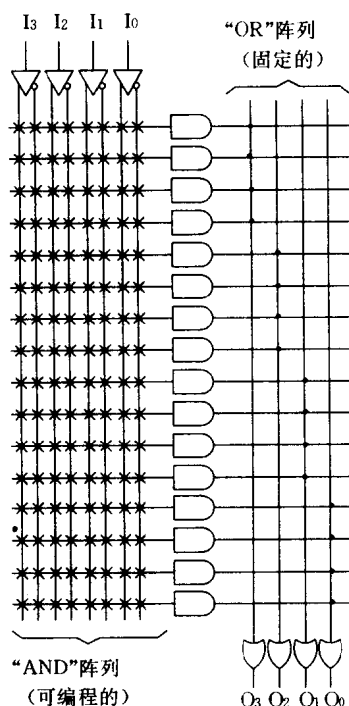


图 1.15 PAL 器件的基本结构

出,而反馈结构又使三态输出反馈到“与”阵列的输入端。在三态门开通时,该引线具有输入输出功能,而在三态门关闭时,该引线仅为输入端。上述特性可以使某些引线具有输入/输出双重功能,从而可以改变输入输出端的数目,在移位操作和传送串行数据等场合颇为有用。

输入、反馈及I/O

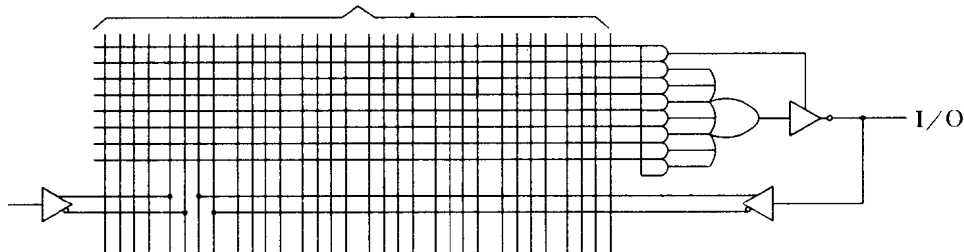


图 1.16 反馈型结构

2. 带反馈的寄存器型

带反馈的寄存器型结构如图 1.17 所示。这种结构将每一个积项之“和”输出,由系统时钟(上升沿)控制存入 D 触发器,而触发器 Q 端信号的输出 Q 受三态门控制,/Q 端信号可反馈到阵列作为输入信号。该反馈功能使 PAL 电路能记忆先前的状态,并根据该状态改变功能。这类 PAL 电路适用于构成状态时序机,实现增值计数、减计数、跳位、移位和分支等功能。

3. 异或型

异或型结构如图 1.18 所示。这种结构将阵列中“积-和”项分为两部分,并对它们“异或”后输入到 D 触发器。这种“异或”功能为计数器和状态机的保持(HOLD)操作提供了简易的实现方法。

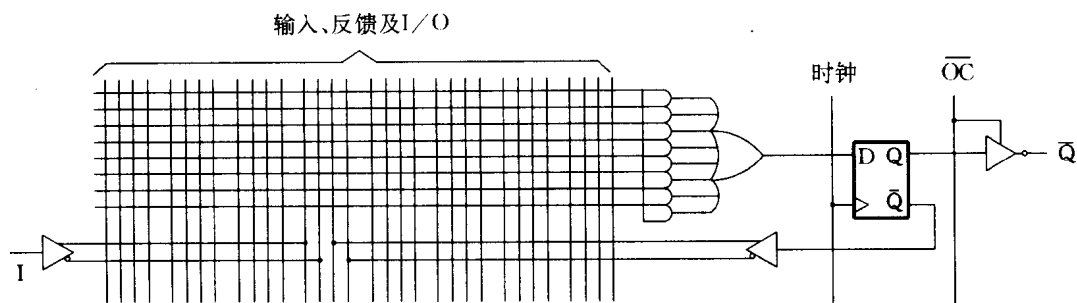


图 1.17 带反馈的寄存器结构

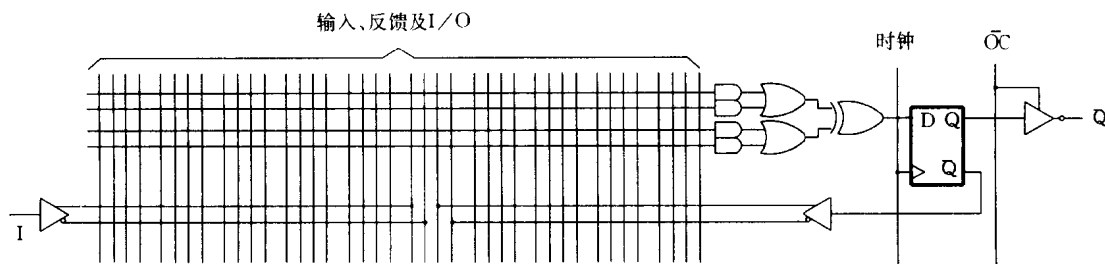


图 1.18 异或型结构

以上所述,只是 PAL 器件内部的局部电路。图 1.19 给出了一个典型的、完整的 PAL 器件内部逻辑电路,不同类型 PAL 的区别主要在于输出结构。

1.4.2 PAL 器件的特点

PAL 器件在逻辑设计领域中占有独特的地位,它为解决系统分散、接口电路等问题节省了大量的时间和资金,避免了用户在使用定制或半定制 ASIC 器件所遇到的时间与资金等方面的风险。PAL 器件把可编程的灵活性和接口功能的可选择性融合在一起,以实现各种复杂功能。归纳起来,PAL 器件具有以下几方面的特点:

1. 能直接取代逻辑电路。PAL 器件可以替代各种标准逻辑功能器件,特别在实现各种大规模集成电路(LSI)功能部件所要求的接口功能时,使用 PAL 器件可使电路设计得到优化。
2. 设计灵活。PAL 器件为系统设计师提供更多的选择。在传统的数字逻辑系统设计中,大多采用中小规模集成电路(SSI/MSI)和微处理器等器件来实现。然而,有时用 SSI/MSI 去实现所需的逻辑,相当繁杂以至不可行;而选用微处理器芯片,使用效率不高。PAL 器件恰恰为设计者提供了高密度、高速度、高性能和低成本解决办法。
3. 节省空间。一块 PAL 器件可以替代 4~12 片简单逻辑器件,使印制板布局更加紧凑,大大节省空间,提高系统集成度。
4. 能满足高性能要求。PAL 器件速度高于 TTL 电路,因此 PAL 器件适用于实现大量的逻辑运算和中等复杂程度的高速控制程序。在微处理机系统中,PAL 可用于处理高速数据传送接口。目前,PAL 器件已成为 32 位小型机发展的推动力之一。
5. 易于编程。可以采用标准 PROM 编程器对 PAL 实现快速编程,专用开发工具投资少。此外,PAL 器件编程后还可加密,将保密熔丝熔断后,读写仪器就无法读出内部编程内容,起到电路成果保密作用。