

数字电路故障检修入门

〔美〕 詹姆斯 科夫朗 著
唐熙曾 林 泳 译

新时代出版社

内 容 简 介

本书是一本检测数字电路故障的专业性读物,内容包括:逻辑符号和静态数字电参数,数字输入电平和数字输出电平的故障,定时电路故障检测介绍,运算放大器电路故障检测,故障检测练习,半导体存储器与半导体存储器系统的故障检测,一个先进的故障检测练习,CMOS和ECL以及计算机控制系统的故障检测等九章。

本书可供具有中等文化水平并有一定的数字电路基础知识的有关专业的工程技术人员、生产工人及大专院校师生们参考。

GETTING STARTED IN DIGITAL TROUBLESHOOTING

James Coffron

Reston Publishing Company, Inc. 1979

*

数字电路故障检修入门

〔美〕詹姆斯 科夫朗 著

唐熙曾 林 泳 译

责任编辑 张赞宏

新时代出版社出版 新华书店北京发行所发行

国防工业出版社印刷厂印刷

787×1092毫米 16开本 9.5印张 212千字

1985年10月第1版 1985年10月北京第1次印刷

印数: 0001—8250册

统一书号: 15241·64 定价: 2.00元

译 者 的 话

本书是一本检测数字电路故障的专业性实用读物，书中没有高深的数学，读者只要具有中等以上文化水平，并具有一定的数字电路基础知识，就能完全看懂。

本书涉及面较广，不仅介绍 T^2L 器件的特点及其检测方法，CMOS 和 ECL 器件的特点及其注意事项，而且对最简单的门电路直到复杂的计算机控制系统的故障检测，都作了简要说明，甚至对数字系统中常用的模拟电路——运算放大器也有专章予以讨论。因此，本书既是检测数字电路故障的入门指南，又是基础数字器件与电路的简明入门读物。

目前，随着电子技术的普及，数字电路正日益深入各个领域，面对这一形势，我们不揣学浅，译出本书，但愿它能对从事有关工作的读者有所助益。书中有些术语名词国内尚待统一，我们尽可能采用目前在生产和教学中比较通行的译名；译文对原文中的一些错误作了订正，并以译注形式说明。

限于我们的水平，译文中肯定会有不当或错误之处，殷切期待读者批评指正。

目 录

序言	VII
第一章 逻辑符号和静态数字电参数	1
一、逻辑符号及其意义	1
二、数字器件的数据表和静态电参数	9
第二章 数字输入和输出电平的故障检测	15
一、数字输入电平的故障检测	27
二、故障检测练习：故障检测技术的实际应用	28
第三章 定时电路故障检测介绍	32
第四章 运算放大器电路故障检测	43
第五章 故障检测练习	56
一、电路的操作	56
二、选取起始点	60
三、检查输入端	60
四、检查控制电路	62
五、检查系统的十进计数器	65
六、隔离十进计数器输出端 ●	66
七、检查数/模转换器	67
八、检查运算放大器	68
九、检查晶体管 T1	69
十、检查显示逻辑	70
十一、自激时钟的接入	71
十二、闭合反馈环路	71
第六章 半导体存储器与存储系统的故障检测	75
第七章 一个高级的故障检测练习	95
一、继电器	96
二、数字系统中继电器的故障检测	98
三、 $I_{\text{输入}}(1)$ 测量电路	99
四、 $I_{\text{输入}}(1)$ 电路的故障检测	101
五、 $I_{\text{输入}}(0)$ 测量电路	103
六、合格/不合格电路	104
七、合格/不合格电路的故障检测	106
八、控制电路	108
九、控制电路的故障检测	112
十、系统的故障检测	113

第八章 CMOS 和 ECL	116
第九章 计算机控制系统的故障检测	126
一、方框图	126
二、输入/输出电路板	129
三、输入/输出电路板*2	131
四、输入/输出电路板启动	133
五、系统的故障检测	139

第一章 逻辑符号和静态数字电参数

本章先扼要复习基本的数字逻辑符号和术语，然后详细讨论静态数字电参数。假定读者已具有一些基本的逻辑知识。复习是要保证读者熟悉数字电子学中目前采用的一般符号和术语。第一章所述的符号将在全书中采用。

为了检测数字电路故障，技术人员必须能看懂和熟悉逻辑符号。本书采用的逻辑符号（尽可能地）同工业中采用的逻辑符号一致。本章包括下列内容：

1. 基本逻辑符号及其意义；
2. 如何用基本符号表示比较复杂的数字电路；
3. 数字电子学中采用的一般术语；
4. 生产厂数据表和数字器件的静态参数。

一、逻辑符号及其意义

讨论逻辑符号前，必须明确若干定义。

在正逻辑系统中，**逻辑真**意指电压电平等于 $+5\text{V}$ 或系统中最高的电压电平；**逻辑伪**意指电压电平等于 0.0V 或系统中最低的电压电平。

在负逻辑系统中，**逻辑真**意指电压电平等于 0.0V 或系统中最低的电压电平，**逻辑伪**意指电压电平等于 $+5\text{V}$ 或系统中最高的电压电平。

V_{BE} 基-射结[⊙]两端正向偏置的直流压降。若晶体管是 NPN 型， $V_{BE} = +0.6\text{V}$ 为这时基极的最高电压。在数字逻辑中，NPN 晶体管是最普通的（见图 1-1）。

二极管压降 二极管两端的正向压降（直流）。二极管压降等于 $+0.6\text{V}$ ，同时二极管正极为正电压[⊕]。其测量方法示于图 1-2。

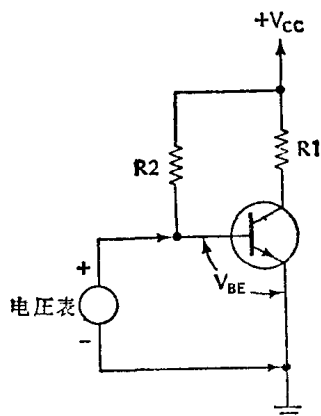


图1-1 V_{BE} 的测量：测量基极到发射极的直流电压。应当指出，基-射结为正向偏置，因而，晶体管导通

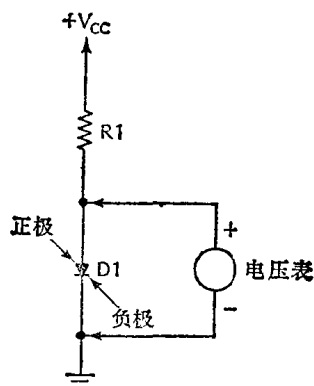


图1-2 二极管压降的测量

⊙一般称作发射结。——译者

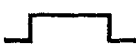
⊕原文为“最高电压”，疑误，因为最高电压是 $+V_{CC}$ 。——译者

真值表 列出逻辑器件逻辑输入的全部可能的组合及其形成的逻辑输出的表。见图 1-3 所示。

“与”电路

分析图 1-4 中的“与”电路时，注意，如果点 A = 0.0 V (伪)、点 B = 0.0 V (伪)，即点 A 和点 B 均 = 0.0 V 时，D1 和 D2 的正极为 +0.6 V。若 D3 的正极 = +0.6 V，则 Q1 的基极电压不足以使 Q1 导通。如 Q1 截止，Q1 的集电极电压势必经电阻 R2 提升至 V_{CC} 。但是，由于 Q1 的集电极与 Q2 的基极相连，Q1 的电压 V_C 不可能达到 V_{CC} 。一旦 Q1 的 V_C 等于 Q2 的导通电压 ($V_{BE} \approx +0.6 V$)，Q2 就导通，Q1 的 V_C 箝位于 +0.6 V。若 Q2 导通，则 Q2 的集电极电压 = 0.0 V (Q2 的 V_{CE} 饱和)，Q2 处于饱和状态。

真 = +5.0 V
伪 = 0.0 V




(a)

A	B	C
伪	伪	伪
伪	真	伪
真	伪	伪
真	真	真

A	B	C
F	F	F
F	T	F
T	F	F
T	T	T

(b)

A	B	C
0.0 V	0.0 V	0.0 V
0.0 V	5.0 V	0.0 V
5.0 V	0.0 V	0.0 V
5.0 V	5.0 V	5.0 V

A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

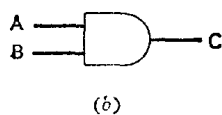
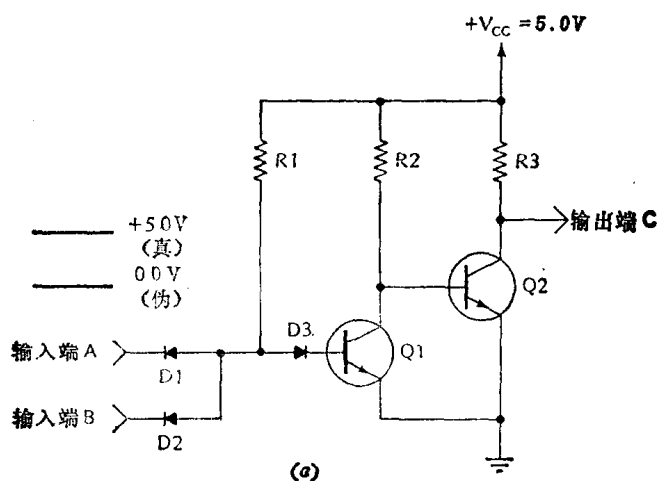
图 1-3

(a) 基本“与”门的电路符号；(b) “与”门的四种真值表，符号不同但含义一样，伪 = F = 0 = 0.0 V，真 = T = 1 = 5.0 V。

若输入 A 和输入 B 均为 +5.0 V (真)，则 D1、D2 和 D3 的正极电压势必经电阻 R1 提升至 V_{CC} 。当 D1、D2 和 D3 的正极电压等于 1.2 V (等于 Q1 的 $V_{BE} + V_{D3}$) 时，晶体管 Q1 导通，并进入饱和。Q1 的集电极电压 = 0.0 V (Q1 的 V_{CE} 饱和)；Q2 的基极电压 = 0.0 V。在这种状态下，晶体管 Q2 截止，Q2 的集电极电压经电阻 R3 提升至 V_{CC} 。因为 A “与” B 必须均为真，输出才能为真，所以，这种门称为“与”门。“与”门的逻辑运算概括于图 1-4 的真值表中。注意，真值表中 A 和 B 两列符号表示加至“与”门输入端 A 和 B 的电压，其中，伪 = 0.0 V，真 = +5.0 V；当按行查阅真值表时，C 列符号表示输出端 C 对输入端 A 和 B 的响应。

“或”电路

分析图 1-5 中的“或”电路时，应当指出，晶体管 Q1 和 Q2 的驱动同“与”门的

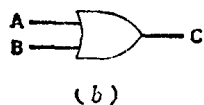
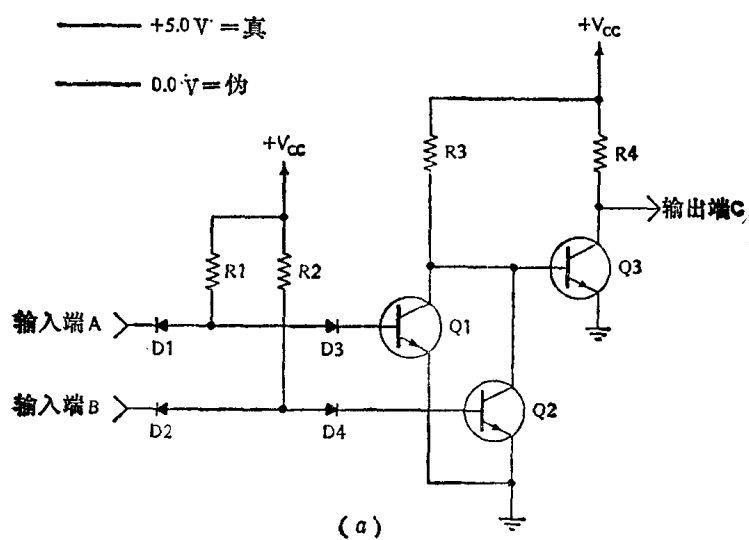


A	B	C
伪	伪	伪
伪	真	伪
真	伪	伪
真	真	真

(c)

图 1-4

(a) 采用分立元件的“与”门电路；(b) “与”门的逻辑符号；(c) “与”门真值表，列出输入端A与B逻辑输入的全部可能的组合及其输出C。



A	B	C
F	F	F
F	T	T
T	F	T
T	T	T

(c)

图 1-5

(a) 采用分立元件的“或”门电路；(b) “或”门的逻辑符号；(c) “或”门的真值表。

电极电压经电阻 R_4 提升至 V_{CC} 。Q1 由输入端 A 的逻辑真值导通，Q2 由输入端 B 的逻辑真值导通；输入端 A 或输入端 B 的逻辑真将在输出端 C 产生逻辑真。换言之，若输入端 A = 逻辑真或输入端 B = 逻辑真，则输出端 C = 逻辑真。“或”门的功能概括为图 1-5 的真值表。

反相器

反相器具有一种十分明显的功能，如果输入端 A 接入逻辑真，输出端 B 就产生逻辑伪；若输入端 A 接入逻辑伪，输出端 B 就产生逻辑真。图 1-6 示出反相器的原理图和真值表。

“与非”门

术语 NAND(“与非”)是由 “not-and”(非-与)两词派生而来。在功能上，“与非”门可表示为图 1-7(a)所示的形式，其简化符号例示于图 1-7(b)。应当指出，“与非”门的符号同输出端加一小圆圈的“与”门符号一样。

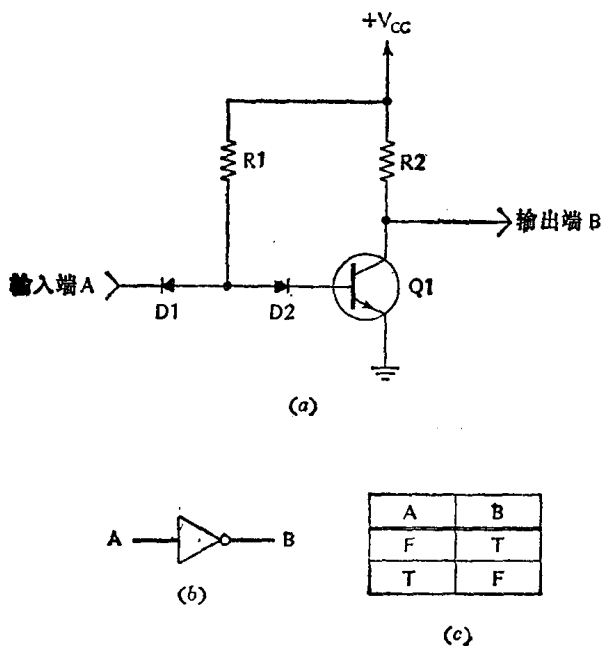


图 1-6

(a) 采用分立元件的反相器电路；(b) 反相器的逻辑符号；(c) 反相器的真值表。

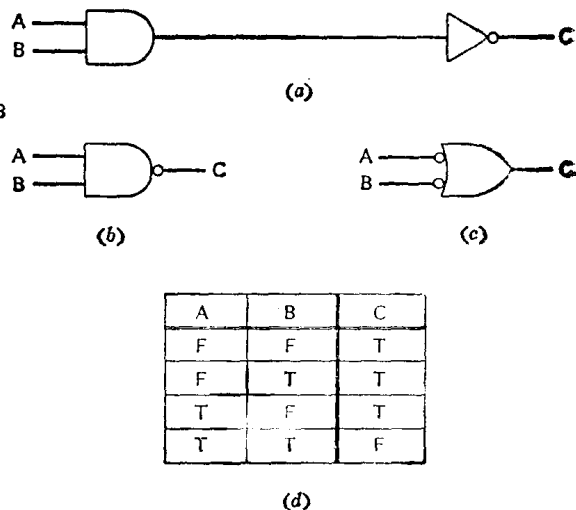


图 1-7

(a) “与非”门功能的说明图；(b) “与非”门的一种逻辑符号；(c) “与非”门的另一种逻辑符号；(d) “与非”门的真值表。

“与非”门符号有一些特殊考虑，和“与”门、“或”门及反相器不同，“与非”门用两种符号表示。第一种符号如图 1-7(b) 所示，第二种符号如图 1-7(c) 所示。图 1-7(c) 输入端的小圆圈表示反相功能。

“与非”门功能，有些原理图采用图 1-7(b) 中的符号表示，有些则采用图 1-7(c) 中的符号表示。对故障检修员来讲，这是件麻烦的事情，因为他必须辨认两种“与非”门符号。生产厂的数据表采用图 1-7(b) 的符号表示“与非”门。

“与非”门的电路图看起来象是输出端接反相器的“与”门电路。“与非”门的真值表如图 1-7(d) 所示。

“或非”门

术语 NOR(“或非”)是由“not-or”(非-或)两词派生而来。“或非”门的符号可用输出端接反相器的“或”门表示(见图 1-8)。

应当指出,“或非”门的电路图,实际上同输出端接有反相器的“或”门一样。

“或非”门的功能符号示于图 1-8(a)中。“或非”门也用两种符号表示,第一种符号如图 1-8(b)所示,第二种符号如图 1-8(c)所示。生产厂的数据表采用图 1-8(b)所示的符号。

上述的逻辑符号是数字电子线路中最常见的,但是,电路图只是用于从电气上说明不同的符号与实际硬件的关系,电路本身则封装于集成电路组件中。

当前采用的大部分数字逻辑,称为晶体管-晶体管逻辑(TTL或T²L)。详细分析T²L门会有助于熟悉数字逻辑。下面着重讨论图 1-9 所示的T²L“与非”门。

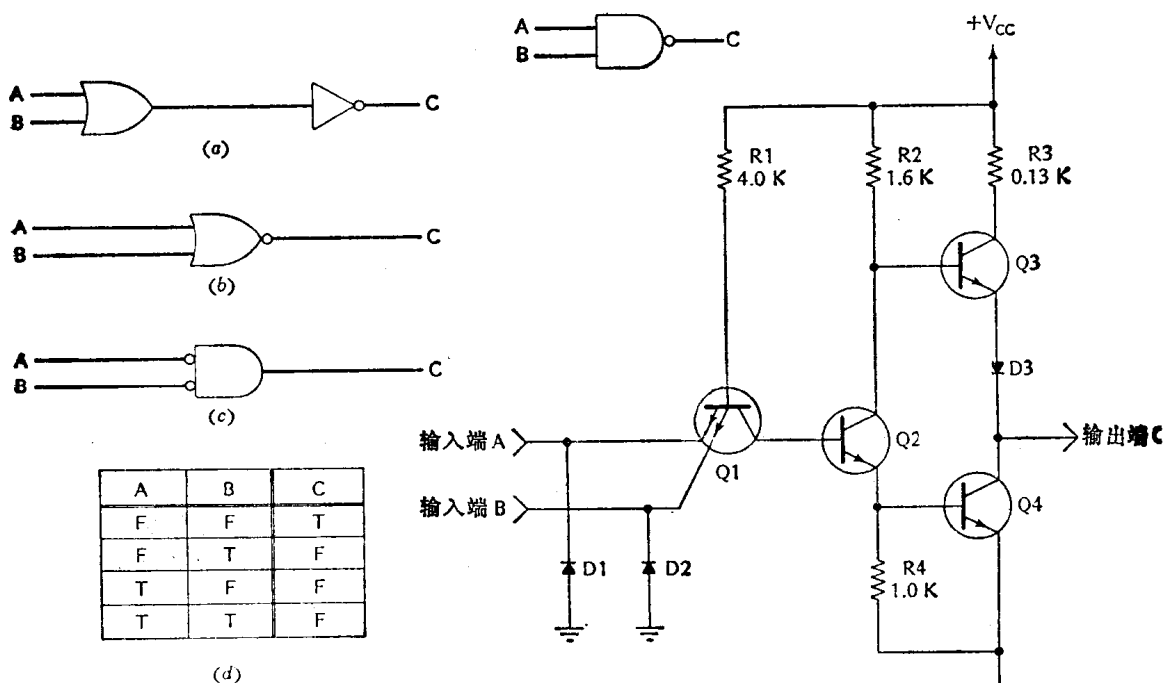


图 1-8

(a) “或非”门功能的说明图, (b) “或非”门的一种符号, (c) “或非”门的另一种符号, (d) “或非”门的真值表。

图1-9 T²L“与非”门电路图

在输入端,注意叫作输入保护二极管的二极管 D1 和 D2,其功能为防止输入电压趋向远低于地的值。如果输入端 A 或输入端 B 趋向较地电位 0.6 V 更低的值,则两个二极管变为正向偏置,并将输入端“箝位”于约 -0.6 V(二极管两端压降)。

假定输入端 A 等于 0.0 V,这意味着由于从 V_{CC} 经电阻 R1 至输入端 A 有一电流通路,晶体管 Q1 导通。在饱和状态, V_{CE} 可低达 0.1 V,并且,基-集结[●]因而正向偏置。由于 Q1 处于饱和状态,其集电极电压下降至接近地电位。由于 Q2 射-基结上建立零正

● 一般称作集电结。——译者

向偏置, 所以, 晶体管 Q2 截止。若晶体管 Q2 截止, 从 V_{CC} 经电阻 R2 至晶体管 Q3 的基极仍存在电流通路, 使 Q3 导通; 同时, Q2 发射极得不到使 Q4 导通的电流。由于 Q3 导通而 Q4 截止, 输出端 C 被拉向 V_{CC} 或 5.0V。

D3 两端的二极管压降加上 Q3 的 $V_{CE_{sat}}$ 阻止输出端 C 完全达到 V_{CC} 。注意, 如由输出端 C 拉出电流, 则电阻 R3 两端将出现压降。R3 的作用是短路保护, 即在上述输入条件下, 如输出被短接至地, 由于 Q3 中的电流被 R3 限制到安全值, 门电路不致受到损害。让我们研究在输入端 A = 0.0V 的情况下, 电路中的各个直流电压。设输出端 C = +2.4V, 则

$$Q1 \text{ 的发射极} = 0.0V$$

$$Q1 \text{ 的基极} = 0.6V$$

$$Q1 \text{ 的集电极同 } Q1 \text{ 的发射极一样接近地电位}$$

$$Q2 \text{ 的集电极} = (\text{输出端 C 的电压}) + (\text{二极管 D3 的压降}) + (Q3 \text{ 的 } V_{BE}) \\ = 3.6V$$

现在设输入端 A 与输入端 B = 真 = +5.0V, 则由于 Q2 的 V_{BE} + Q4 的 V_{BE} , Q1 的发射极电压变得大于 Q1 的集电极电压 (1.2V)。这时, Q1 的集电极和发射极“转换功能”为: **集电极变为发射极, 发射极变为集电极**, 这叫作晶体管工作的**反向激励方式**。在此种方式中, 因为晶体管的 β 值低, 它的工作很不好, 但仍起着晶体管的作用。

现在, 从 V_{CC} 经 R1 及现已正向偏置的 Q1 集-基结到晶体管 Q2 的基极有一电流通路, 所以, Q2 导通。由于 Q2 导通, 从 Q2 集电极到 Q2 发射极有一电流通路, 导致电阻 R4 两端的电压开始向 V_{CC} 升高。一旦 R4 两端的电压大于 Q4 的导通电压 (+0.6V), Q4 就导通。由于 Q4 的 V_{BE} 与 R4 并联, 所以, Q2 的发射极电压保持为 +0.6V。

因 Q2 导通, Q2 的集电极电压下降至约 +0.7V (Q2 的 V_E + Q2 的 $V_{CE_{sat}}$)。此总电压低于 Q3 的发射极电压, Q3 截止。由于 Q3 截止和 Q4 导通, 输出端 C 的电压降至约 0.0V。随着输出电压降至 0.0V, Q3 的发射极电压也下降。读者也许会认为, 随着 Q3 发射极电压下降, Q3 有导通的可能性。让我们停下来并探讨这种情况的临界电压。

$$\text{输出端 C 的电压} = 0.0V;$$

$$Q3 \text{ 的基极电压} = Q2 \text{ 的集电极电压} \\ = +0.7V。$$

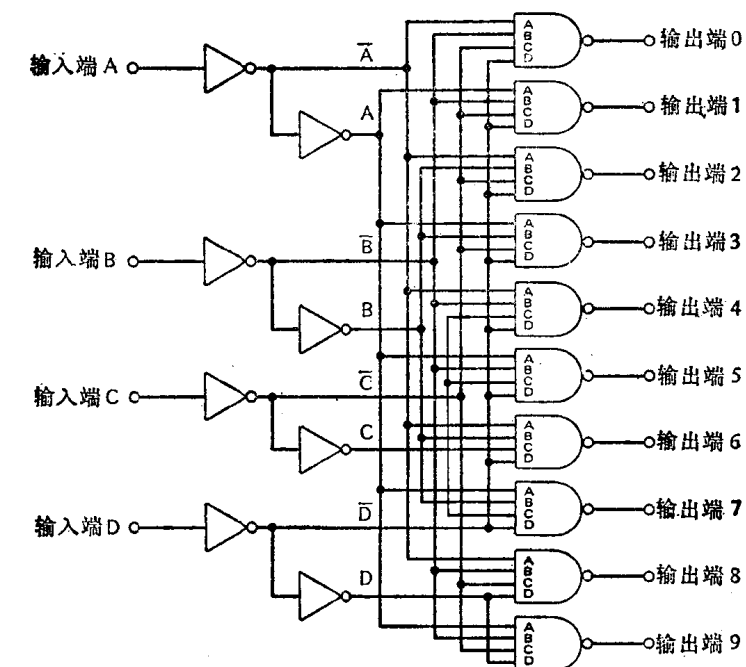
若 Q3 的发射极直接接至输出端 C, Q3 有可能导通。但要注意, 二极管 D3 同 Q3 的发射极串联, 这意味着 Q3 的发射极电压 = (输出端 C 的电压) + (二极管 D3 的压降)。这一事实说明, 要使 Q3 导通, Q3 的基极电压必须大于 (输出端 C 的电压) + (二极管 D3 的压降) + (Q3 的 V_{BE})。总电压约为 +1.2V。但是, 如上所述, Q3 的基极电压 = Q2 的 V_C = 0.7V。因二极管 D3 两端的压降保证 Q3 的 V_{BE} 决不会达到导通电平, 所以, Q3 不会导通。

如果读者愿意, 上述讨论将使读者能够在内部晶体管一级上, 分析大部分 T²L 电路的工作, 上述讨论还使读者能够更好地理解数字数据表和电参数。

由于复杂的逻辑器件图也是以基本逻辑器件为单位绘出的, 所以, 掌握“与”、“与非”、“或”、“或非”和“反相器”等基本逻辑符号, 技术人员就能了解更复杂的逻辑器件的逻辑功能。例如, 一个功能复杂的器件为“译码器”。SN7445 是 BCD(binary

coded decimal, 二-十进制)——十进制的译码器。其符号图如图 1-10 所示。由于此器件是用基本逻辑符号绘出的, 即使读者从未见到或听说过此种器件, 也能分析其逻辑功能。这是一种描述复杂逻辑器件的很普通方法。

逻辑与连接图



真值表

输入端				输出端									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	1	0	0	0	0	0
0	1	0	1	0	0	1	0	0	1	0	0	0	0
0	1	1	0	0	0	1	1	0	0	1	0	0	0
0	1	1	1	0	0	0	1	1	0	0	1	0	0
1	0	0	0	0	1	0	0	1	0	0	0	1	0
1	0	0	1	0	0	1	0	0	1	0	0	1	0
1	0	1	0	0	0	1	1	0	0	1	0	1	0
1	0	1	1	0	0	0	1	1	0	0	1	1	0
1	1	0	0	0	1	0	0	1	0	0	1	1	0
1	1	0	1	0	0	0	1	0	1	0	1	1	0
1	1	1	0	0	0	1	1	0	0	1	1	1	0
1	1	1	1	0	0	0	1	1	0	0	1	1	1
1	1	1	1	0	0	0	0	1	1	0	0	1	1

图1-10 7445 BCD——十进制译码器的逻辑图和真值表

触发器

下一组逻辑符号, 是用以表示具有时钟输入端的逻辑器件的符号。这些器件具有时钟输入端, 但在许多应用触发器的场合, 并不利用其时钟输入端。在第三章中, 就触发器作更为详细的讨论, 并复习和讨论定时电路。

D 触发器

D 触发器 (即延迟触发器) 的逻辑符号如图 1-11 所示。图中

- 时钟输入有多种形式, 但可以认为是一种幅度在真伪电平间变化的方波信号。将在第三章中给出术语“时钟”的确切定义。

D = D 输入端

C = 时钟输入端, 在时钟输入端前有时绘有一个小圆圈, 表示时钟沿为负边沿, 关于触发器时钟沿的含义, 在第三章中作更全面的讨论

Q = 真输出端

$\bar{Q}$ = 伪输出端

S = 置位输入端, 置位输入置位真输出端为真态

R = 复位输入端, 复位输入置位真输出端为伪态

有些数据表用不同的字母表示相同的功能, 例如[●], 时钟输入端可以用字母“CL”代替“C”。

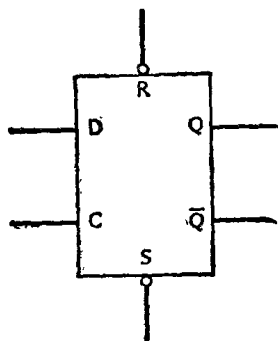


图1-11 D触发器的逻辑符号

C—时钟输入端; D—d 输入端; Q—真输出端; $\bar{Q}$ —伪输出端; S—置位Q输出端为真态; R—复位Q输出端为伪态。

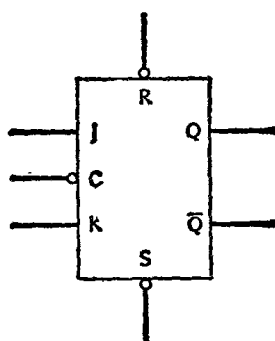


图1-12 JK触发器的逻辑符号

J—J 输入端; K—K 输入端; Q—真输出端; $\bar{Q}$ —伪输出端; R—复位Q输出端为伪态; S—置位Q输出端为真态。

JK 触发器

字母J和K系指单个触发器上两个不同的输入端, 每一输入端执行一种不同的功能, 见图1-12。

J = J 输入端

K = K 输入端

R = 复位输入端

S = 置位输入端

Q = 真输出端

$\bar{Q}$ = 伪输出端

这里讲到的D触发器和JK触发器是数字电路中最常见的触发器, 更详细的内容参见第三章。

数字电子学中的常用缩写词

下面是数字电子学中常用的缩写词目录, 括弧中是每一字母的来源的注释。

DTL 二极管晶体管逻辑 (Diode transistor logic)

TTL 晶体管晶体管逻辑 (Transistor transistor logic)

T²L 晶体管晶体管逻辑 (Transistor transistor logic)

● 原文作“that is”(“即”或“也就是”), 但除所举出的时钟输入端外, 其它功能端也有采用不同符号表示的, 故译作“例如”。——译者

ECL 发射极耦合逻辑 (Emitter coupled logic)

MOS 金属氧化物半导体 (Metal oxide semiconductor)

P MOS P 沟道金属氧化物半导体 (P-channel metal oxide semiconductor)

N MOS n 沟道金属氧化物半导体 (N-channel metal oxide semiconductor)

C MOS 互补金属氧化物半导体 (Complementary metal oxide semiconductor)

SSI 小规模集成电路 (Small scale integration)

MSI 中规模集成电路 (Medium scale integration)

LSI 大规模集成电路 (Large scale integration)

本书以下各章主要讲述用于逻辑电路的 TTL SSI 和 MSI 器件的故障检测。

技术人员想要成为公认的优秀的数字故障检测员, 必须善于发现电路中的问题, 而且懂得如何将发现的问题告知别人; 还必须学会在纸上绘出符号和书写数字语言术语。这些符号是用于数字电路故障检测的很重要的一部分工具。

二、数字器件的数据表和静态电参数

故障检测可以分为两种主要类型: 第一类是检测过去工作正常但现在失灵的电路的故障; 第二类是检测还未工作或还未试验的电路的故障。第二类故障检测应用于研制实验室中的样机电路、已完成布线准备试验的电路、或特殊设计的电路。

不论技术人员面临的数字工作是哪一类故障检测, 他均应熟悉与此有关的知识, 其中之一是**数字集成电路的电参数**。不应将数字电参数与数字功能相混淆, 两个数字器件功能可能相同 (例如●, “与非”门), 但它们的电参数却可以完全不同。电参数所涉及的是器件的电性能、技术指标、要求及极限值。由于数字电路中的故障, 常常是由电参数不符合规定的器件所引起, 所以, 故障检修员熟悉器件的电参数是很重要的。器件可能在别的地方不符合电性能的要求, 但至少可作为电路故障检测的出发点。如果故障检修员不了解器件的电特性, 仅仅由于忽略了被测器件电性能失常的事实, 而可能在错误的途径上浪费时间。

为了帮助技术人员熟悉数字电参数, 下面给出典型的数据表, 并详加讨论。定时参数将在第三章中作更详细的讨论, 并介绍此种电路的故障检测。用于下面讨论的数据表是 SN7400 系列 T²L 数字器件的数据表, 如图 1-13 所示。我们将按数据表中的次序讨论每一项参数。

输入二极管箝位电压 其最大值应始终为 -1.5V。输入箝位二极管为接在输入线上的二极管, 其正极接地, 负极接输入端。这些二极管是保护二极管, 可保证加到器件上的输入电压电平低于地电位, 不大于 1.5V。大部分 T²L 集成电路具有输入二极管作为器件的一部分。集成电路一词是指在单一硅片上制成的电子电路, 数字器件只是集成电路的一种; 但集成电路与数字器件两词通常可以互换使用。图 1-14 所示为数字器件电路中输入箝位二极管的电气位置。

逻辑 1 输入电压 此参数仅给出最小值, 是器件识别有效逻辑 1 输入的可接受的最小输入电压电平, 见图 1-15。

● 原文为 “i. e.” (“即” 或 “也就是”), 但除所举出的 “与非” 门外, 其它逻辑器件也有类似情况, 故译作 “例如”。——译者

参 数	条 件	最小值	典型值	最大值	单位
输入二极管箝位电压	$V_{CC} = 5.0\text{V}$, $T_A = 25^\circ\text{C}$, $I_{\text{输入}} = -12\text{mA}$			-1.5	V
逻辑“1”输入电压	$V_{CC} = \text{最小值}$	2.0			V
逻辑“0”输入电压	$V_{CC} = \text{最小值}$			0.8	V
逻辑“1”输出电压	$V_{CC} = \text{最小值}$, $V_{\text{输入}} = 0.8\text{V}$, $I_{\text{输出}} = -400\mu\text{A}$	2.4			V
逻辑“0”输出电压	$V_{CC} = \text{最小值}$, $V_{\text{输入}} = 2.0\text{V}$, $I_{\text{输出}} = 16\text{mA}$			0.4	V
逻辑“1”输入电流	$V_{CC} = \text{最大值}$, $V_{\text{输入}} = 2.4\text{V}$			40	μA
逻辑“1”输入电流	$V_{CC} = \text{最大值}$, $V_{\text{输入}} = 5.5\text{V}$			1	mA
逻辑“0”输入电流	$V_{CC} = \text{最大值}$, $V_{\text{输入}} = 0.4\text{V}$			-1.6	mA
输出短路电流	$V_{CC} = \text{最大值}$, $V_{\text{输入}} = 0$, $V_0 = 0\text{V}$ DM74 $\times\times$ LM54 $\times\times$	-20 -18		-55	mA
电源电流-逻辑“0”	$V_{CC} = \text{最大值}$, $V_{\text{输入}} = 5.0\text{V}$		3	5.1	mA
电源电流-逻辑“1”	$V_{CC} = \text{最大值}$, $V_{\text{输入}} = 0\text{V}$		1	1.8	mA
逻辑“0”的传输延迟时间, t_{pd0}	$V_{CC} = 5.0\text{V}$, $T_A = 25^\circ\text{C}$, $C = 50\text{pF}$		8	15	ns
逻辑“1”的传输延迟时间, t_{pd1}	$V_{CC} = 5.0\text{V}$, $T_A = 25^\circ\text{C}$, $C = 50\text{pF}$		13	25	ns

图1-13 7400系列T²L“与非”门数据表

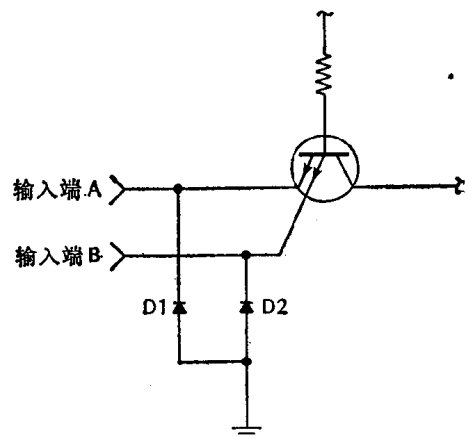
逻辑0输入电压 此参数给出最大电压电平，是器件识别有效逻辑0输入的最大输入电压电平，参见图1-15。

应予强调的是，最小逻辑1输入电压和最大逻辑0输入电压不在同一电位上，这在图1-15中已明确示出。如果被测的输入电压超出有效范围，则应进一步检查该器件●。

逻辑1输出电压 此参数给出在 $-400\mu\text{A}$ 时2.4V的最小电平。这意味着器件的输出端能提供（或拉出） $400\mu\text{A}$ ，并且，在此负荷条件下，输出电平不会降至 $+2.4\text{V}$ 以下。这一技术指标只对有源提升结构而言。有源提升结构有一个将输出提升至逻辑1状态的晶体管（有源器件），见图1-16；无源提升结构有一个将输出提升至逻辑1状态的电阻（无源器件），见图1-17。

逻辑0输出电压 此电压是器件的最大逻辑0输出电压。在16mA时 $+0.4\text{V}$ 的这一技术指标，意味着可以有16mA的电流流入器件的输出端（灌电流），且输出电压电平将不超过 $+0.4\text{V}$ ，见图1-18。

逻辑1输入电流 这是在输入电压电平 $+2.4\text{V}$ 时，输入线至数字器件所要求供给的最大电流。注意，此电流必须由外接信号源加到器件上。还有一项技术指标，在输入电压 $+5.5\text{V}$ 时的逻辑1输入电流。注意，在5.5V时所需的输入电流，远大于在2.4V时所需的输入电流（5.5V时1mA与2.4V时 $40\mu\text{A}$ 相比较）。需要这一输入电流的理

图1-14 典型T²L输入级的输入箝位二极管D1和D2的位置

● 输入电压是由外部供给的，因此，当它超出有效电压范围时，应检查信号源的工作状态；当然，如该器件输入端损坏，也可能影响信号源的正常工作，但这只有在已知信号源良好的情况下才能判定。——译者

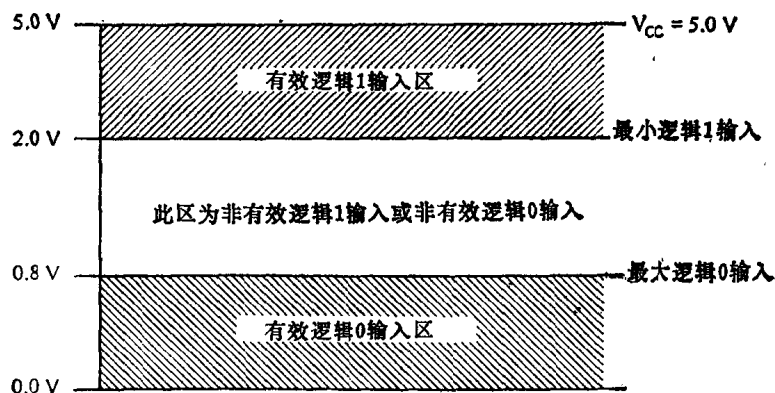
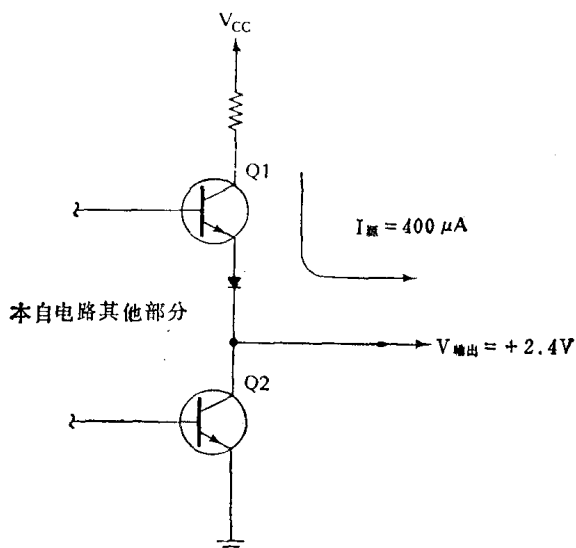
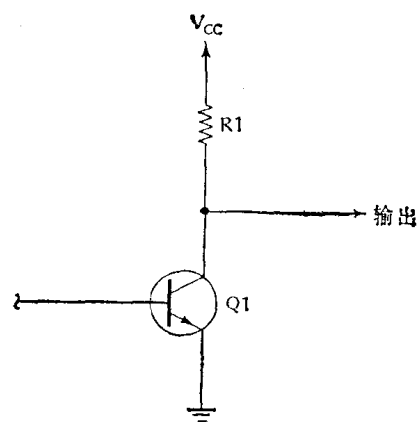


图1-15 有效输入电压等于逻辑1和逻辑0的范围

图1-16 在有源提升输出结构中，晶体管Q1导通，并将输出线拉向V_{CC}图1-17 在无源提升输出结构中，晶体管Q1截止，电阻R1将输出拉向V_{CC}；在T²L器件中，电阻R1不在器件外壳内

由，可参阅上文有关 T²L “与非”门反向激励方式的讨论。图 1-19 示出输入电压大于 2.4V（逻辑 1 输入电压的电气技术指标）时的输入电流通路。

逻辑 0 输入电流 这是在输入电压电平 +0.4V 时，由器件供给的电流总量。在数字电子学中，术语“扇出”●表示一个特定器件能驱动多少个同一电气类型的器件，它能在说明器件的扇出是如何得出的。

扇出的计算

在 16mA 时，逻辑 0 输出电压 = +0.4V；
 在 +0.4V 时，逻辑 0 输入电流 = +16mA；
 在 -400μA 时，逻辑 1 输出电压 = 2.4V；
 在 2.4V 时，逻辑 1 输入电流 = 40μA；
 扇出逻辑 1 输出 = 400μA / 40μA = 10；

● 扇出 (fan-out) 是指该逻辑门电路所能驱动同类门电路的最大数目。——译者

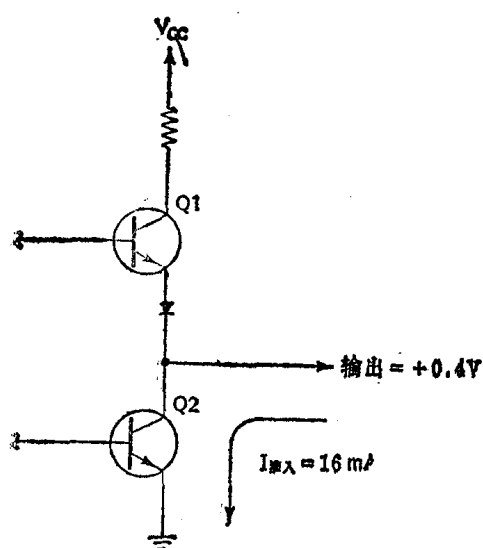


图1-18 由于晶体管Q2导通和晶体管Q1截止，输出端可灌入16mA且不上升到+0.4V以上

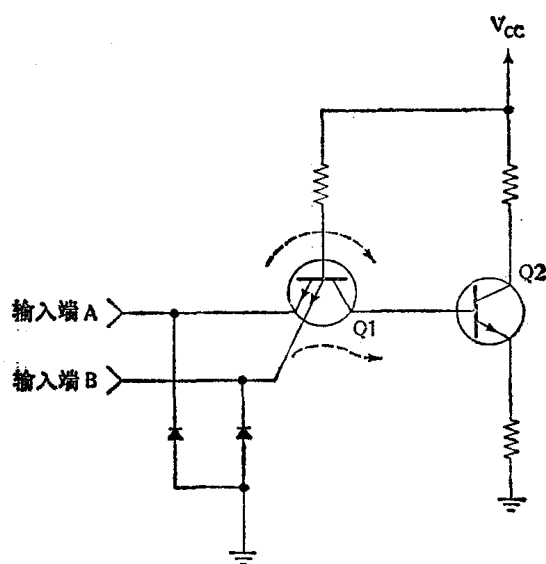


图1-19 逻辑1输入电流通路；当Q1进入反向激励方式时，输入线必须供给反向集电极电流 $I_{\text{输入}A}$ 和 $I_{\text{输入}B}$

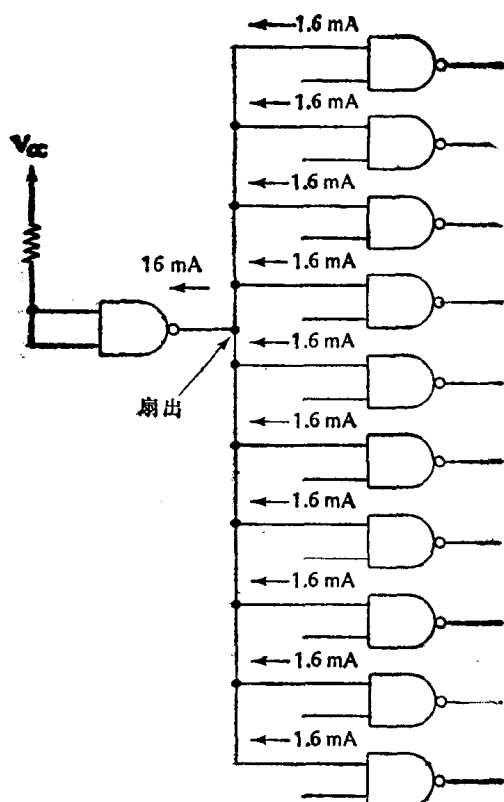


图1-20 示出全部电流的来源扇出10，
扇出 = $16\text{mA}/1.6\text{mA} = 10$ 个器件

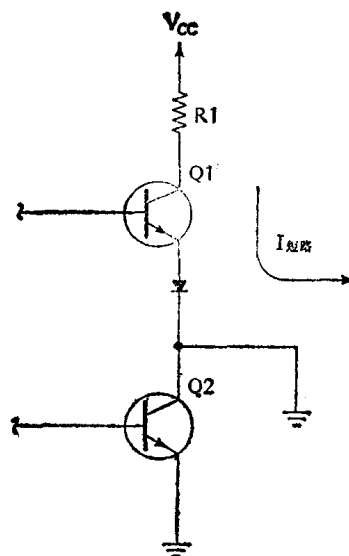


图1-21 由于输出端接（短接）地，Q1导通，Q2截止；电阻R1将电流值限制在20~55mA之间，起短路保护作用