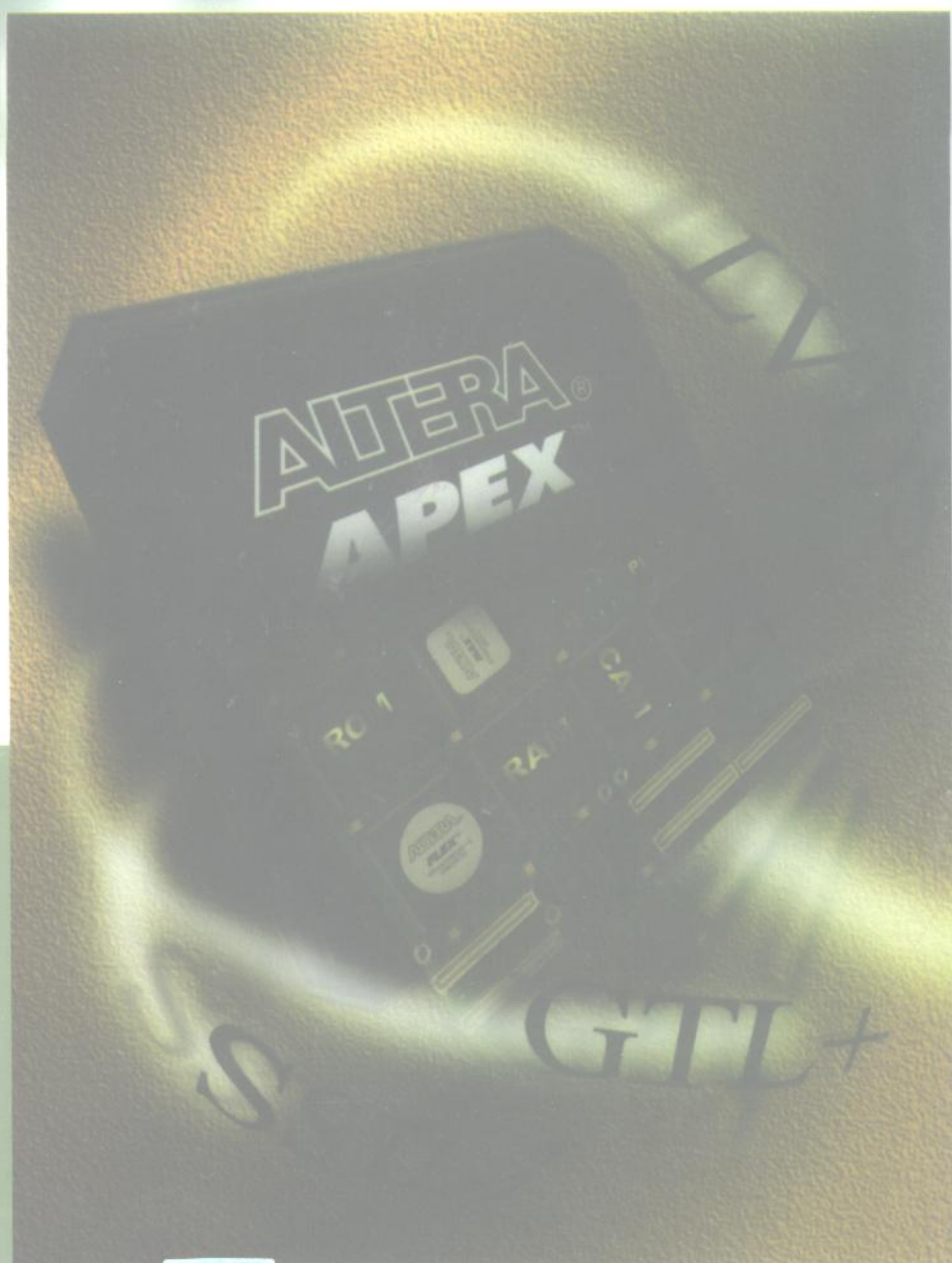


CPLD 技术及其应用

宋万杰
罗 丰
吴顺君

编著



西安电子科技大学出版社

<http://www.xduph.com>

463687

CPLD 技术及其应用

宋万杰 罗 丰 吴顺君 编著



3



00463887

西安电子科技大学出版社

1999

内 容 简 介

CPLD 是最新型的可编程逻辑器件,几乎可适用于所有的门阵列和各种规模的数字集成电路,它的诸多特点使其特别适合于产品的样品开发与小批量生产。本书正是以全球最大的可编程逻辑器件供应商——Altera 公司的 MAX+PLUS II 为工具,详尽地剖析了其 FLEX 10K 等系列的构造、功能及开发应用。在基础篇中,通过一个完整的实例介绍,以使读者能够尽快了解 MAX+PLUS II 的软件安装、设计输入、项目编译、优化以及硬件编程在线调试等功能,并且能够开发出相对简单的产品。在提高篇中,对电子电路设计过程中出现的许多问题,例如:如何提高设计效率,如何提高系统设计速度等作了更深入的探讨。同时,本书还对 Altera 硬件描述语言 AHDL 的基本构造以及如何在设计中应用 AHDL 编制出精练的程序都作了大量的实例介绍,以期帮助电子设计人员从繁琐的传统电路设计、调试中解脱出来。

本书结合众多的工程设计实例,由浅入深,改变了以往电路设计类书籍与实际脱节的现象。大量的图例说明,使得本书不仅适合于有一定基础的电子工程设计人员,而且也适合于相关专业大学生阅读使用,对于初学者更有极大的帮助。

JS164/13

图书在版编目(CIP)数据

CPLD 技术及其应用/宋万杰等编著. —西安:西安电子科技大学出版社,1999.9

ISBN 7-5606-0769-1

I. C… I. 宋… II. 可编程逻辑器件 IV. TP332.3

中国版本图书馆 CIP 数据核字(1999)第 29899 号

责任编辑 戚文艳 赵立光

出版发行 西安电子科技大学出版社(西安市太白南路2号)

电 话 (029)8227828

邮编 710071

http://www.xduph.com

E-mail: xdupfbx@pub.xaonline.com

经 销 新华书店

印 刷 西安市第三印刷厂

版 次 1999年9月第1版 1999年12月第2次印刷

开 本 787毫米×1092毫米 1/16 印张 18

字 数 421千字

印 数 4 001~8 000册

定 价 25.00元

ISBN 7-5606-0769-1/TP·0395

*** 如有印制问题可调换 ***

本书封面贴有西安电子科技大学出版社的激光防伪标志,无标志者不得销售。

序

CPLD 是新型的可编程逻辑器件。这种器件的集成度高、工作速度快，加上编程方便、价格较低，因而广受电子工程设计人员和科研人员的欢迎。

Altera 作为全球最大的可编程逻辑器件供应商，多年来在这一领域中投入了极大的开发和研制力量，产品系列齐全，可提供 MAX 7000S、MAX 7000AE、FLEX 6000、FLEX 6000A、FLEX 10K、FLEX 10KA 及 FLEX 10KE 等系列产品。这些产品可用于组合逻辑、状态机、时序、算法、双端口 RAM、FIFO 的设计。设计密度超过 20 万门或需要 CAM 等功能与 LVDS、SSTL - 3、GTL + IO 等接口时，还可选择 Altera 新一代用于系统集成的 APEX20K 系列产品。

Altera 公司的产品由骏龙公司在中国市场销售多年，其使用者众多。为了帮助用户更好地使用 Altera 的产品及开发系统，作者特编写了此书。

此书作者不仅具有深厚的可编程逻辑理论知识，而且使用 Altera CPLD 多年，具有丰富的实践经验。书中对 Altera CPLD 及其开发工具作了详细、系统的介绍，而且结合作者的实际工作列举了很多应用实例、设计优化技巧、解决问题的方法。本书既可以作为各高等院校开设 Altera CPLD 课程的教科书，又可以作为电子工程设计人员使用 Altera CPLD 的参考书。

我们向读者推荐此书，相信本书会令广大 Altera CPLD 用户受益。

赵典锋
Altera 中国区经理

前 言

CPLD 是一种复杂的用户可编程逻辑器件,它以其编程方便、集成度高、速度快、价格低等特点越来越受到广大电子设计人员的青睐。特别是 Altera 公司的嵌入式可编程逻辑器件 FLEX 10K 更是受到人们的重用。目前,Altera 公司已成为 CPLD 市场上的佼佼者。Altera 公司出品的最新结构——APEX 20K 系列更是融合乘积项、查找表和嵌入式和存储器于一体,适用范围更加广泛。此外,该公司的 MAX+PLUS II 开发软件易学易用,更是让人喜欢。基于此原因,我们在本书中向大家介绍 Altera 公司的产品和开发工具,以使更多的电子设计人员能够掌握这一产品的设计和应用。

本书分为基础篇和提高篇两大部分。在基础篇中,首先介绍了可编程逻辑器件的发展概况,其次对 Altera 公司的 FLEX 10K、FLEX 6000、MAX 7000S 和 MAX 7000A 等系列器件作了较为详细的介绍,最后重点介绍了 MAX+PLUS II 开发软件的特点、安装和使用。除此之外,还对 Altera 器件的 JTAG 边界扫描电路也作了介绍。在提高篇中,主要针对电子设计人员应用 Altera 器件过程中可能会遇到和普遍关心的问题作了较为详细的论述。特别是对于提高器件工作速度的方法、有效配置器件的方法作了详细的讨论,还对高速板设计中可能会出现的问题作了一定的分析,提出了一些可供参考的解决办法。此外,在提高篇中还着重介绍了 Altera 公司的硬件描述语言(AHDL 语言)。

本书既可作为培训教材,也可作为工科院校电子、计算机类专业的教材和参考书,同时也适用于广大的电子设计人员。

本书由宋万杰、罗丰和吴顺君教授共同完成。其中第 1、2 章由吴顺君教授编写,第 3~7 章由宋万杰编写,第 8~13 章由罗丰编写,全书由宋万杰统稿。

本书在编写过程中特别受到了 Altera 公司中国区经理赵典锋先生的大力支持和帮助,他对本书的编写提出了许多有益的建议,在此深表谢意。同时,还得到作者所在单位领导和同事们、孙肖子教授和国家电工教学基地的各位老师的大力支持和帮助。西安电子科技大学出版社的戚文艳、赵立光编辑为本书的出版付出了艰辛的劳动。此外,段旭红同志完成了本书的全部录入工作,在此一并表示衷心感谢。

CPLD 技术的发展十分迅速,因此我们和读者一样,也在不断地学习。由于编者水平有限,书中错误与不足之处在所难免,恳请读者批评指正。

联系地址: cpld @ rsp. xidian. edu. cn.

编者

1999 年 3 月于

西安电子科技大学雷达信号处理重点实验室

目 录

第一部分 基础篇

第 1 章 PLD 概述

1.1 可编程逻辑器件的发展历程	1
1.2 ASIC、FPGA/CPLD 技术	2
1.2.1 ASIC CAD 技术	2
1.2.2 FPGA/CPLD CAD 技术	3
1.2.3 ASIC 与 FPGA/CPLD 进行电路设计的一般流程	6
1.3 PLD 厂商及产品介绍	7
1.3.1 Xilinx 公司及其产品简介	7
1.3.2 Altera 公司的 CPLD	9

第 2 章 Altera 产品概述

2.1 可编程逻辑与 ASIC	12
2.2 Altera PLD 的优点	13
2.2.1 高性能	14
2.2.2 高集成度	14
2.2.3 价格合理	14
2.2.4 使用 MAX+PLUS II 软件开发周期较短	14
2.2.5 Altera 器件的优化宏函数	14
2.3 Altera 的系列产品	15
2.3.1 FLEX 10K 系列	16
2.3.2 FLEX 8000 系列	16
2.3.3 FLEX 6000 系列	17
2.3.4 MAX 9000 系列	17
2.3.5 MAX 7000 系列	17
2.3.6 MAX 5000 系列	17
2.3.7 Classic 系列	17
2.4 MAX+PLUS II 开发工具	18
2.4.1 MAX+PLUS II 设计流程图	18
2.4.2 使用各种平台和其它 EDA 工具	19
2.5 结论	19

第 3 章 FLEX 10K 系列器件的技术规范

3.1 概述	20
--------------	----

3.2 特点	20
3.3 功能描述	23
3.3.1 FLEX 10K 的 EAB	25
3.3.2 逻辑单元(LE)	30
3.3.3 逻辑阵列块(LAB)	36
3.3.4 FastTrack 连接	37
3.3.5 I/O 单元(IOE)	40
3.3.6 时钟锁定和时钟自举	44
3.3.7 输出配置	44
3.3.8 JTAG 边界扫描	45
3.3.9 一般性测试	45
3.3.10 定时模型	45
3.4 FLEX 10KE 系列器件简介	51
3.5 器件输出引脚	54

第 4 章 FLEX 6000 系列器件简介

4.1 OptiFLEX 结构	63
4.2 特点	64
4.3 概述	66
4.4 功能描述	67
4.4.1 逻辑阵列块(LAB)	68
4.4.2 逻辑单元(LE)	68
4.4.3 FastTrack 连接	73
4.4.4 I/O 单元(IOE)	75
4.5 输出配置	77
4.5.1 摆率控制	77
4.5.2 多电压 I/O 接口	77
4.6 JTAG 边界扫描	77
4.7 定时模型	78

第 5 章 MAX 7000 系列器件可编程逻辑的技术规范

5.1 MAX 7000 系列器件的结构和性能	83
5.1.1 特点	83
5.1.2 概述	84
5.1.3 功能描述	87
5.1.4 在线编程	92
5.1.5 可编程速度/功率控制	93
5.1.6 输出配置	94
5.1.7 器件编程	94
5.1.8 JTAG 边界扫描	94
5.1.9 设计加密	95
5.1.10 一般性测试	95
5.1.11 QFP 运载架和开发插座	96

5.2 MAX 7000A 可编程逻辑器件	96
5.2.1 特点	96
5.2.2 概述	97
5.2.3 功能描述	99
5.2.4 在线编程	104
5.2.5 可编程速度/功率控制	104
5.2.6 输出配置	104
5.2.7 器件编程	105
5.2.8 JTAG 边界扫描	105
5.2.9 设计加密	105
5.2.10 一般性测试	106
5.3 定时模型	106
5.4 MAX 7000 系列器件的引脚输出	107

第 6 章 Altera 器件的边界扫描测试

6.1 引言	113
6.2 IEEE 1149.1 BST 的结构	114
6.3 边界扫描寄存器	116
6.3.1 I/O 引脚	116
6.3.2 专用输入	117
6.3.3 专用时钟引脚(仅适用于 FLEX 10K)	120
6.3.4 专用配置引脚(全部 FLEX 器件)	120
6.4 JTAG BST 操作控制	122
6.5 JTAG BST 电路的使能	129
6.6 JTAG 边界扫描测试原则	130
6.7 边界扫描描述语言(BSDL)	131
6.8 结束语	131

第 7 章 MAX+PLUS II 入门

7.1 概述	132
7.2 MAX+PLUS II 的安装	133
7.2.1 推荐的系统配置	133
7.2.2 MAX+PLUS II 的安装	134
7.3 MAX+PLUS II 的设计过程	138
7.3.1 设计输入	138
7.3.2 设计处理	139
7.3.3 设计校验	141
7.3.4 器件编程	142
7.3.5 联机求助	143
7.3.6 软件维护协议	143
7.3.7 MAX+PLUS II 软件的流程	143
7.4 逻辑设计的输入方法	143
7.4.1 建立一个图形设计文件	144

7.4.2 文本设计输入方法	151
7.4.3 创建顶层图形设计文件	152
7.4.4 层次显示	152
7.5 设计项目的编译	153
7.5.1 打开编译器窗口准备编译	154
7.5.2 编译器的选项设置	154
7.5.3 运行编辑器	158
7.5.4 在底层图编辑器中观察试配结果	160
7.5.5 引脚锁定	161
7.6 设计项目的模拟仿真	162
7.7 定时分析	165
7.8 器件编程	167

第二部分 提高篇

第 8 章 几种提高电路设计效率的方法

8.1 使用 LPM 宏单元库	171
8.2 使用硬件描述语言 VHDL/AHDL	173
8.3 使用 EAB 单元	176
8.3.1 引言	176
8.3.2 EAB 内部结构	177
8.3.3 EAB 单元的灵活性	177
8.3.4 EAB 应用实例	179
8.4 综合使用上述三种方法	181

第 9 章 提高系统运行速度的方法

9.1 序言	184
9.2 修改电路以提高系统速度	184
9.2.1 直接修改电路	184
9.2.2 流水技术的概念及应用	185
9.2.3 修改底层布局	186
9.2.4 合理使用 CPLD 资源	187
9.3 修改软件配置提高系统速度	188
9.3.1 器件选择(Device ...)	188
9.3.2 局部逻辑分析控制(Logic Option ...)	190
9.3.3 流水线设置(本项操作并非在 Assign 菜单下完成)	190
9.3.4 打包(Clique ...)	190

第 10 章 MAX+PLUS II 仿真原理

10.1 引言	193
---------------	-----

10.2	MAX+PLUS I 仿真机理	193
10.2.1	功能仿真	193
10.2.2	时序仿真	194
10.3	仿真中的节点	194
10.3.1	供仿真用的节点与组	194
10.3.2	标识节点和组的类型	195
10.4	状态机的仿真	195
10.5	小结	198

第 11 章 硬件描述语言 AHDL

11.1	概述	199
11.2	AHDL 的基本元素	200
11.2.1	保留关键字和保留标识符	200
11.2.2	符号	201
11.2.3	带引号和不带引号的名称	202
11.2.4	组	203
11.2.5	AHDL 中的数字	203
11.2.6	布尔表达式	204
11.3	AHDL 设计的基本结构	207
11.3.1	子设计段	207
11.3.2	逻辑段	208
11.3.3	变量段	215
11.3.4	Constant 语句	219
11.3.5	Options 语句	219
11.3.6	Include 语句	220
11.3.7	Title 语句	220
11.3.8	函数原型语句	221
11.4	AHDL 设计实例	222
11.5	设计风格	229
11.5.1	常用的设计风格	229
11.5.2	空白区	231
11.5.3	注释与文档	231
11.5.4	命名习惯	232
11.5.5	AHDL 对缩格的建议	233
11.5.6	文件结构	235

第 12 章 Altera FLEX 10K 系列器件的配置与下载

12.1	引言	236
12.2	配置方式	236
12.2.1	分类	236
12.2.2	配置文件大小	237
12.2.3	配置中将用到的引脚	237
12.2.4	主动串行配置或 EPC1 配置方式	239

12.2.5	被动串行配置方式	241
12.2.6	被动并行同步(PPS)配置方式	243
12.2.7	被动并行异步(PPA)配置方式	245
12.3	并口下载电缆 ByteBlaster 原理	248
12.3.1	概述	248
12.3.2	ByteBlaster 的连接及原理	248
12.3.3	ByteBlaster 的工作条件	250
第 13 章 工程设计中 Altera 器件的工作条件和应注意的问题		
13.1	引言	252
13.2	工作条件	252
13.3	引脚电压	253
13.3.1	引脚连接	253
13.3.2	闭锁	254
13.3.3	带电插拔	255
13.3.4	静电放电	255
13.4	输出负载	256
13.4.1	电阻性负载	256
13.4.2	容性负载	256
13.5	电源使用	257
13.5.1	V_{CC} 和 GND 平面	257
13.5.2	去耦电容器	257
13.5.3	V_{CC} 上升时间	258
13.5.4	电流损耗	258
13.6	Altera 器件的信息擦除	259
13.7	Altera 器件功耗估计	259
13.7.1	功率估计	260
13.7.2	热分析管理	261
13.8	高速板设计	262
13.8.1	引言	262
13.8.2	电源滤波及分配	262
13.8.3	信号与传输线的端接	263
13.8.4	阻抗匹配和端接电阻	265
13.8.5	串扰	267
13.8.6	地线毛刺	268
附录 Altera 器件选择指南		
参考文献		276

第一部分

基础篇

第 1 章

PLD 概述

1.1 可编程逻辑器件的发展历程

当今社会是数字化的社会,是数字集成电路(微处理器、存贮器以及标准逻辑电路等)广泛应用的社会。信息高速公路、多媒体电脑、移动电话系统、数字电视,各种自动化设备以及我们日常的一些小制作都要用到数字集成电路。与此同时,数字集成电路本身也在不断地进行更新换代。它由早期的电子管、晶体管、小规模集成电路(几十~几百门)、中规模集成电路(MSIC,几百~几千门)、大规模集成电路(LSIC,几千~几万门)发展到超大规模集成电路(VLSIC,几万门以上)以及许多具有特定功能的专用集成电路。但是,随着微电子技术的发展,设计与制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师们更愿意自己设计专用集成电路(ASIC)芯片,而且希望 ASIC 的设计周期尽可能短,最好是在实验室里就能设计出合适的 ASIC 芯片,并且立即投入实际应用之中,因而出现了现场可编程逻辑器件(FPLD),其中应用最广泛的当属现场可编程门阵列(FPGA)和复杂可编程逻辑器件(CPLD)。

早期的可编程逻辑器件只有可编程只读存贮器(PROM)、紫外线可擦除只读存贮器(EPROM)和电可擦除只读存贮器(EEPROM)三种。由于结构的限制,它们只能完成简单的数字逻辑功能。其后,出现了一类结构上稍复杂的可编程芯片,即可编程逻辑器件(PLD),它能够完成各种数字逻辑功能。典型的 PLD 由一个“与”门和一个“或”门阵列组成,而任意一个组合逻辑都可以用“与—或”表达式来描述,所以,PLD 能以乘积和的形式完成大量的组合逻辑功能。这一阶段的产品主要有 PAL(可编程阵列逻辑)和 GAL(通用阵列逻辑)。PAL 由一个可编程的“与”平面和一个固定的“或”平面构成,或门的输出可以

通过触发器有选择地被置为寄存状态。PAL 器件是现场可编程的, 它的实现工艺有反熔丝技术、EPROM 技术和 EEPROM 技术等。还有一类结构更为灵活的逻辑器件是可编程逻辑阵列(PLA), 它也由一个“与”平面和一个“或”平面构成, 但是这两个平面的连接关系是可编程的。PLA 器件既有现场可编程的, 也有掩膜可编程的。在 PAL 的基础上, 又发展了一种通用阵列逻辑(GAL, Generic Array Logic), 它采用 EEPROM 工艺, 实现了电可擦除、电可改写, 其输出结构是可编程的逻辑宏单元, 因而它的设计具有很强的灵活性。

这些早期的 PLD 器件的一个共同特点是可以实现速度特性较好的逻辑功能, 但其过于简单的结构也使它们只能实现规模较小的电路。为了弥补这一缺陷, 20 世纪 80 年代中期, Altera 和 Xilinx 分别推出了类似于 PAL 结构的扩展型 EPLD(Erasable Programmable Logic Device)和与标准门阵列类似的 FPGA(Field Programmable Gate Array), 它们都具有体系结构和逻辑单元灵活、集成度高以及适用范围宽等特点。这两种器件兼容了 PLD 和通用门阵列的优点, 可实现较大规模的电路, 编程也很灵活。与门阵列等其它 ASIC(Application Specific IC)相比, 它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点, 因此被广泛应用于产品的原型设计和产品生产(一般在 5 000 件以下)之中。几乎所有应用门阵列、PLD 和中小规模通用数字集成电路的场合均可应用 FPGA 和 CPLD 器件。

1.2 ASIC、FPGA/CPLD 技术

1.2.1 ASIC CAD 技术

ASIC (Application Specific Integrated Circuits, 专用集成电路)是相对于通用集成电路而言的, 但是两者没有明显的界限, 仅仅是应用范围的大小不同。ASIC 可以分为数字 ASIC 和模拟 ASIC, 数字 ASIC 又分为全定制(Full Custom)和半定制(Semi Custom)两种。

全定制是一种基于晶体管级的 ASIC 设计方法。设计人员使用版图编辑工具, 从晶体管的版图尺寸、位置和互连线开始设计, 以期实现 ASIC 芯片面积利用率高、速度快、功耗低的最优性能, 但这种方式的设计周期长, 比较适合批量大的 ASIC 芯片设计。

半定制是一种约束性设计方式。约束的主要目的是简化设计、缩短设计周期以及提高芯片成品率。半定制又分为门阵列(Gate Array) ASIC 和标准单元(Standard Cell)ASIC。

门阵列方式是 IC 厂家事先生产了大批的半成品芯片, 其内部成行成列等间距地排列着以门为基本单元的阵列——称之为母片, 只剩下一层或两层金属铝连线的掩膜需要根据用户电路的不同而定制。这种方式牵涉工艺较少, 设计自动化程度高, 设计周期短, 设计费用和造价低, 但芯片面积利用率低。设计人员只需要设计到电路一级, 将电路的连结网表文件以 EDIF 格式交由 IC 厂家即可。

标准单元方式是由 IC 厂家预先设计好的一批具有一定功能的单元, 这些单元以库的形式放在 CAD 工具中, 它的结构符合一定的电气和物理标准, 故称之为标准单元。设计人员在电路设计完成之后, 利用 CAD 工具中的自动布局布线软件就可以在版图一级完成与电路一一对应的最终设计。

门阵列与标准单元在版图设计完成后都要进行仿真, 以保证所设计的电路在映射到物

理器件后完成功能的正确性。

模拟电路由于受布局布线影响较大，故而模拟 ASIC 的设计以采用全定制方式为主。

ASIC 具有以下几个特点：

- 降低了产品的综合成本。用 ASIC 来设计和改造电子产品可以大幅度地减少印刷电路板的面积和接插件，降低装配和调试费用。

- 提高了产品的可靠性。大量分立式元器件在向印刷电路板上装配时，往往会发生由于虚焊或接触不良而造成的故障，并且这种故障常常难以发现，给调试和维修带来了极大的困难。因此，采用 ASIC 之后系统的可靠性会大大提高。

- 提高了产品的保密程度和竞争能力。

- 降低了电子产品的功耗。由于 ASIC 内部电路尺寸很小、互连线短、分布电容小，驱动电路所需的功耗就大大降低；另外，由于芯片内部受外界的干扰很小，所以可以采用较低的工作电压以降低功耗。

- 提高了电子产品的工作速度。ASIC 芯片内部很短的连线能大大缩短延迟时间，并且其内部电路不易受外界干扰，这对提高速度非常有利；而且，ASIC 规模越做越大，有时可以将整个(子)系统集成到一块芯片上，这比分立元器件构成的电子系统的速度要快。

- 大大减小了电子产品的体积和重量。

- 半定制设计由于不需涉及布局布线专业知识和经验，也使得设计人员都能够接受这种 CAD 技术。

1.2.2 FPGA/CPLD CAD 技术

FPGA(Field Programmable Gates Array, 现场可编程门阵列)与 CPLD(Complex Programmable Logic Device, 复杂可编程逻辑器件)都是可编程逻辑器件，它们是在 PAL、GAL 等逻辑器件的基础之上发展起来的。同以往的 PAL、GAL 等相比较，FPGA/CPLD 的规模比较大，适合于时序、组合等逻辑电路应用场合，它可以替代几十甚至上百块通用 IC 芯片。这样的 FPGA/CPLD 实际上就是一个子系统部件。这种芯片具有可编程性和实现方案容易改动的特点。由于芯片内部硬件连接关系的描述可以存放在磁盘、ROM、PROM 或 EPROM 中，因而在可编程门阵列芯片及外围电路保持不动的情况下，换一块 EPROM 芯片，就能实现一种新的功能。FPGA 芯片及其开发系统问世不久，就受到世界范围内电子工程设计人员的广泛关注和普遍欢迎。

经过了十几年的发展，许多公司都开发出了多种类型的可编程逻辑器件(PLDs, Programmable Logic Devices)。比较典型的就是 Xilinx 公司的 FPGA 器件系列和 Altera 公司的 CPLD 器件系列，它们开发较早，占据了较大的 PLD 市场。当然还有其它许多类型器件，这里不再一一介绍。

尽管 FPGA、CPLD 和其它类型 PLD 的结构各有其特点和长处，但概括起来，它们是由三大部分组成的，如图 1.1 所示：

- 一个二维的逻辑块阵列，构成了 PLD 器件的逻辑组成核心。

- 输入/输出块。

- 连接逻辑块的互连资源，连线资源由各种长度的连线线段组成，其中也有一些可编程的连接开关，它们用于逻辑块之间、逻辑块与输入/输出块之间的连接。

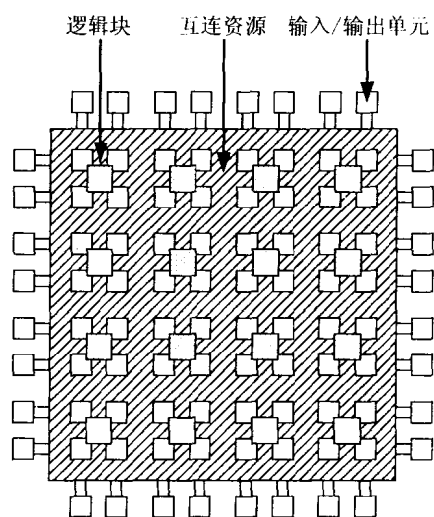


图 1.1 可编程逻辑器件结构示意图

下面就 FPGA 和 CPLD 器件系列及其结构作简要的介绍和比较。

1. Xilinx FPGA

Xilinx FPGA 目前有主流产品：XC 2000 系列、XC 3000 系列和 XC 4000 系列，它们的一般结构如图 1.2 所示。

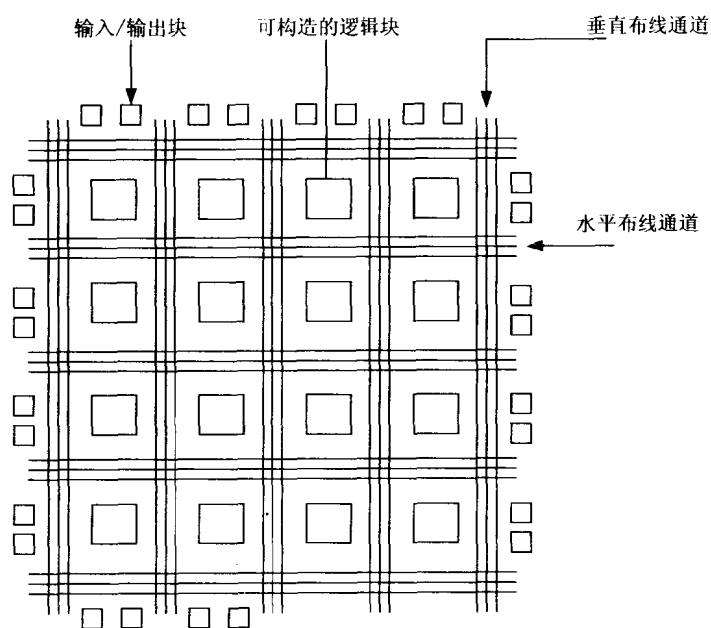


图 1.2 Xilinx FPGA 内部结构示意图

由图可以看出, Xilinx FPGA 芯片是由可构造的输入/输出块(IOB, Input/Output Block)、可构造逻辑块(CLB, Configurable Logic Block)和可编程连线资源(PIA, Programmable Interconnect Array)三种可构造单元构成的。IOB 位于芯片内部四周, 在内部逻辑阵列与外部芯片封装引脚之间提供一个可编程接口, 它主要由逻辑门、触发器和控制单元组成。CLB 组成了 FPGA 的核心阵列, 能完成用户指定的逻辑功能; 每个 CLB 主要由一个组合逻辑、几个触发器、若干个多选一电路和控制单元组成; PIA 位于芯片内部的逻辑块之间, 经编程后形成连线网络, 用于芯片内部逻辑间的相互连接, 并在它们之间传递逻辑信息。

2. Altera CPLD

Altera 的 CPLD 器件又分为 EPLD(Electronic PLD, 电可擦除可编程逻辑器件)产品系列和 FLEX(Flexible Logic Element Matrix, 灵活逻辑单元阵列)产品系列。其中 EPLD 又包含有 Classic、FLASH Logic 和 MAX 5000/7000/9000 系列; FLEX 包含有 FLEX 10K/8000/6000 系列。FLEX 10K 系列结构框图如图 1.3 所示。

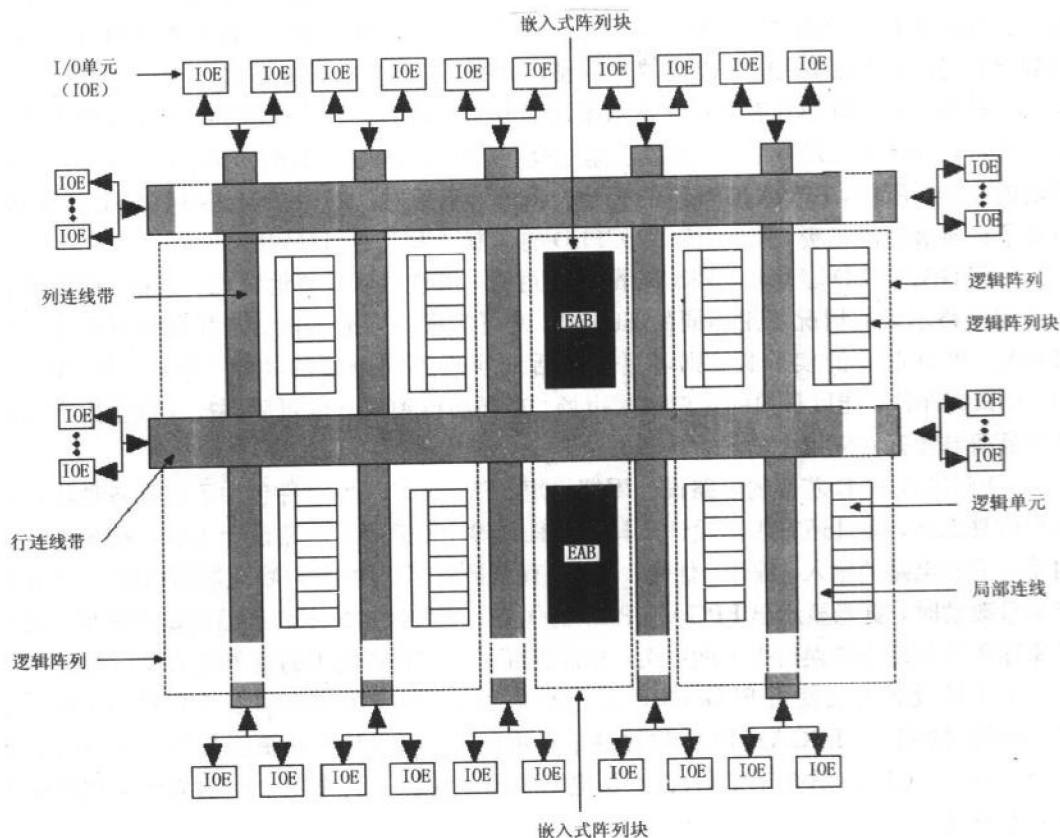


图 1.3 FLEX 10K 系列内部结构图

CPLD 与 FPGA 在很大程度上具有类似之处,但由于内部结构上的差异导致了它们在功能与性能上的差别。主要表现在如下几方面:

- 布线能力。Altera CPLD 独特的内连线结构使其内连率很高,不需要人工布局布线来优化速度和面积。这与 Xilinx FPGA 有有限的布线线段相比,更适合于电子系统设计自动化(ESDA)中芯片设计的可编程器件验证。

- 延迟可预测能力。Altera CPLD 的连续式布线结构决定了它的时序延迟是均匀的和可预测的(即设计输入不变的情况下每次布局布线后其时序延迟是一定的)。这与 Xilinx FPGA 分段式布线结构导致的不可预测延迟相比,更加方便了电路设计人员设计电路。

- 适用场合。虽然 Altera CPLD 与 Xilinx FPGA 都可集成成千上万门的数字逻辑电路,但比较而言,Altera CPLD 更适合于完成各类算法和组合逻辑,而 Xilinx FPGA 更适合于完成时序较多的逻辑电路。

FPGA/CPLD 芯片都是特殊的 ASIC 芯片,它们除了具有 ASIC 的特点之外,还具有以下几个优点:

- 随着 VLSI(Very Large Scale IC,超大规模集成电路)工艺的不断提高,单一芯片内部可以容纳上百万个晶体管,FPGA/CPLD 芯片的规模也越来越大,其单片逻辑门数已达到数十万门,它所能实现的功能也越来越强,同时也可以实现系统集成。

- FPGA/CPLD 芯片在出厂之前都做过百分之百的测试,不需要设计人员承担投片风险和费用,设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的最终功能指定。所以,FPGA/CPLD 的资金投入小,不用对厂商做任何订单数量上的承诺,节省了许多潜在的花费,而且 FPGA/CPLD 的研制开发费用相对较低。

- FPGA/CPLD 芯片和 EPROM 配合使用时,用户可以反复地编程、擦除、使用或者在外围电路不动的情况下用不同的 EPROM 就可实现不同的功能。尤其是如果构造出该 FPGA/CPLD 芯片的实验板,则可更加灵活地实现不同电路的功能。所以,用 FPGA/CPLD 试制样片,能以最快的速度占领市场。当样品得到用户认可后再投入批量生产是电子产品研制和开发应用中的一种优选方法。

- FPGA/CPLD 芯片的电路设计周期很短。FPGA/CPLD 软件包中不但有各种输入工具和仿真工具,而且还有版图设计工具和编程器等全线产品,电路设计人员在很短的时间内就可完成电路的输入、编译、优化、仿真,直至最后芯片的制作(物理版图映射)。当电路有少量改动时,更能显示出 FPGA/CPLD 的优势。它大大加快了新产品的试制速度,减少了库存风险与设计错误所带来的危险,从而提高了企业在市场上的竞争能力和应变能力。

- 电路设计人员使用 FPGA/CPLD 进行电路设计时,不需要具备专门的 IC(集成电路)深层次的知识,FPGA/CPLD 软件易学易用,可以使设计人员更能集中精力进行电路设计。FPGA/CPLD 适合于正向设计(从电路原理图到芯片级的设计),对知识产权的保护也非常有利。

1.2.3 ASIC 与 FPGA/CPLD 进行电路设计的一般流程

通常可将 ASIC/FPGA 设计流程归纳为以下 7 个步骤。

第 1 步:设计输入。在传统设计中,设计人员是应用传统的原理图输入方法来开始设计的。自 90 年代初,Verilog、VHDL、AHDL 等硬件描述语言的输入方法得到了广大工程