



“十二五”普通高等教育本科国家级规划教材



普通高等教育“十一五”国家级规划教材



微电子与集成电路设计系列规划教材

集成电路设计

(第3版)

© 王志功 陈莹梅 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>



含光盘1张



“十二五”普通高等教育本科国家级规划教材



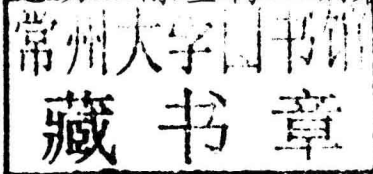
普通高等教育“十一五”国家级规划教材

微电子与集成电路设计系列规划教材

集成电路设计

(第3版)

王志功 陈莹梅 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书是“十二五”普通高等教育本科国家级规划教材和普通高等教育“十一五”国家级规划教材,全书遵循集成电路设计的流程,介绍集成电路设计的一系列知识。全书共 12 章,主要内容包括:集成电路设计概述,集成电路材料、结构与理论,集成电路基本工艺,集成电路器件工艺,MOS 场效应管的特性,集成电路器件及 SPICE 模型,SPICE 数模混合仿真程序的设计流程及方法,集成电路版图设计与工具,模拟集成电路基本单元,数字集成电路基本单元与版图,集成电路数字系统设计基础,集成电路的测试和封装。本书配套光盘内容包括电子课件、Cadence 公司授权 PSPICE 学生版安装软件、HSPICE 和 PSPICE 两种仿真工具的电路实例设计包等。

本书可作为高等学校电子信息、微电子等专业高年级本科生和研究生教材,也可供集成电路设计工程师学习参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

集成电路设计/王志功,陈莹梅编著. —3 版. —北京:电子工业出版社,2013.7

微电子与集成电路设计系列规划教材

ISBN 978-7-121-19983-7

I. ①集… II. ①王… ②陈… III. ①集成电路—电路设计—高等学校—教材 IV. ①TN402

中国版本图书馆 CIP 数据核字(2013)第 056790 号

策划编辑:王羽佳

责任编辑:郑志宁 文字编辑:王晓庆

印 刷:北京季蜂印刷有限公司

装 订:北京季蜂印刷有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1 092 1/16 印张:19.25 字数:493 千字

印 次:2013 年 7 月第 1 次印刷

印 数:4000 册 定价:45.00 元(含光盘 1 张)

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zltts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

前 言

随着微电子工艺特征尺寸的不断缩小,集成电路技术的发展呈现部分新的特征。工艺库与电子 CAD 软件不断更新,集成电路的速度不断提高,电路复杂度不断增加,电路结构随着电源电压的降低也随之调整。针对这一情况,我们对 2009 年 6 月出版的《集成电路设计》第 2 版进行了重新修订,新版在体系结构上保留原书的特色,基本内容力求符合教育部高等学校电子信息与电气信息类基础课程教学分指导委员会制定的“集成电路设计基础”课程教学基本要求。

本次修订力求结合当前集成电路技术的发展动态,增加教材的新颖性和实用性。与第 2 版相比,本版介绍当前最先进的集成电路工艺,以及近年来我国集成电路产业的发展与面临的新问题,为读者提供了集成电路设计从前端、版图、流片到封装测试的完整流程中的相关知识,并结合设计工具进一步强化了设计实例。电路仿真工具选用了 Cadence 公司的 PSPICE 和 Spectre 以及 Synopsys 公司的 HSPICE,版图设计工具则主要选用了 Cadence 的 Virtuoso。

具体修订内容如下。

1. 第 1 章在集成电路的发展部分引入了当前 45 nm 和 22 nm 等最先进的 CMOS 工艺,对系统芯片 SoC 进行了比较详细的介绍。总结了当前集成电路发展呈现的新趋势与特征,以及集成电路发展所面临的机遇和存在的问题。在集成电路制造途径部分,更新了我国集成电路工艺厂家能够提供的最新工艺。

2. 为增加本书的连贯性,第 4 章的集成电路器件工艺部分增加了 HBT 和 PHEMT 的 π 形小信号等效电路模型,为后面第 6 章 SPICE 模型部分的内容进行了铺垫。对几种器件工艺的电学性能进行了比较。在 MOS 管的工作原理部分,不仅提供了直观的剖面图,同时增加了文字说明,进一步强化了基本概念与基本原理。

3. SPICE 是集成电路 EDA 技术的语言基础,当前几乎所有的电路仿真应用软件都是以 SPICE 为内核的,或者是在 SPICE 基础上的扩充。模拟工具的网表文件输入形式虽然原理性比较强,在处理大工程时效率高,不易出错,但是图形界面比较直观形象,易于查错,受到许多高等学校学生和科研人员的广泛欢迎。因此第 7 章的 SPICE 仿真实例部分,在第 2 版原有的 HSPICE 网表文件形式仿真实例的基础上,增加了对 PSPICE 图形界面输入形式的介绍,并对相同的电路介绍了图形界面的设计流程,便于读者进行设计与比较。

4. 第 8 章集成电路版图设计与工具中更新了部分软件界面图。

5. 对第 11 章集成电路数字系统设计基础部分进行了改写,丰富了硬件描述语言 VHDL 部分的内容,增加了现场可编程门阵列(FPGA)设计实例,使本章的内容更翔实、全面,便于初学者学习,目的是加强本书的基础性。

为了方便读者对本书的仿真实例进行练习,教材配有一张光盘,内容包括 Cadence 公司提供的 PSPICE 学生版软件、第 7 章 HSPICE 和 PSPICE 两种仿真工具的电路实例,以及教师教学用 PPT。

本书提供的配套多媒体电子课件,也可以登录华信教育资源网(<http://www.hxedu.com.cn>)注册下载。

本书可作为电子信息、微电子等专业高年级本科生和研究生的教材，也可作为集成电路设计工程师的参考用书。

本书的修订大纲与内容由王志功组织并审定，由陈莹梅主持编写，Cadence 公司中国区 AE 总监陈春章博士对 PSPICE 软件的提供进行了大力支持，东南大学射频与光电集成电路研究所的研究生宰大伟为 PSPICE 软件实例做了部分前期工作。电子工业出版社的王羽佳编辑在组织出版和编辑工作中给予了很大的支持。多年来，广大读者和兄弟院校教师对本书提出的批评和建议，对我们有很大的帮助和促进。在此对以上各方人士表示衷心的感谢！并恳请读者对本书继续批评和指正。

编 者

2013 年 7 月于东南大学

目 录

第 1 章 集成电路设计概述	1	3.3 光刻原理与流程	31
1.1 集成电路的发展	1	3.3.1 光刻步骤	31
1.2 集成电路设计流程及设计环境	4	3.3.2 曝光方式	32
1.3 集成电路制造途径	5	3.4 氧化	34
1.4 集成电路设计的知识范围	7	3.5 淀积与刻蚀	34
思考题	8	3.6 掺杂原理与工艺	35
第 2 章 集成电路材料、结构与理论	9	思考题	37
2.1 集成电路材料	9	本章参考文献	37
2.1.1 硅	10	第 4 章 集成电路器件工艺	39
2.1.2 砷化镓	10	4.1 双极型集成电路的基本制造工艺	40
2.1.3 磷化铟	11	4.1.1 双极型硅工艺	40
2.1.4 绝缘材料	11	4.1.2 HBT 工艺	41
2.1.5 金属材料	12	4.2 MESFET 和 HEMT 工艺	43
2.1.6 多晶硅	13	4.2.1 MESFET 工艺	43
2.1.7 材料系统	14	4.2.2 HEMT 工艺	44
2.2 半导体基础知识	15	4.3 MOS 和相关的 VLSI 工艺	47
2.2.1 半导体的晶体结构	15	4.3.1 PMOS 工艺	48
2.2.2 本征半导体与杂质半导体	15	4.3.2 NMOS 工艺	49
2.3 PN 结与结型二极管	16	4.3.3 CMOS 工艺	52
2.3.1 PN 结的扩散与漂移	16	4.4 BiCMOS 工艺	55
2.3.2 PN 结型二极管	17	思考题	58
2.3.3 肖特基结二极管	18	本章参考文献	58
2.3.4 欧姆型接触	18	第 5 章 MOS 场效应管的特性	59
2.4 双极型晶体管	18	5.1 MOS 场效应管	59
2.4.1 双极型晶体管的基本结构	18	5.1.1 MOS 管伏安特性的推导	59
2.4.2 双极型晶体管的工作原理	19	5.1.2 MOS 电容的组成	60
2.5 MOS 晶体管	20	5.1.3 MOS 电容的计算	62
2.5.1 MOS 晶体管的基本结构	20	5.2 MOSFET 的阈值电压 V_T	63
2.5.2 MOS 晶体管的工作原理	21	5.3 体效应	66
2.5.3 MOS 晶体管的伏安特性	21	5.4 MOSFET 的温度特性	66
思考题	25	5.5 MOSFET 的噪声	67
本章参考文献	25	5.6 MOSFET 尺寸按比例缩小	67
第 3 章 集成电路基本工艺	27	5.7 MOS 器件的二阶效应	70
3.1 外延生长	27	5.7.1 L 和 W 的变化	70
3.2 掩模版的制造	28	5.7.2 迁移率的退化	72

5.7.3 沟道长度的调制	73	7.9 PSPICE 跨导放大器设计实例	131
5.7.4 短沟道效应引起的阈值电压的 变化	74	思考题	136
5.7.5 狭沟道效应引起的阈值电压的 变化	74	本章参考文献	136
思考题	75	第 8 章 集成电路版图设计与工具	137
本章参考文献	75	8.1 工艺流程的定义	137
第 6 章 集成电路器件及 SPICE 模型	76	8.2 版图几何设计规则	138
6.1 无源器件结构及模型	76	8.3 图元	142
6.1.1 互连线	76	8.3.1 MOS 晶体管	142
6.1.2 电阻	77	8.3.2 集成电阻	144
6.1.3 电容	79	8.3.3 集成电容	145
6.1.4 电感	81	8.3.4 寄生二极管与三极管	147
6.1.5 分布参数元件	82	8.4 版图设计准则	148
6.2 二极管电流方程及 SPICE 模型	86	8.4.1 匹配设计	148
6.2.1 二极管的电路模型	86	8.4.2 抗干扰设计	153
6.2.2 二极管的噪声模型	87	8.4.3 寄生优化设计	154
6.3 双极型晶体管电流方程及 SPICE 模型	88	8.4.4 可靠性设计	155
6.3.1 双极型晶体管的 EM 模型	88	8.5 电学设计规则与布线	157
6.3.2 双极型晶体管的 GP 模型	90	8.6 基于 Cadence 平台的全定制 IC 设计	159
6.4 结型场效应 JFET (NJF/PJF) 模型	91	8.6.1 版图设计的环境	159
6.5 MESFET (NMF/PMF) 模型 (SPICE3.x)	91	8.6.2 原理图编辑与仿真	160
6.6 MOS 管电流方程及 SPICE 模型	92	8.6.3 版图编辑与验证	164
思考题	95	8.6.4 CMOS 差动放大器版图设计 实例	166
本章参考文献	95	8.7 芯片的版图布局	168
第 7 章 SPICE 数模混合仿真程序的 设计流程及方法	97	8.8 版图设计的注意事项	170
7.1 采用 SPICE 的电路设计流程	97	思考题	171
7.2 电路元件的 SPICE 输入语句 格式	98	本章参考文献	171
7.3 电路特性分析语句	104	第 9 章 模拟集成电路基本单元	172
7.4 电路特性控制语句	106	9.1 电流源电路	172
7.5 HSPICE 缓冲驱动器设计实例	107	9.1.1 双极型镜像电流源	172
7.6 HSPICE 跨导放大器设计实例	111	9.1.2 MOS 电流镜	174
7.7 PSPICE 电路图编辑器简介	124	9.2 基准电压源设计	175
7.8 PSPICE 缓冲驱动器设计实例	126	9.2.1 双极型三管能隙基准源	175
		9.2.2 MOS 基准电压源	177
		9.3 单端反相放大器	178
		9.3.1 基本放大电路	178
		9.3.2 改进的 CMOS 推挽放大器	182
		9.4 差分放大器	182

9.4.1	BJT 差分放大器	182	10.5.2	静态随机存储器 (SRAM)	246
9.4.2	MOS 差分放大器	183	10.5.3	闪存	248
9.4.3	CMOS 差分放大器设计实例	184	思考题		250
9.5	运算放大器	186	本章参考文献		250
9.5.1	性能参数	187	第 11 章 集成电路数字系统设计基础		251
9.5.2	套筒式共源共栅运放	188	11.1	数字系统硬件描述语言	251
9.5.3	折叠式共源共栅运放	190	11.1.1	基于 HDL 语言的设计流程	251
9.5.4	两级运放	193	11.1.2	Verilog HDL 语言介绍	253
9.5.5	CMOS 运算放大器设计实例	194	11.1.3	硬件描述语言 VHDL	262
9.6	振荡器	203	11.2	数字系统逻辑综合与物理实现	269
9.6.1	环形振荡器	203	11.2.1	逻辑综合的流程	271
9.6.2	LC 振荡器	207	11.2.2	Verilog HDL 与逻辑综合	276
思考题		209	11.2.3	自动布局布线	279
本章参考文献		210	11.3	数字系统的 FPGA/CPLD 硬件	
第 10 章 数字集成电路基本单元与版图		211	验证		283
10.1	TTL 基本电路	211	11.3.1	PLD 概述	283
10.1.1	TTL 反相器	211	11.3.2	现场可编程门阵列 (FPGA)	284
10.1.2	TTL 与非门	212	11.3.3	基于 FPGA 的数字系统硬件	
10.1.3	TTL 或非门	213	验证		287
10.2	CMOS 基本门电路及版图实现	214	思考题		287
10.2.1	CMOS 反相器	214	本章参考文献		288
10.2.2	CMOS 与非门和或非门	222	第 12 章 集成电路的测试和封装		289
10.2.3	CMOS 传输门和开关逻辑	224	12.1	集成电路在芯片测试技术	289
10.2.4	三态门	227	12.2	集成电路封装形式与工艺流程	291
10.2.5	驱动电路	228	12.3	芯片键合	293
10.3	数字电路标准单元库设计	228	12.4	高速芯片封装	294
10.3.1	基本原理	228	12.5	混合集成与微组装技术	295
10.3.2	库单元设计	229	12.6	数字集成电路测试方法	296
10.4	焊盘输入/输出单元	230	12.6.1	可测试性的重要性	296
10.4.1	输入单元	231	12.6.2	测试基础	297
10.4.2	输出单元	232	12.6.3	可测试性设计	297
10.4.3	输入/输出双向三态单元 (I/O PAD)	238	思考题		300
10.5	了解 CMOS 存储器	239	本章参考文献		300
10.5.1	动态随机存储器 (DRAM)	241			

第 1 章 集成电路设计概述

1.1 集成电路的发展

微电子技术是当代信息技术的一大基石。1947 年美国贝尔实验室的 William B. Shockley（肖克莱）、Walter H. Brattain（波拉坦）和 John Bardeen（巴丁）发明了晶体管，为此他们获得了 1956 年的诺贝尔物理学奖。图 1.1 所示为代表这一具有划时代意义的点接触式晶体管的照片。

1958 年 12 月 12 日，在德州仪器公司（TI）从事研究工作的 Jack Kilby 发明了世界上第一块集成电路（IC，Integrated Circuit），为此他在 42 年之后获得了 2000 年的诺贝尔物理学奖。图 1.2 所示为 Jack Kilby 发明的世界上第一块集成电路的照片。

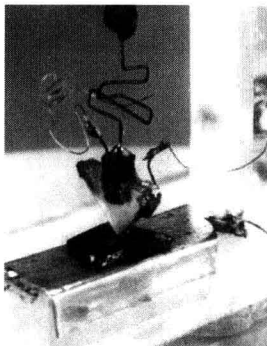


图 1.1 最原始的点接触式晶体管

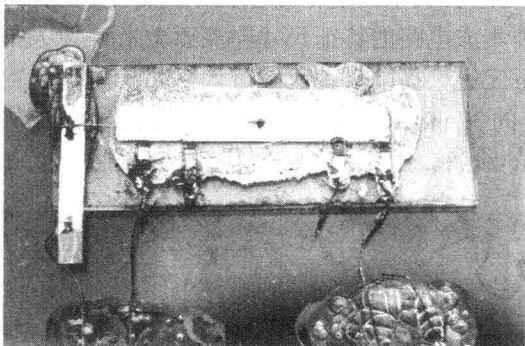


图 1.2 Jack Kilby 发明的世界上第一块集成电路

以上两项革命性的发明推进了人类社会进入微电子时代和信息时代。表 1.1 所示为 1947 年以来集成电路相关工艺技术、电路规模和产品的发展概况。

表 1.1 集成电路工艺技术、电路规模和产品的发展概况

年 份	1947	1950	1961	1966	1971	1980	1990	2000	2003
工 艺	晶体管	分立元件	SSI	MSI	LSI	VLSI	ULSI	GSI	SoC
产品芯片 上晶体管 大约数目	1	1	10	100~1000	$1 \times 10^3 \sim 2 \times 10^4$	$2 \times 10^4 \sim 1 \times 10^6$	$1 \times 10^6 \sim 1 \times 10^7$	$>1 \times 10^7$	$>5 \times 10^7$
典型产品	结型晶体管	结型晶体管和二极管	平面器件、逻辑门、触发器	计数器、复接器、加法器	8 位微处理器、ROM、RAM	16 位、32 位微处理器，复杂外围电路	专用处理器、虚拟现实机、灵巧传感器	PIII	P4、手机、芯片等

尽管英文中有 VLSI、ULSI 和 GSI 之分，但 VLSI 使用最频繁，其含义往往包括了 ULSI 和 GSI。而中文把 VLSI 译为超大规模集成，更是包含了 ULSI 和 GSI 的意义。

1965 年英特尔（Intel）公司创始人 Gorden E. Moore 提出了著名的摩尔（Moore）定律：集成电路的集成度，即芯片上晶体管的数目，每隔 18 个月增加一倍或每 3 年翻两番。30 多年

来,以动态随机存储器和英特尔公司的微处理器为代表的两大类集成电路的规模几乎都是准确地按照 Moore 定律发展的。

表 1.2 中列出了世纪之交时美国半导体协会制定的集成电路制造技术进程路标 (Roadmap)。

表 1.2 集成电路制造技术进程路标

年 份	1999	2001	2003	2006	2009
工艺/ μm	0.18	0.15	0.13	0.1	0.07
晶体管数/个	21×10^6	40×10^6	76×10^6	200×10^6	520×10^6
面积/ mm^2	340	385	430	520	620
时钟/MHz	1 200	1 400	1 600	2 000	2 500
金属层数/个	6~7	7	7	7~8	8~9
V_{DD}/V	1.65	1.35	1.35	1.05	0.75
布线长度/m	1 480	—	2 840	5 140	10 000
缓存器/KB	25	—	54	230	797

下面结合表 1.2 对集成电路技术发展趋势概括如下。

① 集成电路的特征尺寸向深亚微米/纳米发展。目前主流集成电路设计已经达到 $0.18 \sim 0.13 \mu\text{m}$ 工艺,高端设计已经进入 90 nm ,实现特征尺寸 2007 年的 65 nm 、2010 年的 45 nm 、2013 年的 32 nm 、2016 年的 22 nm 的量产。图 1.3 从左到右所示为按比例画出的宽度为 $4 \mu\text{m} \sim 70 \text{ nm}$ 的线条。由此,可以对特征尺寸的按比例缩小建立一个直观的印象。

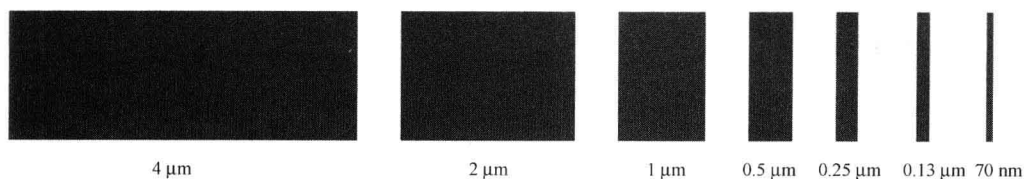


图 1.3 特征尺寸从 $4 \mu\text{m} \sim 70 \text{ nm}$ 的按比例减小的线条

② 晶圆的尺寸增加。当前的主流晶圆的尺寸为 12 英寸。图 1.4 从左到右所示为按比例画出的 2~12 英寸的晶圆。由此,可以对晶圆尺寸的增大建立一个直观的印象。通过图 1.5 中一个 12 英寸晶圆与人脸大小的对比,可以对一个 12 英寸晶圆的大小建立一个直观的印象。

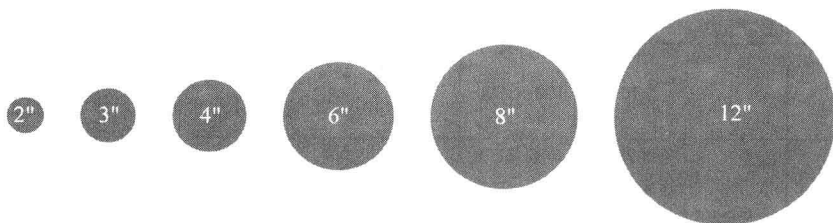


图 1.4 2~12 英寸按比例增加的晶圆

③ 集成电路的规模不断提高。CPU (P4) 已超过 4 000 万晶体管, DRAM 已达 Gb 规模。

④ 集成电路的速度不断提高。采用 $0.13 \mu\text{m}$ CMOS 工艺实现的 CPU 主时钟已超过 2 GHz ,实现的超高速数字电路速率已超过 40 Gb/s ,射频电路的最高工作频率已超过 6 GHz 。



图 1.5 一个 12 英寸晶圆与人脸大小的对比

⑤ 集成电路复杂度不断增加。系统芯片，或称芯片系统 SoC (System-on-Chip)，成为集成电路设计的主流。研究重点包括总线结构及互连技术、IP 可复用技术、多电压技术、低功耗设计技术、软件低功耗应用技术以及超深亚微米与纳米实现技术，解决时序收敛、信号完整性、天线效应、芯片测试和验证、硬件开发和软件开发同步等问题。

⑥ 模拟数字混合集成向电路设计工程师提出挑战。

⑦ 集成电路器件制造能力按每 3 年翻两番，即以每年增长 58% 的速度提升，而电路设计能力每年只以增长 21% 的速度提升，电路设计能力明显落后于器件制造能力，且其鸿沟 (Gap) 呈现越来越宽的趋势。

⑧ 制造集成电路的掩模很贵。根据 SemaTech 报告，“一套 130 nm 逻辑器件工艺的掩模大约需 75 万美元，一套 90 nm 的掩模约需 160 万美元，一套 65 nm 的掩模高达 300 万美元”。然而，每套掩模的寿命有限，一般只能生产 1000 个晶圆。

⑨ 工艺线建设投资费用越来越高。目前一条 8 英寸 $0.35\ \mu\text{m}$ 工艺线的投资约 20 亿美元，一条 12 英寸 $0.09\ \mu\text{m}$ 工艺线的投资超过 100 亿美元。如此巨额的投资已非单独一个公司，甚至一个发展中国家所能单独负担的。

⑩ 设计与整机系统结合将更紧密。未来 5~10 年，集成电路设计将围绕应用展开，64 位甚至 128 位 CPU 以及相关产品群开发、3C 功能融合的移动终端芯片组开发、网络通信产品开发、数字信息产品开发和平面显示器配套集成电路开发等将成为集成电路设计面向的主体。

⑪ 设计可行性与可靠性将得到提高。随着集成电路设计在规模、速度和功能方面的提高，EDA 业界努力寻找新的设计方法。未来 5~10 年，伴随着软件和硬件协同设计技术、可测性设计技术、纳米级电路设计技术、嵌入式 IP 核设计技术和特殊电路工艺兼容技术的融入，EDA 工具将得到更广泛的应用，从而为集成电路的短周期快速投产提供保障，使全自动化设计成为可能，设计的可行性和可靠性得到提高。

⑫ 电路设计、工艺制造、封装的分立运行为发展无生产线 (Fabless) 和无芯片 (Chipless) 集成电路设计提供了条件，为微电子领域发展提供条件。

我国集成电路设计的市场规模不断增长，我国作为全球最大的整机生产国和重要的信息化市场，新应用领域层出不穷，诸如移动宽带互联网、半导体节能应用、物联网、三网融合等，创造了新的市场空间。过去十年快速发展所奠定的基础和广阔的国内市场，为创新发展

带来十分有利的条件，我国集成电路产业面临难得的发展机遇，但人才、资金和技术等方面也同时存在着严峻的挑战。我国集成电路行业存在的问题主要有如下几方面。

1) 产业总体规模小，市场自给能力不足。市场需求的 CPU、存储器等通用芯片主要依靠进口，国内通信、网络、消费电子等产品中的高档芯片也基本依靠进口。

2) 企业规模小，力量分散，技术创新难以满足产业发展需求。我国集成电路企业以中小型企业为主，主流产品设计水平仍为中低端，制造工艺与国际先进水平相差两代，新型高端封装技术仍很欠缺，难以满足产业发展需求。

3) 价值链整合能力不强，芯片与企业整机联动机制尚未形成。国内多数设计企业积累不足，国产芯片以中低端为主，缺乏定义产品的能力，也不具备提供系统解决方案的能力，难以满足整机企业需求。多数整机企业停留在加工组装阶段，对采用国产芯片缺乏积极性，整机产品引领国内集成电路产品设计创新的局面尚未形成。芯片企业与整机企业间相互沟通不充分。具有战略合作关系的企业不多，没有形成全方位多层次的联动机制。

4) 专用设备、仪器和材料发展滞后。专用设备、仪器和关键材料等产业链上游环节薄弱，不足以支撑集成电路产业的发展。目前，国内设备仍停留在低端、分离单台产品阶段，仅有少数高端设备及测试装备进入生产线试用。生产线上的系统成套设备、前工序核心设备及测试设备几乎全部依赖进口。大尺寸硅片、光刻胶、特种气体和掩模板等关键材料等基本依赖进口。

1.2 集成电路设计流程及设计环境

在集成电路发展的过程中，数字电路曾经以其基本单元数量少、易于大规模集成而占据主导地位。其发展的总趋势是革新工艺、提高集成度和速度。在此过程中，电路设计大多在工艺制造单位内部的设计部门中进行。这样的设计是有生产线集成电路设计。在这一阶段，无生产线单位一方面难以加入花巨额投资才有可能参与的工艺革新竞争行列，另一方面难以参与芯片设计和实现。

随着集成电路规模的爆炸式扩展，以及模拟数字混合集成系统的广泛需要，知识密集型的芯片设计变得比技术密集型的芯片制造重要起来。另一方面，集成电路生产的高利润前景引发了众多生产线在世界各地的建造，从而导致了集成电路产业生产能力的剩余，即生产线“无米下锅”局面的出现。人们需要更多的功能芯片设计，从而促进了集成电路设计的发展并使得不少设计公司应运而生。这些设计公司拥有设计人才和技术，但不拥有生产线，成为无生产线（Fabless）集成电路设计公司。在国外，现在已有众多这样的公司在运作，如美国硅谷就有 200 多家 Fabless 集成电路设计公司，其中有 50 多家上市公司。中国台湾有这样的大中型公司 100 多家。芯片设计单位和工艺制造单位的分离，即芯片设计单位可以不拥有生产线而存在和发展，而芯片制造单位致力于工艺实现（代客户加工，简称代工），已成为集成电路技术发展的一个重要特征。

图 1.6 形象地示出了集成电路的无生产线设计与代工制造之间的关系。可以沿着图中从代工单位左上行到设计单位，再右直行到代工单位，最后左下行到设计单位的 S 曲线，对整个集成电路设计和制造过程加以描述。

首先，代工单位将经过前期开发确定的一套工艺设计文件（PDK, Process Design Kits）

通过因特网传送（或光盘等媒介邮寄）给设计单位，这是一次信息流过程。PDK 文件包括工艺电路模拟用的器件的 SPICE 参数，版图设计用的层次定义，设计规则，晶体管、电阻、电容等元件和通孔（Via）、焊盘等基本结构的版图，与设计工具关联的设计规则检查（DRC，Design Rule Check）、参数提取（EXtraction）和版图电路图对照（LVS，Layout Vs Schematic）用的文件。

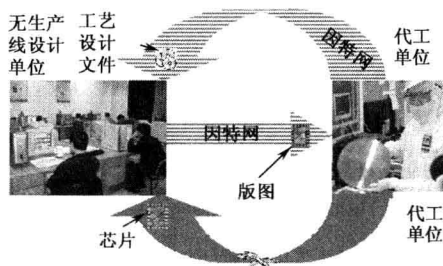


图 1.6 集成电路的无生产线设计与代工制造之间的关系

设计单位根据研究项目提出的技术指标，在自己掌握的电路和系统知识基础上，利用 PDK 提供的工艺数据和 CAD/EDA 工具，进行电路设计、电路仿真（或称为“模拟”）和优化、版图设计、设计规则检查 DRC、参数提取和版图电路图对照 LVS，最终生成以 GDS-II 格式保存的版图文件，然后通过因特网传送给代工单位。这也是一次信息流过程。

代工单位根据设计单位提供的 GDS-II 格式的版图数据，首先制作掩模（Mask），将版图数据定义的图形固化到由铬板等材料制成的一套掩模上。一张掩模一方面对应于版图设计中的一层图形，另一方面对应于芯片制作中的一道或多道工艺。正是在一张张掩模的参与下，工艺工程师完成芯片的流水式加工，将版图数据定义的图形最终有序地固化到芯片上。这一过程通常简称为“流片”。根据掩模的数目和工艺的自动化程度，一次流片的周期约为 2 个月。代工单位完成芯片加工后，根据路程远近，利用飞机等不同的快速运输工具寄送给设计单位。

设计单位对芯片进行参数测试和性能评估，符合技术要求时，进入系统应用，从而完成一次集成电路设计、制造和测试与应用的全过程。否则就需进行改进和优化，才能进入下一次循环。

1.3 集成电路制造途径

国内近几年建立的 Foundry（代工）厂家和转向为代工的厂家有：上海中芯国际、上海宏力半导体、上海华虹 NEC、上海贝岭、无锡华润华晶、无锡上华、杭州士兰和常州柏玛微电子等。

中芯国际集成电路制造（上海）有限公司（SMIC）是纯商业性集成电路代工厂，提供 0.35 μm ~90 nm 及以下制程工艺设计和制造服务。拥有 3 座 8 英寸芯片代工厂，包括一座后段铜制程代工厂，此外，中芯国际还拥有第 4 座位于天津的 8 英寸芯片代工厂和北京的一座 12 英寸厂。2010 年 8 月，中芯国际北京 12 英寸厂生产的 65 nm 技术晶圆出货累计已超过 1 万片，目前已成功进入量产。中芯国际的技术能力包含逻辑电路、混合信号/射频电路、高压电路、系统级芯片、嵌入式及其他存储器等。中芯国际不仅是一个芯片代工厂，还为客户提供

一整套增值服务，从设计服务、光掩模制造、芯片制造到测试服务等。封装、终测服务则由第三方供应商来提供。

上海宏力半导体制造有限公司（GSMC）坐落于上海市浦东张江高科技园区内，已建成两座12英寸规格的厂房，可提供：0.25/0.22/0.18/0.15 μm CMOS 工艺。

上海华虹 NEC 电子有限公司是由上海华虹（集团）有限公司、日本 NEC、NEC（中国）共同投资组建的，拥有中国大陆第一条 8 英寸代工生产线。美国捷智半导体公司和华虹国际公司增资华虹 NEC，主要采用先进的 0.35、0.25 和 0.18 μm Logic/MIX 生产工艺，可为客户提供广泛的设计服务支持，包括各类 IP、业界主流设计流程支持、版图设计、测试服务等。引进了世界领先的 0.25~0.13 μm Logic/MIX/射频（RF）CMOS 工艺技术。

上海贝岭股份有限公司拥有符合国际标准的集成电路生产线，具有 1.2~3.0 μm 的 CMOS、BiCMOS、DBiMOS、EEPROM 和 Bipolar 等多项集成电路芯片制造工艺。2001 年上海贝岭建造了 8 英寸 0.25 μm 集成电路芯片生产线。并向 ASIC 用户提供设计、制造、测试一条龙服务，与国内同类型 Foundry 生产线相比，主要加工产品采用 2.0~6.0 μm Bipolar、1.2 μm CMOS 和 1.2~3.0 μm BiCMOS 等有特色的加工技术。

无锡华润华晶微电子有限公司是华润微电子的核心成员企业，华润华晶公司拥有月产 4 英寸五万片的分立器件圆片生产线和月产 5 英寸 0.8 μm 两万片的双极型集成电路圆片生产线各一条。

表 1.3 所示为境外主要代工厂家所在的地区和其主导工艺。

表 1.3 境外主要代工厂家所在的地区和其主导（特有）工艺

中国台湾	新加坡	韩国	欧洲	美国
TSMC (台积电) (CMOS/BiCMOS)	Chartered (特许) (CMOS/BiCMOS)	Dongbu (东部)	STM (CMOS/BiCMOS)	Orbit
UMC (联华) (CMOS/BiCMOS)			AMS (CMOS/BiCMOS)	Agilent (CMOS)
Win (稳懋) (GaAs)			OMMIC (GaAs)	IBM/Jazz (SiGe)
				Vitesse (GaAs/InP)
				Peregrine (SOI/SOS)

上述集成电路无生产线设计与代工制造的 F&F（Fabless and Foundry）模式体现着分工合作的现代大生产潮流。但是，要采用这种模式开展集成电路设计人才培养、技术研究和小规模创业，仍有一系列问题需要解决。首先，F&F 模式是一条很长的技术和管理的链，链中存在着各种环节。同时，如上所述，无生产线 IC 设计与代工制造之间需要建立信息流和物流的渠道。要连通技术和管理的环节，要开辟信息流和物流的全部渠道，需要投入巨大的人力、物力和财力。这无疑不是每一个教育和研究单位，或一个中小公司所能够和值得去做的。

因此，工业发达国家通过组织无生产线 IC 设计的芯片计划来促进集成电路设计的专业发展、人才培养、技术研究和中小企业产品开发，已经取得成效。其做法是，由政府有关部门资助；由一至几所大学或研究所作为龙头单位，负责人员培训、技术指导、版图汇总、组

织芯片的工艺实现、性能测试和封装；各大学微电子学科的教师、本科生和研究生，研究机构的课题组及中小电子企业作为工程直接受益群体，以自愿的形式参加，按占用芯片面积支付芯片制造费，并支付必要的人员培训、芯片测试与封装等费用；工艺实现单位按协议参加芯片工程，从芯片制造和日后的批量生产中得到利益；电路设计自动化软件提供单位按协议参加芯片工程，优惠提供软件产品，通过扩大产品销量和开辟潜在市场得到利益。

在这样的芯片工程中，除了 IC 设计工具代购和人才培养之外，芯片工程组织单位的一项重要任务，就是开展多项目晶圆 MPW (Multi-Project Wafer) 技术服务。

MPW 技术最初是集成电路研发机构为降低芯片开发成本而引入的芯片制造技术。我们知道，现在国际上主流的硅片直径为 8 英寸。如果在同一硅片上只试制一种集成电路，这样芯片研发的成本可能就非常高。例如，单纯制作 $0.35\ \mu\text{m}$ CMOS 工艺的一套掩模就需要支付数十万美元，一次流片又要支付上万美元。如果将 5~10 万美元的费用仅用于一种芯片的试制，如果不是一次流片成功，那费用和风险就太高了，不要说一个学校或研究所的研究课题，就是一个大型公司的项目，都难以承担。如图 1.7 所示，MPW 技术把几到几十种工艺上兼容的芯片拼装到一个宏芯片 (Macro-Chip) 上，然后以步进的方式排列到一到多个晶圆上。这样可使昂贵的制版和硅片加工费用由几十种芯片分担。如果同时加工 50 种芯片，则每种芯片的制造费用就大约减少到单独制造时的 $1/50$ ，从而极大地降低了芯片研制成本。事实上，在一个晶圆上还可以通过变换版图数据交替地布置多种宏芯片。

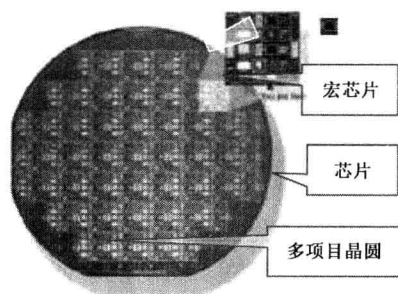


图 1.7 芯片、宏芯片和以宏芯片为单元步进构成的多项目晶圆

1.4 集成电路设计的知识范围

集成电路发展到现在的 SoC，既不再是模拟的“放大器”或数字的“与非门”一类的基本单元电路的概念，也不再是模拟的“锁相环”或数字的“全加器”一类的功能电路的概念，甚至不再是模拟的“接收机”或数字的“CPU”一类子系统的概念，而是变成了包含多种模拟和数字子系统、硬件和软件功能的复杂的信息处理系统。因此，集成电路设计需要的知识范围已大大扩展。概括起来可分为以下 4 个方面。

(1) 系统知识

这里的系统范围很广：对于计算机学科，有计算机的软件系统和硬件系统；对于通信学科，有程控电话系统、无线通信系统、光纤通信系统等；对于信息学科，有各种信息处理系统；对于控制学科，有各种控制系统。如果说以往从事系统研究的工程师是在器件和电路工程师完成的工作基础上构建系统的话，到了 SoC 时代，系统工程师必须亲自参与 SoC 级别集成电路的设计。另一方面，以往的器件和电路工程师在 SoC 时代必须熟悉系统，以实现 SoC 的设计。这就是说，所有的集成电路设计工程师都必须掌握一定的系统知识。这些知识包括软件和硬件两个方面。对于从事前端设计的工程师来讲，则对系统的理解必须达到精通的程度。

(2) 电路知识

既然是集成电路设计，电路知识就是核心知识。集成电路设计工程师，特别是在逻辑门

级、晶体管级和版图级从事设计的工程师，必须对各类功能电路和基本单元电路的原理和设计技术达到融会贯通的程度。集成电路设计相对于数字电路、模拟电路和模数混合电路设计而言，需要更多的知识、技术和经验。射频电路 RFIC、微波单片集成电路 MMIC、毫米波单片集成电路 M³IC、Gb/s 速度级超高速集成电路的设计，更需要特殊的知识、技术和经验。

（3）工具知识

从 VLSI 到 SoC，芯片上晶体管的数目达到了数千万量级，它们形成的网络方程的阶数可能达到同样量级。我们知道，小于 10 阶的线性方程也许还可以用手工求解，10 阶以上就很难想像用手工计算了。何况晶体管本身是非线性器件，由它们组成的网络方程是高度复杂的非线性方程。另外，系统级芯片不仅包含硬件部分，还包含软件部分。这样的芯片绝非用手工可以分析和设计的。事实上，从小规模集成电路开始，人们就引入了计算机辅助设计（CAD, Computer-Aided Design）技术，开发了一系列 CAD 软件工具。SPICE 程序就是著名的集成电路分析程序，经过 30 余年的发展，如今已成为集成电路设计的工业标准。

随着设计自动化程度的提高，出现了如 Cadence、Synopsys 和 Mentor Graphics 等开发电子设计自动化（EDA, Electronic Design Automation）软件的专业公司，开发出一系列 EDA 软件工具。现在，从功能验证，逻辑分析和综合，电路分析到版图设计都有多家公司提供的多种类型软件工具的支持。

因此，集成电路设计工程师必须根据所从事的设计任务和内容掌握相应的软件工具。例如，在逻辑电路级从事设计的工程师就需要掌握 VHDL 或 Verilog HDL 等硬件描述语言及相应的分析和综合工具。在晶体管级从事电路设计的工程师就需要掌握 SPICE 或类似的电路分析工具。设计版图时则需要版图设计工具。

（4）工艺知识

集成电路的设计，特别是涉及后端（Back-end）即物理层（Physical Layer）的设计与工艺制造息息相关。无生产线加代工模式的 IC 设计工程师虽然不需要直接参与集成电路的工艺流程，掌握工艺的每一个细节，但掌握 IC 设计所用元器件的特性和物理数学模型，了解制造工艺的基本原理和过程，对于 IC 的成功设计是大有帮助的。事实上，集成电路设计工程师最好是熟悉集成电路制造过程中，从芯片外延和掩模制作，一步步光刻，材料淀积和刻蚀，杂质扩散或注入，一直到滑片封装的全过程，关心每一步工艺对元器件和电路性能的影响。这样才能读懂代工工艺厂家提供的设计文件（Design Kits），全面地利用，甚至充分地挖掘出工艺的潜力，在现有工艺的基础上，成功地创造出功能最强和性能最佳的集成电路。

思 考 题

1. 按规模划分，集成电路的发展已经经历了哪几代？它的发展遵循了一条业界著名的定律，请说出是什么定律？
2. 什么是无生产线集成电路设计？列出无生产线集成电路设计的特点和环境。
3. 简述我国集成电路产业面临的发展机遇与存在的主要问题。
4. 多项目晶圆（MPW）技术的特点是什么？对发展集成电路设计有什么意义？
5. 集成电路设计需要哪 4 个方面的知识？

第 2 章 集成电路材料、结构与理论

2.1 集成电路材料

材料按导电性能可以分为导体、半导体和绝缘体三类。如果说电气系统主要应用导体和绝缘体两类材料的话,电子系统特别是微电子系统则应用所有的三类材料。具体到集成电路制造,所应用到的材料分类情况如表 2.1 所示。

表 2.1 集成电路制造所应用到的材料分类

分 类	材 料	电 导 率
导体	铝、金、钨、铜等	$10^5 \text{ S} \cdot \text{cm}^{-1}$
半导体	硅、锗、砷化镓、磷化铟等	$10^{-9} \sim 10^2 \text{ S} \cdot \text{cm}^{-1}$
绝缘体	SiO_2 、 SiON 、 Si_3N_4 等	$10^{-22} \sim 10^{-14} \text{ S} \cdot \text{cm}^{-1}$

集成电路虽然是导体、半导体和绝缘体三种材料有机组合形成的系统,但相对于其他系统,半导体材料在集成电路的制造中起着根本性的作用。首先,集成电路通常是制作在半导体衬底材料之上的;同时,集成电路中的基本元件是依据半导体的特性构成的。

半导体材料之所以得到广泛的应用,是因为它具有以下特性。

① 通过掺入杂质可以明显改变半导体的电导率。例如,在室温 30°C 时,在纯净锗中掺入亿分之一的杂质,电导率会增加几百倍。正是因为掺杂可控制半导体的电导率,才能利用它制造出各种不同的半导体器件。

② 当半导体受到外界热的刺激时,其导电能力将发生显著变化。利用这种热敏效应可制成热敏器件。另一方面,热敏效应会使半导体的热稳定性下降,所以由半导体构成的电路中常采用温度补偿等措施。

③ 光照也可以改变半导体的电导率,通常称为半导体的光电效应。利用光电效应可以制成光敏电阻、光电晶体管、光电耦合器等。

④ 多种由半导体形成的结构中,当注入电流时,会发射出光,从而可制造出发光二极管和激光二极管。

表 2.2 所示为多种半导体材料的几个重要物理特性。

表 2.2 相关半导体材料的重要物理特性^[1]

参数 材料	带隙宽度 E_g/eV	能带结构	折射率 n	相对介电常数 ϵ_r	晶格常数/nm	迁移率/ $(\text{cm}^2/(\text{V} \cdot \text{s}))$	
						μ_e	μ_h
Si	1.11	间接 100	3.44	11.7	0.543	1 350	480
Ge	0.67	间接 111	4.00	16.3	0.566	3 900	1 900
AlAs	2.16	间接	3.0	12.0	0.566	1 000	~ 100
GaAs	1.43	直接 000	3.4	12.0	0.565	8 600	400
InP	1.28	直接 000	3.37	12.1	0.587	4 000	650
InAs	0.36	直接 000	3.42	12.5	0.605 8	30 000	240