

微型计算机

Microcomputer

Z 8000 十六位微型计算机

赵正校 李世祥 徐子亮编

杜毅仁校



上海交通大学

1984-2

(总 37 期)

前 言

美国 Zilog 公司生产的 Z8000 微处理器是国外较为流行的一种 16 位微型计算机。由于采用了随机组合逻辑,因而是一种集成度较低线条较宽易于研制的 16 位微处理器。目前我国正着手研制这种微处理器芯片。在国内已有不少单位采用 Z8000 CPU 研制成 16 位微型计算机系统,用作实时控制数据处理,系统开发等。为了进一步推动我国 16 位微型计算机的研究和开发,上海交大微机研究室研制了以 Z8000 为 CPU 的 MIC-8K2 单板微型计算机。为了便于用户熟悉和使用这种单板微型计算机,我们汇编了这本材料,系统地介绍 MIC-8K2 单板微型计算机的硬件设计和软件基础(指令系统,监控程序,汇编、编辑程序等使用说明),供读者学习、使用时参考。由于时间仓促,水平所限,不当之处请批评指正。

编 者

1983年11月



90034587

目 录

第一章 MIC-8K2 单板微型计算机的设计	(1)
§ 1-1 MIC-8K2 的硬件组成和结构	(1)
§ 1-2 随机存储器控制器	(3)
§ 1-3 输入输出控制器	(7)
§ 1-4 MIC-8K2 的输入/输出接口	(10)
§ 1-5 MIC-8K2 的中断系统	(11)
§ 1-6 MIC-8K2 单板机的系统总线	(12)
§ 1-7 用 MIC-8K2 构成多微机系统的方案	(14)
第二章 Z8000 CPU	(16)
§ 2-1 Z8000 CPU的系统结构	(16)
§ 2-2 Z8000 CPU引脚说明	(23)
§ 2-3 Z8000 CPU的定时	(24)
§ 2-4 指令系统一览表	(35)
第三章 Z8000 汇编语言的约定	(51)
§ 3-1 汇编语言的语句格式	(51)
§ 3-2 算术操作数	(53)
§ 3-3 Z8000 的寻址方式	(54)
第四章 Z8000 指令系统	(58)
§ 4-1 功能概要	(58)
§ 4-2 表示法和二进制编码	(64)
§ 4-3 汇编语言指令	(72)
§ 4-4 不可执行指令	(166)
第五章 MIC-8K2 监控程序和反汇编程序使用说明	(167)
§ 5-1 引言	(167)
§ 5-2 技术说明	(167)
§ 5-3 操作	(172)
§ 5-4 监控程序和反汇编程序	(174)
§ 5-5 子程序调用	(185)
第六章 MIC-8K2 编辑/汇编程序使用说明	(189)
§ 6-1 汇编语言的格式	(189)
§ 6-2 编辑汇编程序的起动	(190)
§ 6-3 命令的送入操作	(191)
§ 6-4 编辑命令	(191)
附录	(200)

一、Z-80 并行 I/O 电路 (Z-80-PIO)	(200)
二、Z-80 串行 I/O 电路 (Z-80-SIO)	(219)
三、Z-80 计数器, 定时器电路 (Z80-CTC)	(251)
四、MIC-8K2 监控程序	(271)

第一章 MIC-8K2单板微型计算机的设计

在我国,微型计算机已得到越来越广泛的应用,特别是八位微型机,已有多种单板机和系统研制成功,用于国民经济各领域。单板机的价格往往要比系统低得多,故应用面也比后者更广泛。十六位微处理器是在七十年代末、八十年代初研制成功的,它比八位微处理器不仅字长增加一倍,而且速度更快,指令系统的功能更强,许多十六位微处理器还具有便于构成多机系统的机构。十六位机能承担很多八位机所不能胜任的工作,受到普遍的重视。目前,我国的十六位单板机和系统的研制工作还刚刚开始不久。为了使十六位微型计算机早日在我国四化建设中起作用,我室先研制了几种十六位单板微型计算机, MIC-8K2 是其中之一。

MIC-8K2 单板微型计算机的 CPU 选用 Z8002。众所周知, Z8000 是近几年出现的几种较有影响的十六位微处理器之一,它具有以下几个特点:

- 指令系统比一些小型计算机更强,有 110 种性质不同的指令;
- 通用寄存器多达 16 个;
- 八种寻址方式;
- 具有按位、BCD 数(4 位)、字节(8 位)、字(16 位)和双字(32 位)操作指令;
- 系统和用户两种工作方式;
- 具有多种中断结构;
- 多处理机系统中的资源共享管理;
- 动态 RAM 刷新控制。

Z8000 所具有的 32 位乘法和 32 位除法指令是其它十六位微处理器(例如 Intel 8086 和 MC68000)所没有的。因此用 Z8000 来构造单板机也就具有一定特点。

MIC-8K2 单板机内配有 32K 字节 RAM, 32K 字节 EPROM, 这样的内存空间可满足很多应用场合的需要;板内还配有五组并行 I/O 接口,三个串行 I/O 接口和二一个时间计数器;板上可设三个 56 芯总线插座,对它们的引脚都作了定义,并且已与相应的信号线连通,便于扩充硬件;板上的共享资源裁决逻辑,也为 MIC-8K2 互连成多机系统提供了方便。

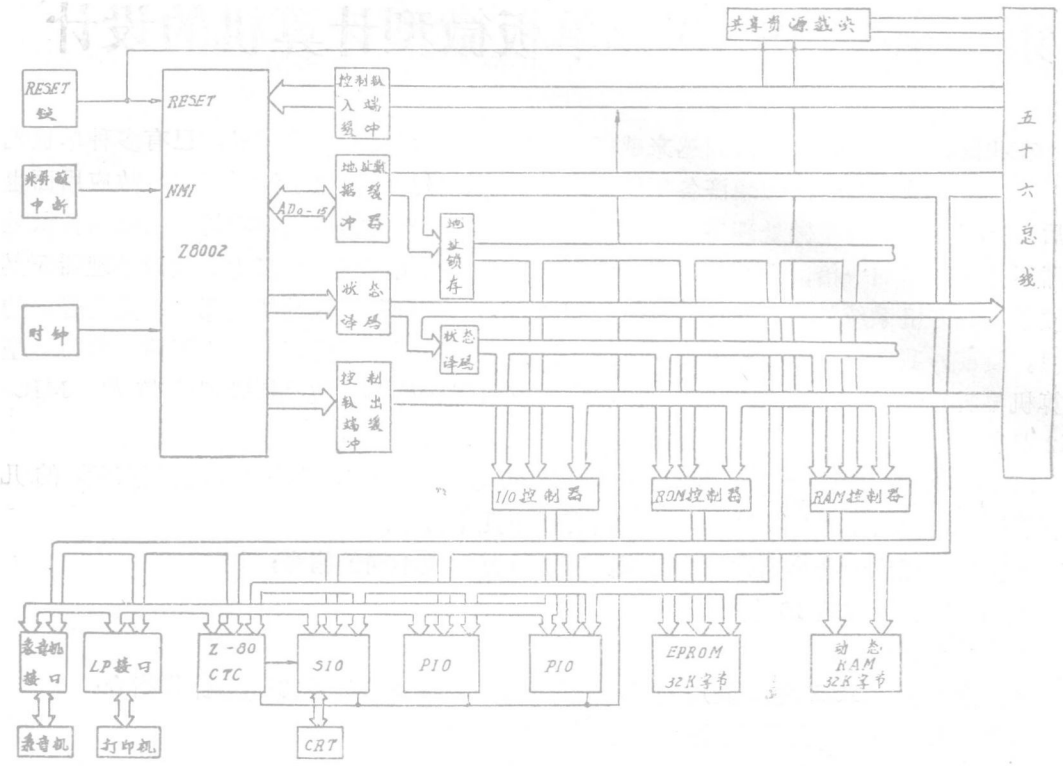
MIC-8K2 单板机目前已配有监控程序,编辑程序,汇编程序和反汇编程序,为进一步研制其它软件,特别是应用软件提供了有效的条件。

§ 1-1 MIC-8K2 的硬件组成和结构

MIC-8K2 包含 Z8002 CPU, Z-80A 通用 I/O 接口,其中包括 CRT 接口,行打印机和磁带录音机专用接口扩充插座,共享资源裁决逻辑, EPROM, 动态 RAM, 时钟和相应的随机逻辑电路。

Z8002 为 40 条腿的不分段的 Z8000 CPU, 因而它的直接寻址能力为 64K 字节,两种操作方式:系统方式和正常方式和两种方式内代码 8002 允许扩展到 384K 字节,其引脚配

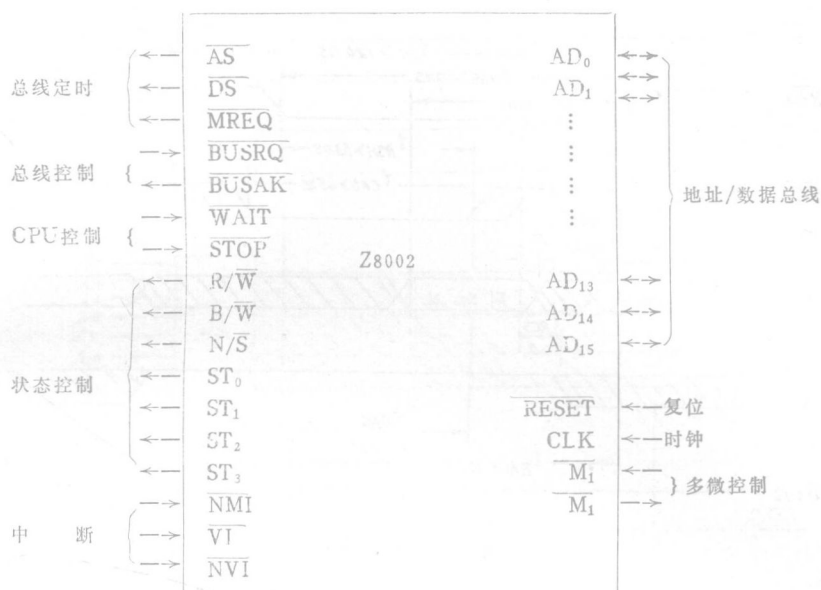
置框图见第 3 页。



图一 MIC-8K2 单板机框图

Z8000 CPU提供16种16位通用寄存器(R_0 至 R_{15})和一组专用的系统寄存器,除 R_0 寄存器外,所有通用寄存器都可作累加器,变址寄存器和存贮器指示器,使用方便灵活,这些寄存器分组或重叠组合不同长度的寄存器,可以处理8位字节,16位字,32位长字和64位双字,这样可以很容易处理适应不同数据长度变化的需要,除了通用寄存器外还有若干个专用寄存器,它们是程序计数器,程序状态寄存器,刷新寄存器等。在8002 CPU中 R_{15} 寄存器作为堆栈指示器。有关Z8002 CPU的详细内容请参阅有关手册。

MIC-8K2 单板微型计算机的结构框图示于图一。图中所示,Z8002 CPU是单板机的核心,进入CPU或从CPU引出的地址/数据线,控制线都配有缓冲器。这样可以提高信号的驱动能力和缓冲作用。



下面分别就 MIC-8K2 中的 RAM 控制, 专用 I/O 接口, 中断系统, 系统总线、多微机逻辑等作进一步叙述。

§ 1-2 随机存储器控制器

RAM 控制器用以产生访问动态 RAM 的地址和控制信号。

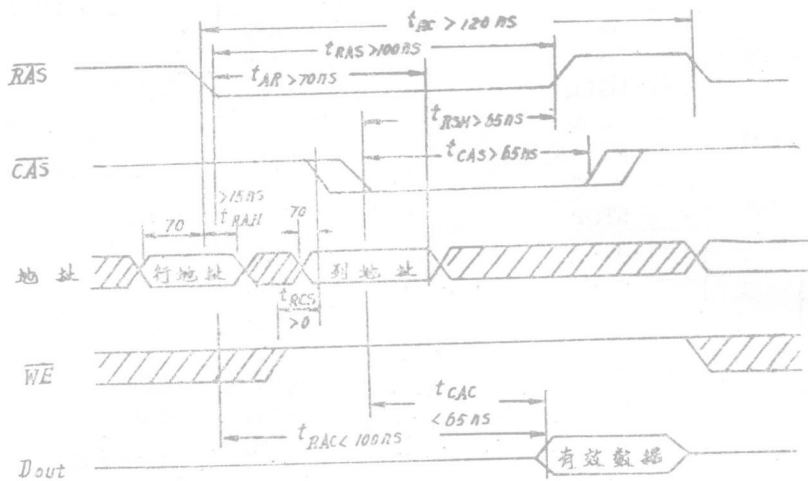
MIC-8K2 采用 $16K \times 1$ 的动态 RAM。采用动态 RAM 的优点是单片容量大, 价格便宜。但其控制电路却比静态 RAM 复杂得多。动态 RAM 为了减少芯片的尺寸, 地址要分两次打入, 故 RAM 控制器就必须有地址线切换开关和打入控制信号; 另外, 动态 RAM 还必须进行刷新, 为此要提供相应的刷新地址和刷新控制信号。由于 Z8000 CPU 中设计有一个 9 位行计数器, 一个 6 位的比例因子寄存器和一个存储器刷新控制信号。行计数器提供 9 位刷新行地址, 它从地址 $A_0 \sim A_9$ 输出; 比例因子寄存器用以控制刷新周期; 刷新控制信号完成一次实际操作。所以使 RAM 控制器得到简化。

图二为动态 RAM 芯片中, 写周期、读周期和刷新周期中 $\overline{CAS}$ 、 $\overline{RAS}$ 、地址、数据信号之间和相互关系。动态 RAM 控制器的各种输出信号之间应满足芯片的要求。

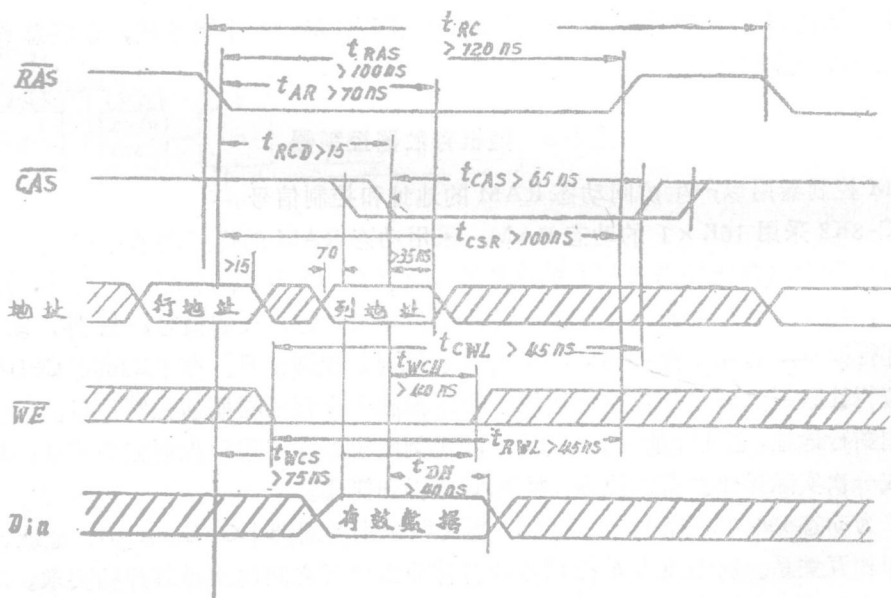
图三为 MIC-8K2 单板机的动态 RAM 控制器。板上采用 $16K \times 1$ 的动态 RAM 芯片。它需要 14 位地址信号。通过片上的 7 条地址引线分两次送入。第一次打入低 7 位(行地址), 第二次打入高 7 位(列地址), 分别由 $\overline{RAS}$ 和 $\overline{CAS}$ 两个信号打入。行列地址的切换应发生在 $\overline{RAS}$ 和 $\overline{CAS}$ 之间完成。行列地址多路转换开关负责这两次地址信息的传送。图二上部的两个多路开关 M_1 , M_2 , 就担任这项任务。在其左端接 CPU 14 位地址线 $A_1 \sim A_{14}$, 右面为经过开关控制的 7 条输出地址 $RA_0 \sim RA_6$ 。送入 RAM 芯片。S 为切换控制端, 它为低电平时 $A_1 \sim A_7$ 送到 $RA_0 \sim RA_6$; 为高电平时 $A_8 \sim A_{14}$ 送到 $RA_0 \sim RA_6$ 。

图二的下半部分为行/列地址打入信号、行列地址切换、和写讯号逻辑, 实际上是一个时序电路

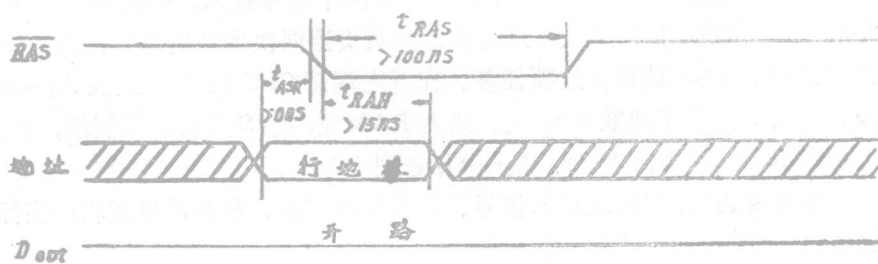
行地址打入信号 $\overline{RAS}$ 应先于列地址打入信号 $\overline{CAS}$; 只要访问 RAM 或者对 RAM 刷



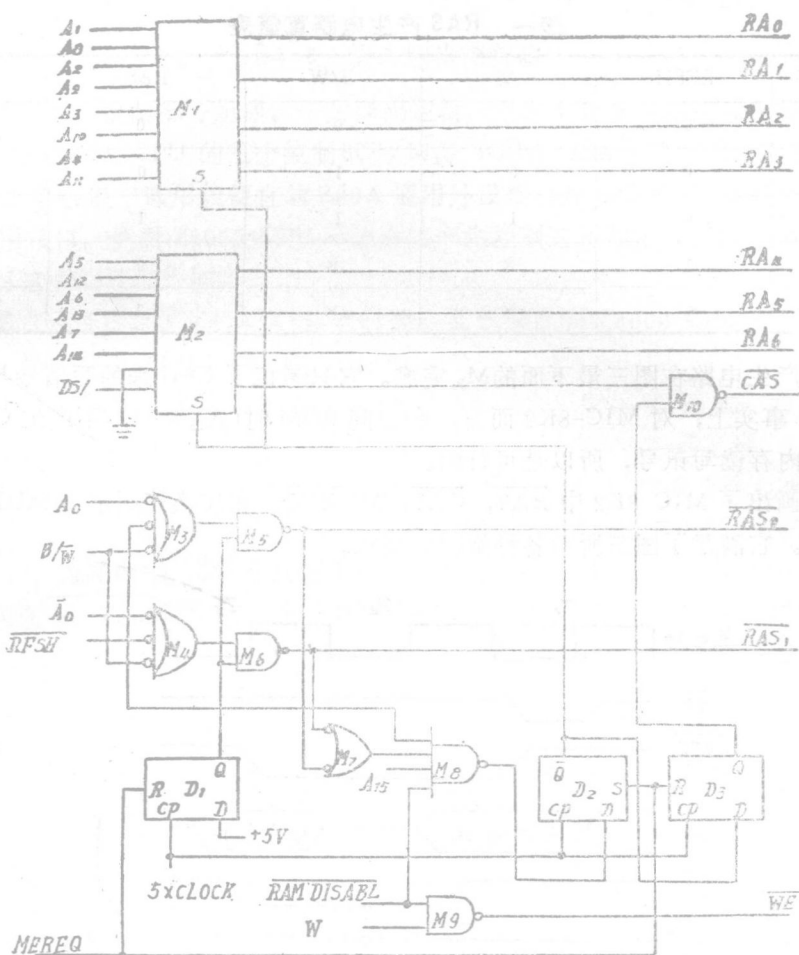
图二(a) 读周期



图二(b) 写周期



图二(c) 刷新周期



图三 MIC-8K2中的RAM控制逻辑

新都要产生 $\overline{RAS}$ ，而 $\overline{CAS}$ 只有在访问RAM时才要求产生；在写RAM时还必须考虑是字节操作还是字操作；最后根据芯片的要求， $\overline{RAS}$ 与 $\overline{CAS}$ 之间还应满足一定的时间间隔；上述四点在设计 $\overline{RAS}$ 、 $\overline{CAS}$ 产生逻辑时应作全面考虑。

表一列出了RAS信号产生电路的真值表。表内只考虑了MEREQ/讯号，而没有考虑这次访问请求是访问固定存储器ROM，还是访问随机存储器RAM，也没有考虑这次访问有否被外界控制讯号(RAM DISABLE)禁止。这会不会出现问题呢？不会的。这是由于只发 $\overline{RAS}$ 不会破坏RAM的内容，而是多进行了一刷新访问。图三中的 $M_2 \sim M_4$ 就是按表一设计的 $\overline{RAS}$ 产生电路，稍稍作了改动的是MEREQ讯号是经过时钟同步后供给的MEREQ'讯号，目的是使它与 $\overline{CAS}$ 、行列地址切换时间之间有一个固定的满足芯片的时间关系。

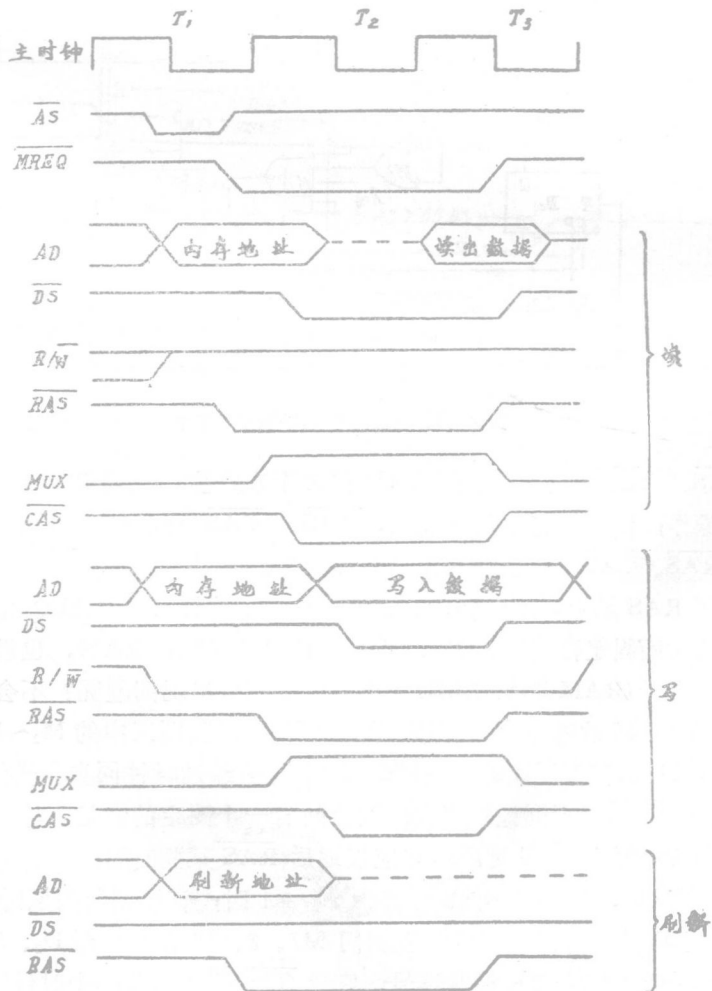
$\overline{CAS}$ 的产生条件要比 $\overline{RAS}$ 更严。它应该迟后 $\overline{RAS}$ 某些时间；只有访问到存储器的RAM部分时才要产生，对MIC-8K2而言为 $A_{15}=1$ 时；进行刷新周期时不应产生；外界有RAM DISABLE讯号时也不应该产生。门 M_7 、8、10和触发器 D_2 、 D_3 实现了这个功能。 D_2 的 $\overline{Q}$ 端作行列地址的切换控制讯号。它比 $\overline{CAS}$ 信号提前半个时钟周期，以使地址 RA_{0-6} 稳定后再发 $\overline{CAS}$ 。

表一 RAS 产生电路真值表

MEREQ	RFSH	A ₉	B/W	RAS ₀	RAR ₁
0	0	×	0	0	0
0	0	0	1	0	1
0	0	1	1	1	0
0	1	×	×	0	0
1	×	×	×	1	1

写信号产生电路在图三最下面的M₉完成。它只考虑了CPU来的写信号与外部的禁止RAM信号。事实上,对MIC-8K2而言,在访问ROM时(A₁₅=0),不产生 $\overline{\text{CAS}}$;在作刷新时,没有内存读写讯号,所以是可行的。

图四中画出了MIC-8K2中 $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{MEREQ}}$, 和切换控制电平MUX等相互之间的时间关系。它满足了图三所示各种情况的要求。



图四 实际访问RAM各波形之间的关系图

§ 1-3 输入输出控制器

输入输出控制器由两部分组成。一为译码逻辑，产生 I/O 接口的选片讯号。其余部分则用来产生模拟 Z80A CPU 的三个控制讯号 $\overline{M}_1$ 、 $\overline{IORQ}$ 、 $\overline{RD}$ 。这里只介绍后面部分。

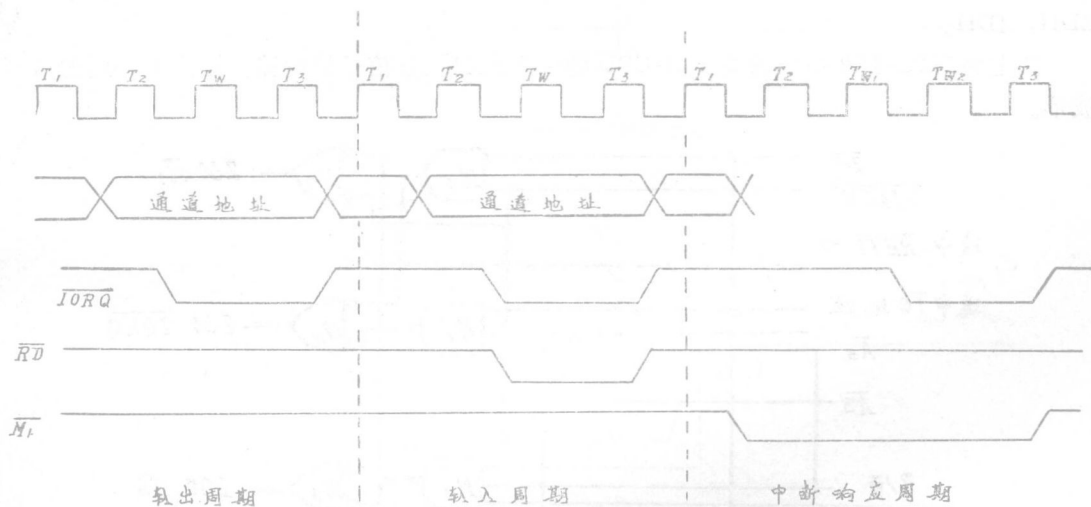
MIC-8K2 单板机中选用较便宜的 Z80A 通用外设接口片 Z80-PIO、Z80-SIO 和 Z80-CTC 作为通用接口。然而 Z8000 CPU 不能直接产生控制这几种接口的讯号 $\overline{M}_1$ 、 $\overline{IORQ}$ 和 $\overline{RD}$ ，因此要对这些信号进行仿真。

图五、图六分别画出了 Z80A CPU 进行输入输出操作和 Z8000 CPU 执行输入输出操作的时序图。显然两者之间区别较大。

Z80-CPU 的输入输出操作由 $\overline{IORQ}$ 、 $\overline{M}_1$ 和 $\overline{RD}$ 三个控制讯号完成；而 Z8000 则用 $R/\overline{W}$ 、 $\overline{DS}$ 和从四状态控制讯号译出的 $\overline{IORQ}$ 、 $\overline{VIACK}$ 、 $\overline{NVIACK}$ 等实现。

Z80-CPU 在输入周期时，使 $\overline{RD}$ 、 $\overline{IORQ}$ 在 T_2 中间到 T_3 的中间为低电平， $\overline{M}_1$ 无效（高电平）；而 Z8000 在输入周期中使 $\overline{IORQ}$ 和 $R/\overline{W}$ 几乎在整个输入周期内都有效即 $\overline{IORQ}$ 为低电平， $R/\overline{W}$ 为高电平， $\overline{DS}$ 则只在 T_2 中间到 T_3 中间有效， $\overline{VIACK}$ 等无效。

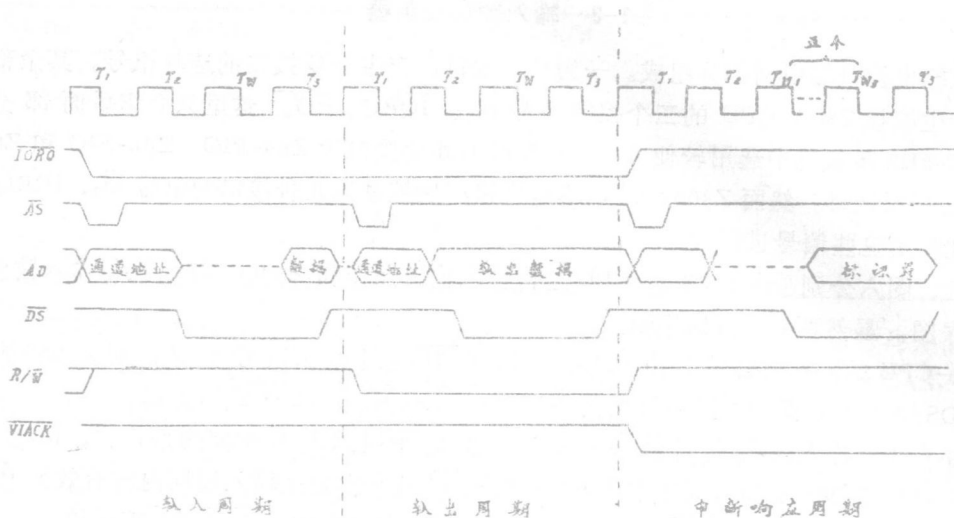
在输出周期中，Z80-CPU 使在整个周期 $\overline{RD}$ 为高电平，其它同于输入周期；而 Z8000 使 $R/\overline{W}$ 在整个周期为低电平，其它也与输入周期相同。



图五 Z80-CPU 的输入输出 I/O 和中断响应的时序

在中断响应周期，Z80-CPU 使 $\overline{RD}$ 在 TW_1 的中间到 T_3 的中间的二个时钟周期内为低电平、 $\overline{IORQ}$ 为高电平、 $\overline{M}_1$ 为低电平；而 Z8000 使 $\overline{IORQ}$ 、 $R/\overline{W}$ 在周期内为高电平， $\overline{DS}$ 在 TW_4 到 T_3 间二个时钟周期内为低电平、 $\overline{VIACK}$ 在整个周期内为低电平。

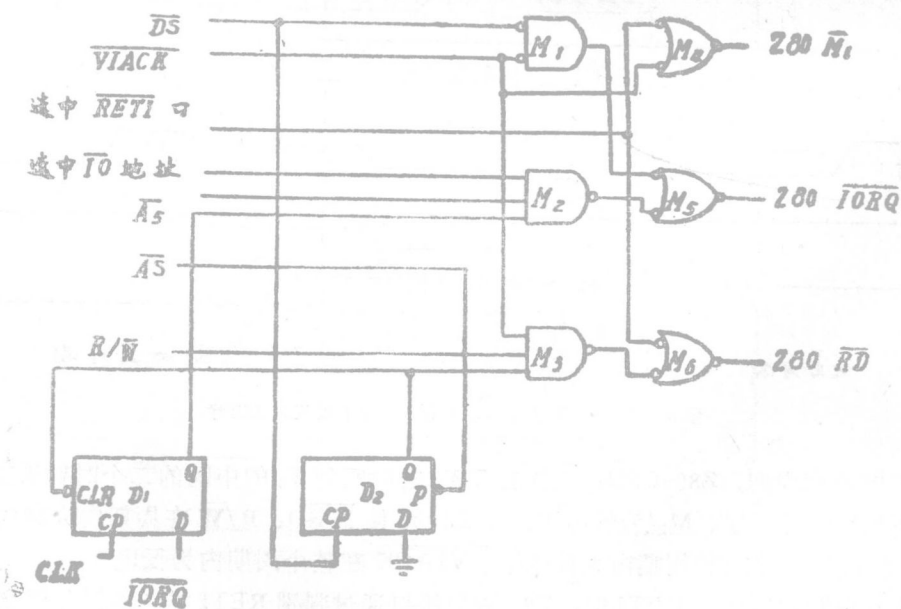
在执行中断返回指令 RETI 时，Z80 通用接口通过判别 RETI 指令的操作码来确定中断服务是否结束，在 n Z80 接口片都接入链路情况下，当读到操作码 EDH 时，正处于中断服务的 IEI 端变有效，如果下一个操作码为 4DH，侧使正处于中断服务的接口片将重新恢复初始状态。RETI 指令要执行四个机器周期，其中前两个字节时，CPU 都使 $\overline{M}_1$ 和 $\overline{RD}$ 有效。Z8000 也有中断返回指令 IRET，但它的指令代码、控制讯号都与 Z80 不同。为



图六 Z8000 CPU的输入输出和中断响应周期的时序

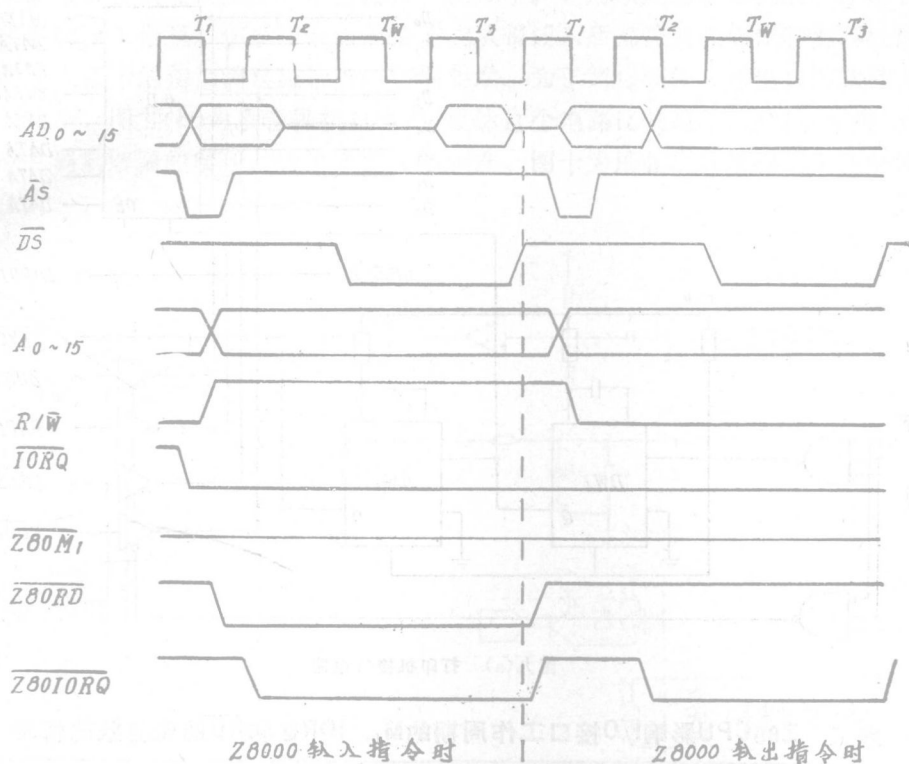
专设一个 RETI 口子, 用来产生 Z80-CPU 在执行 RETI 指令时的控制讯号和传送两个代码 EDH, 4DH。

图七为 MIC-8K2 中的仿真 Z80-CPU 的输入输出控制信号的电路。图八为得到的仿真波形。

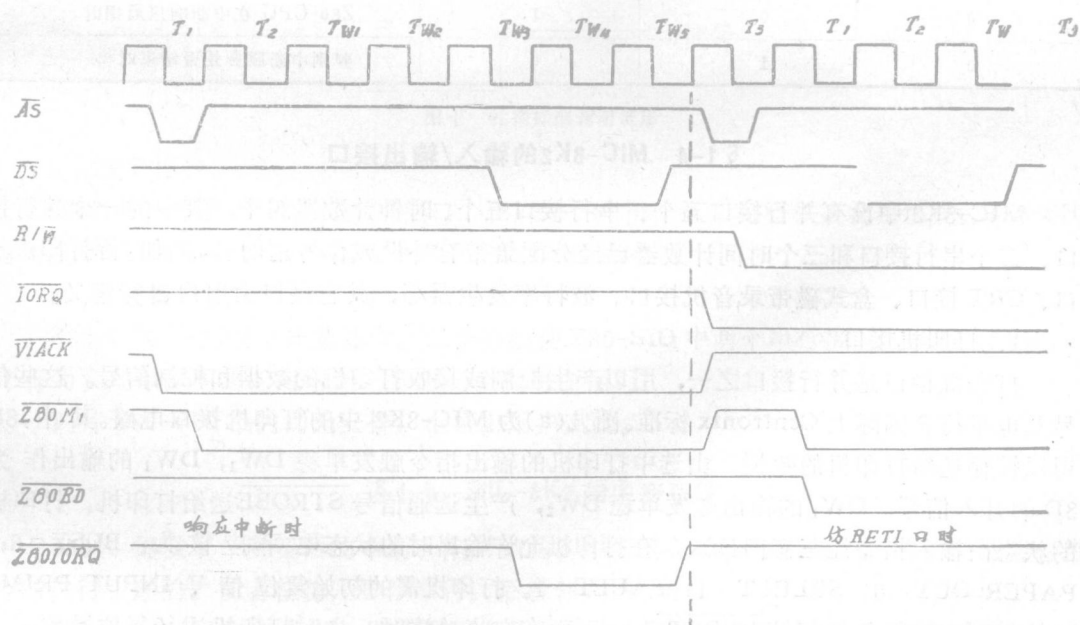


图七 Z80-CPU 的输入输出控制讯号仿真电路

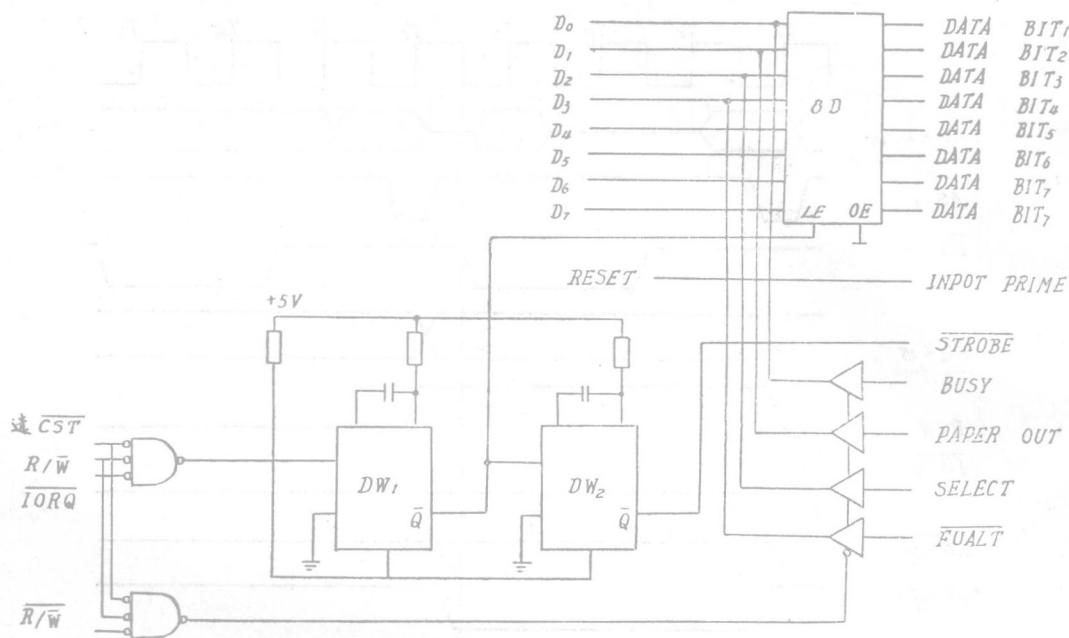
根据 Z80-CPU 影响 I/O 接口工作的四种情况, 在其相应的周期内是否会变得有效, 可列出表二



图八(a) 输入输出指令时的波形



图八(b) 仿真电路的输出波形



图九(a) 打印机接口电路

表二 Z80CPU影响I/O接口工作周期的 $\overline{M}_1$, $\overline{IORQ}$ 和 $\overline{RD}$ 的变有效的情况

$\overline{M}_1$	$\overline{IORQ}$	$\overline{RD}$	注 释
1	0	0	Z80-CPU 在输入周期时
1	0	1	Z80-CPU 在输出周期时
0	0	1	Z80-CPU 在中断响应周期时
0	1	0	判别中断服务是否结束时

§ 1-4 MIC-8K2的输入/输出接口

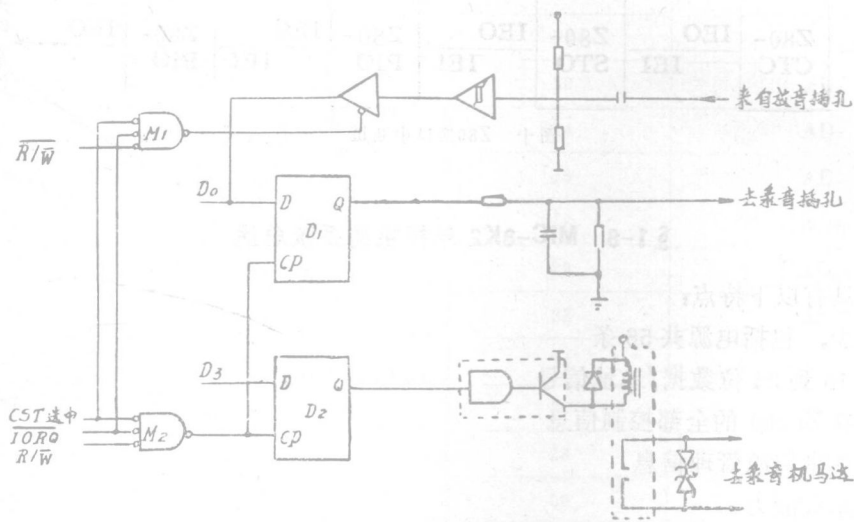
MIC-8K2 中设有并行接口五个、串行接口三个、时钟计数器四个。其中的一个并行接口、二个串行接口和三个时间计数器已经分配给带有外设或作专用时钟,例如,行打印机接口、CRT 接口、盒式磁带录音机接口、波特率发生器等,其它接口由用户自行定义。

1. 打印机接口

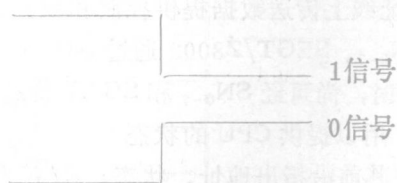
打印机接口是并行接口之一,用以产生控制或接收打印机的数据和控制信号。这些信号及电平符合国际上 Centronix 标准。图九(a)为 MIC-8K2 中的打印机接口电路。其中,8D 用以锁存送给打印机的数据,由选中打印机的输出指令触发单稳 DW_1 , DW_1 的输出作为 8D 的打入信号, DW_1 的输出触发单稳 DW_2 , 产生选通信号 STROBE 送给打印机。打印机的状态由输入指令经三态门读入,在打印机允许输出时的状态电平应该为: $BUSY=0$; $PAPER\ OUT=0$; $SELECT=1$; $FAULT=1$ 。打印机需的初始复位信号 INPUT PRIME 直接接到交流的复位信号 RESET 上。因而在交流总清时,也对打印机进行复位操作。

2. 盒式磁带录音机接口

盒式磁带录音机接口是三个串行接口中的一个。它用以控制录音机的启停，和发送录入信息或接收读入信息。信息在录入磁带前或从带读入后都需要经调制和解调处理，主要目的是使录入磁带的信息满足磁带机的频响要求。为了简化硬件，这里采用软件实现对信号的调制解调。图九(b)为录音机接口电路。显然这个电路比较简单。这里不作进一步说明。为便于软件调制解调的实现，这里选用扎挠标准。图十为用扎挠标准得到的调制波形（只画出一位）。



图九(b) 录音机接口电路



图十 扎挠标准调制波形

3. CRT 接口

CRT 接口采用 RS-232C 标准接口。由Z80-SIO和长线驱动器和接收器组成。Z80-SIO 含有两个串行接口，两个串行口都接成 RS-232C 标准。

4. 其它接口

Z80-CTC 中的四个计数器中，二个分别使 Z80-SIO 中两个串行接口的波特率时钟。一个作为实现单步用的定时中断。余下一个由用户使用。

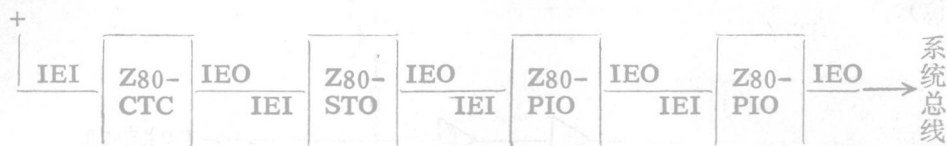
两片 Z80-PIC 机内均无安排，也可由用户支配。

§ 1-5 MIC-8K2 的中断系统

Z8000 提供了一种灵活的中断、陷井结构。中断是外部事件引起的，陷井则是某些指令的执行引起的。前者往往是异步事件，后者却是同步的。

CPU 可以处理三种中断，即非屏蔽中断、向量中断和非向量中断。陷井与中断的优先权降序是：内部陷井、非屏蔽中断、分段陷井(Z8001 有)、向量中断，非向量中断。

在 MIC-8K2 单板机中, 非屏蔽中断已设有专用按键, 非向量中断未用, Z80 接口片的中断请求端接入向量中断。由 Z80 外围接口片在收到中断响应信号能自动向数据线回送向量地址, 故若干个这种片子能连成菊花链式的中断结构, 从而简化了中断系统的硬件。图十表示 MIC-8K2 中 Z80 接口片的中断链。它们们优先权降序是 Z80-CTO、Z80-SIC 和 Z80-PIO。



图十 Z80接口中断链

§ 1-6 MIC-8K2 单板机的系统总线

本总线具有以下特点:

- 引线少, 包括电源共 56 条
- 具有 16 到 24 位数据/地址信号
- 包含有 Z8000 的全部控制信息
- 具有共享资源管理信息
- 共享总线能力

表三为总线各引脚的定义。按照功能总线信号可分以下几类。

1. 主要信号: 为数据地址线上传送数据提供控制和数据。

数据/地址线 AD_{0-15} 、 SN_{0-7} 、 $SEGT/Z8002$ 通过 AD_{0-15} 传送数据和地址 (包括内存和 I/O), 当 CPU 采用 Z8001 时, 尚可经 SN_{0-7} 和 $\overline{SGET}$ 传送和控制段地址操作。

状态信号: ST_{0-3} , N/S, 用以提供 CPU 的状态

地址选通信号: $\overline{AS}$, 在其前沿指出地址、状态、 $R/\overline{W}$ 和 $B/\overline{W}$ 有效。

数据选通信号: $\overline{DS}$

读写控制信号: $R/\overline{W}$, 为访问内存或 I/O 确定一个方向。

字节/字操作: $B/\overline{W}$ 它为低电平表示 16 位总线上传送字。

等待信号: $\overline{WAITRQ}$, 它为低电平表示被访问对象尚未完成操作需等待。

内存请求信号: $\overline{MEMRQ}$, 表示 CPU 访内存操作。低电平有效。

系统总线信号: $\overline{RESET}$

2. 总线管理信号, 用以提出使用总线请求和确定由谁使用总线。

总线请求信号: $\overline{BUSRQ}$, 表示要使用总线的主设备正在使用总线或正在请求控制总线。

总线响应信号: $\overline{BUSACK}$, 表示 CPU 接受了总线请求而放弃了对总线的控制。

总线响应输入、总线响应输出 $\overline{BAI}$, $\overline{BAO}$; 用以形成总线请求链。

3. 中断控制线, 用于请求中断和决定谁的优先权高。

中断请求线: NMI, VI, NVI 三个中断请求信号。

中断回答信号, 由状态线译码得到, 表示正在响应中断。

表三 MIC-8K2 的系统总线

引脚编号	名称	引脚编号	名称
1	+5V	2	+5V
3	GND	4	GND
5	IEI	6	IEO
7	AD ₀	8	AD ₁
9	AD ₂	10	AD ₃
11	AD ₄	12	AD ₅
13	AD ₆	14	AD ₇
15	AD ₈	16	AD ₉
17	AD ₁₀	18	AD ₁₁
19	AD ₁₂	20	AD ₁₃
21	AD ₁₄	22	AD ₁₅
23	SN ₀	24	SN ₁
25	SN ₂	26	SN ₃
27	SN ₄	28	SN ₅
29	SN ₆	30	SEGT
31	R/ $\overline{W}$	32	B/ $\overline{W}$
33	$\overline{DS}$	34	$\overline{MEMRQ}$
35	$\overline{RESET}$	36	$\overline{AS}$
37	ST ₀	38	ST ₁
39	ST ₂	40	ST ₃
41	$\overline{BUSACK}$	42	$\overline{BUSRQ}$
43	N/ $\overline{S}$	44	VI
45	$\overline{WAITRQ}$	46	NVI
47	MO	48	NMI
49	$\overline{CLOCK}$	50	$\overline{MMREQ}$
51	$\overline{MMAO}$	52	$\overline{MMAI}$
53	$\overline{RAMLSBL}$	54	$\overline{ROMDSBL}$
55	+12V	56	-12V

中断优先入，中断优先出 IEI 和 IEO 用以形成中断链。在 MIC-8K2 中只设有 VI 中断的中断链。

4. 资源管理线，用以管理一个共享资源。

资源请求信号： $\overline{MMRQ}$ ，表示已作资源请求，或请求已允许。

资源请求响应输入、输出 $\overline{MMAI}$ ， $\overline{MMAO}$ 。形成资源请求链环。