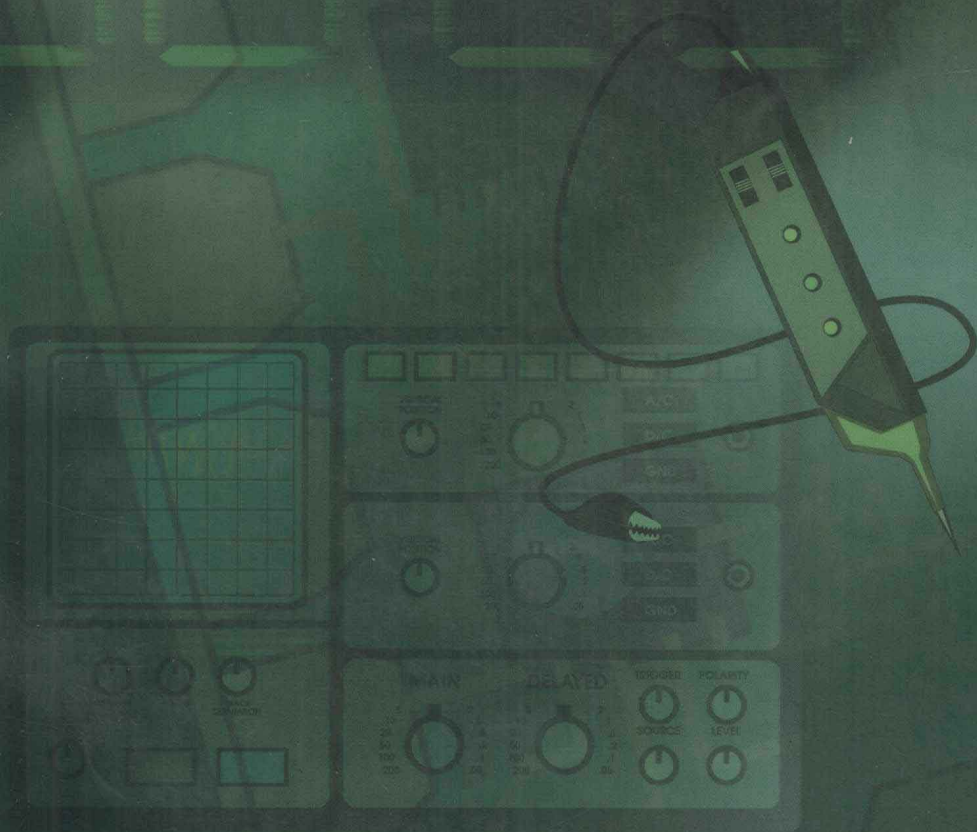




高等学校教材
Textbook for Higher Education

数字电子技术基础实验

邵舒渊 韩金燕 于海勋 编



西北工业大学出版社

高等学校教材

数字电子技术基础实验

邵舒渊 韩金燕 于海勋 编

西北工业大学出版社

【内容摘要】 这本书是根据高等院校电类专业本科生实验要求编写的。全书分三章和附录。第一章 实验准备;第二章·基础实验;第三章:综合实验。附录分三个部分·半导体集成电路型号命名方法;数字集成电路的型号组成和部分集成电路引脚排列。内容编排全面,由浅入深,便于各大专院校选用。

本书内容循序渐进,加强了中规模集成电路的综合应用,注重培养学生的实际应用能力。这本书可作为高校电子类、通信类、计算机类、自动控制类、工程测试类及非电类专业本科生实验教材,也可供有关专科院校学生选用。

数字电子技术基础实验

邵舒渊 韩金燕 于海勋 编

责任编辑 冷国伟

责任校对 钱伟峰

*

西北工业大学出版社出版发行

(邮编 710072 西安市友谊西路 127 号 电话 8493844)

全国各地新华书店经销

空军导弹学院印刷厂印装

ISBN 7-5612-1233-X/TN·70

*

开本 787 毫米×1 092 毫米 1/16 印张:8.75 字数:206 千字

2000 年 3 月第 1 版

2002 年 1 月第 2 次印刷

印数:3 501~9 500 册 定价:14.00 元(套)

购买本社出版的图书,如有缺页、错页的,本社发行部负责调换。

前 言

“数字电子技术基础”是高等工科院校电类专业重要的专业基础课程,是实用性、工程性很强的技术基础课,教学中必不可少的实验环节。“数字电子技术基础实验”就是为了配合教学而编写的一本实验教学指导书。

本书是根据“数字电子技术基础”教学大纲的要求,参考工程实际应用,结合近年来的实验教学工作及学生科技培训工作等多方面的经验总结编写而成的一本实验指导书。该书是“电子技术基础实验”系列配套教材之一。

本书在内容的编排上,注重系统性和全面性,增加了实验性、设计性比例,力求使学生对大规模器件的应用有一个较为全面的认识。

本书共分三章,第一章实验准备,概括了做数字电路实验的注意事项。第二章,基础实验,配合基本的教学内容逐章编排了十九个基础性实验。希望学生通过这十九个基础实验,对数字电路有一个概括的了解,有助于理论知识的学习、理解。第三章综合实验。在这一部分中,我们组织编写了八个具有实际意义的综合性实验内容。希望学生能够通过综合性实验,对数字电路在实际中的应用有一个初步的了解,对学生今后应用数字电子技术进行设计、开发等打下良好的基础。

本书由邵舒渊主编,并负责第一章、第三章及附录等内容的编写,第二章内容由韩金燕编写,全书由于海勋进行全面审核并参与了部分内容的整理编写工作。在编写过程中得到过其他同志的热情帮助。在此表示感谢。

由于编者水平有限,书中难免有不妥及错误之处,恳请读者批评指正。

编 者

目 录

第一章 实验准备	1
第二章 基础实验	5
实验一 TTL 集成逻辑门的参数测试	5
实验二 CMOS 集成逻辑门的参数测试	10
实验三 TTL 门电路的逻辑变换	12
实验四 TTL 集电极开路门(OC)与三态门(3S)的测试与应用	15
实验五 集成逻辑电路的连接和驱动	19
实验六 组合逻辑电路的设计	22
实验七 半加器 全加器及其应用	24
实验八 数据选择器及其应用	28
实验九 译码器、编码器及其应用	32
实验十 数值比较器及其应用	35
实验十一 基本触发器的功能测试	38
实验十二 基本触发器的应用	41
实验十三 移位寄存器及其应用	42
实验十四 计数器及其应用	45
实验十五 同步时序电路的设计	49
实验十六 TTL 门组成的脉冲电路	50
实验十七 集成脉冲电路及其应用	54
实验十八 555 定时器及其应用	58
实验十九 A/D 和 D/A 转换器	62
第三章 综合实验	67
综合实验一 数字钟	67
综合实验二 电子秒表	69
综合实验三 串行加法器	72
综合实验四 动态扫描键盘编码器	73
综合实验五 彩灯控制电路	75
综合实验六 脉冲分配器及其应用	77
综合实验七 数字频率计	80

综合实验八	$3\frac{1}{2}$ 位直流数字电压表的组装与调试	86
附录		91
附录一	半导体集成电路型号命名方法	91
附录二	数字集成电路的型号组成	92
附录三	部分集成电路引脚排列	94
参考文献		102

第一章 实验准备

电子技术基础实验，是培养电子技术、电气技术、计算机技术以及其它相关专业的工程应用性人才的基本教学内容之一和重要的教学手段。“实验应用”是其直接的、惟一的目的。具体的讲，通过它可以巩固和加深理论及概念的理解；锻炼实际应用的能力；培养理论联系实际的作风、严谨求实的科学态度和基本的工程素质。

电子技术基础实验，按照实验电路传输信号的性质，可以分为模拟电路实验和数字电路实验两大类。每大类又可按实验目的与要求分成三种：第一种，验证性和探索性实验。其目的是验证电子电路的基本原理，或者是通过实验探索提高电路性能（或扩展电路功能）的途径或措施；第二种，检测性实验。其目的是检测器件或电路的性能（或功能）指标，为分析和应用准备必要的技术数据；第三种，设计性和综合性实验。其目的是综合运用有关知识来设计、安装与调试自成系统的、实用的电子电路。

在数字电路实验中，通常采用中规模器件进行实验，实验者的主要任务是完成逻辑构思，选择并灵活地应用集成组件和正确地连接电路。其主要目的是验证设计思想，测试和调整电路的逻辑关系，完善电路的逻辑功能。目前数字电路的实验大都采用接插式底板和双列直插式集成器件，通过接插的方法进行电路搭接与实验。因此，在数字电路的实验过程中，通常采用数字逻辑电路实验箱来进行实验。在一般情况下，不必使用其它仪器。仅用逻辑箱就可以完成数字电路的逻辑实验。

在数字电路实验过程中，有多方面原因可造成实验的故障。有些故障是因为操作不当（如布线错误）引起的；有些故障（如组合电路的冒险现象）是由于设计不当，实验电路本身所固有的；有些故障则是实验元器件使用不当或错误应用造成的，等等。在实验中，要求完全不出故障是比较困难的，然而，只要做到实验前准备充分，实验时操作细心，将故障减少到最低限度则是可能的。

一、实验准备

实验前的准备工作做得是否充分，对实验结果有很大的影响。所谓实验结果包含两层意思：实验能否顺利完成和是否有收获。只有当实验者对将要做的实验目的、要求、内容以及与实验内容有关的理论知识，都真正做到心中有数，并且完成实验预习报告后，才能说做好了实验前的准备工作。实验一般分验证性实验和设计性实验，对不同性质的实验，准备工作的侧重点和要求应有所不同。

1. 验证性实验

由于验证性实验的内容、实验电路等大多是预先指定的，相对于设计性实验来说，实验者主观能动性体现不多，因而，实验者往往有一种处于被动状态的感觉，实验的兴趣较小。正

因为如此，对于验证性实验，实验者要预先仔细弄清实验的目的和具体要求，就显得更为必要。此外，验证性实验所要验证的现象或理论、实验电路等都属于已知的范围。因此，应该也完全有可能对实验结果、实验中可能出现的种种现象，预先作出分析和估计。例如，正确的实验结果是什么？实验中是否会有异常现象？产生的原因是什么？等等。否则，对实验稀里糊涂，似是而非，甚至实验做完了，还不清楚自己做的是什么内容和为什么要做实验，至于实验收获更是谈不上了。这种现象，在教学实验中是屡见不鲜的，应特别注意避免。

2. 设计性实验

设计性实验的最大特点是，除了实验目的和具体要求以外，实验电路、实验步骤等都由实验者自己拟定。实验者完全处于主导地位，主观能动性得到最大程度的发挥。但也必须注意以下问题，否则会导致实验失败。

首先，应熟悉集成元件的使用条件和逻辑功能，然后设计实验电路。否则，将因集成元件的选用或使用不恰当，使得实验电路工作不正常，甚至无法工作。

其次，设计组合电路或异步时序电路时，则要特别防止电路出现险象和竞争等问题。

3. 实验预习报告

实验预习报告不同于正式实验报告，没有规定的书写格式和要求。但从某种意义上说，实验预习报告的重要性和作用并不亚于正式的实验报告。因为，实验预习报告体现了实验前准备工作是否充分，同时，也是实验操作的依据。实验预习报告要求尽可能写得简洁，思路清楚。

若是验证性实验，则对于所要验证的现象或理论，实验电路的性能必须有清楚的了解，知道其正确结论。若是设计性实验，则必须按照设计要求设计出相应的电路，画出其逻辑图。

二、布线和故障排除

在实验中，当电路不能完成预期的逻辑功能时，就称电路有故障。产生故障的原因大致可以归纳为下面几个方面。

- (1) 电路设计错误。
- (2) 布线错误。
- (3) 集成元件使用不当或功能不正常。
- (4) 数字逻辑电路实验箱或通用底板不正常。

粗略统计，在教学实验中，大约有 70% 以上的故障是由于布线错误引起的。布线错误不仅会引起电路故障，严重时甚至会损坏集成元件。原则上讲，只要经过仔细核查，布线错误是不难得到纠正的，但实践证明事情并不像想像的那样简单。当实验电路稍为复杂，加之布线方法不合理时，是很难通过查对接线纠正布线错误的。因此，为了尽可能减少故障，注意布线的合理性和科学性就显得十分必要。

1. 布线原则

布线前，必须首先校准集成元件两排管脚距离，使之和实验通用底板上的插座的行距相等。将集成元件插到底板上时，用力要轻而均匀，不要一下子插紧，待确定集成元件的管脚和插孔位置一致后，再稍用力将其插牢。这样做可避免集成元件管脚弯曲或折断。

接插集成元件时要认清方向，不要插倒。双列直插式集成元件一般都有定位标记，在使用时必须注意。

布线用的导线直径应和通用底板插孔直径相一致，不宜太粗（容易损坏插孔），也不宜过

细（与插孔接触不好）。导线的剥头不宜太长，也不宜太短，大约为 5~7 mm。剥头部分不要留有刀痕，也不允许弯曲，凡导线剥头裸露部分不够光滑的，匀应剪去，再重新剥头。导线插入插孔时，用力不能过猛，以防因导线插入过深，使导线塑料包层插入造成电绝缘。

布线最好有顺序地进行，不要随意接线，以免造成漏接。布线时先将固定电平的端点接好，如电源的正极（+5V）、地线、门电路的多余输入端及实验过程始终不改变电平的输入端等这些连线尽可能短一些，并布在接近电源正极和电源负极（地线）的位置。这样可避免在布其它导线时被无意碰落，而且可以减少靠近集成元件附近的布线密度。上述导线布好以后，再按信号流向顺序依次布线，布线用的导线长度不宜太长，最好贴近通用底板。在布线时，尽量避免导线相互重叠，更不要覆盖插孔。布线时切忌导线跨越集成元件的上空，无规则的交错连接，或在空中搭成网状。正确的方法是导线贴近底板在集成元件周围走线。布线时切忌在一个插孔内插入两根或两根以上的导线，以免插孔因插入导线过多而减弱弹性。

在实验电路所用集成元件较多时，在布线前要对门电路、触发器和中规模集成电路进行逻辑功能测试。这样，可避免因集成元件功能不正常而导致电路工作不正常。

2. 故障排除

在实验电路设计正确的前提下，按上述原则布线出故障的可能性是很小的，即使出现故障也都较容易排除。

在完成布线后，对所有连线复查一遍还是有益的。然而也只能查出漏接和错接的导线，许多故障因素用查线的方法是不会被发现的。例如，由于导线插孔太深形成导线与插孔相互绝缘，集成元件的管脚因插弯未能插入插孔，等等。所以检查布线不能作为排除故障的主要手段。排除故障的最好方法是用逻辑思维对故障现象进行分析和推理。下面，结合几个具体例子作简要的说明。

完成布线核查后，不要立即急于观察电路的终端输出是否符合设计要求，而是先作一些简单的检查。如检查电源是否加上，实验电路能否正常被复位或置位，输入信号是否能加到实验电路上，输出端显示有没有反应等。通过这些简单的检查，可以发现并及时排除部分故障。

然后，置实验电路在预置的初始状态，并用手动时钟信号给电路输入、观察电路工作情况。若电路工作不正常、应多次重复上述步骤，仔细观察故障现象，然后再关机，对观察到的现象进行分析，从而初步判断故障的性质。例如，无论对实验电路加什么信号，输出端始终处于高电平，则很可能是由于集成元件未接地或者接地线接触不良。

需要指出的是，只靠实验经验排除故障是不够的，必须对实验电路有充分的了解，熟悉其工作原理，掌握构成该电路集成元件的性能特点，才能顺利完成实验任务，这正是强调实验预习重要性的原因。

三、实验报告

实验结束后需要撰写实验报告，这不仅是一种形式上的需要，而是一项重要的基本功训练。撰写实验报告是总结回顾实验结果，可巩固和加深对实验电路及所涉及的基本理论的认识和理解。从而可以进一步加强自己分析问题、解决问题的能力。

撰写实验报告有一定的规范和要求。实验报告一般包括：实验目的；实验使用的仪器、器件；实验内容和步骤；思考和讨论等四部分内容。

实验内容和步骤包括方框图、状态转换图或真值表、文字说明、逻辑图等几项内容。

1. 方框图

方框图的作用是给出某一电路的概貌，并能反映出该电路的总体设计构思，因而在形式上较为简单，方框图一般不涉及具体电路，但要求能够清晰地反映出输入输出通路，主要的控制信号等。

2. 状态转换图或真值表

状态转换图或真值表是设计电路的依据，同时又是表达设计思想的最简洁的一种方式，通过状态转换图或真值表可以帮助理解实验电路的控制作用和逻辑关系。

3. 文字说明

实验报告的文字说明要求简洁、明确，通过文字说明进一步简述电路的工作原理、逻辑功能和设计思想，由于使用大规模集成电路进行设计不像用小规模集成电路进行设计那样有经典的设计规范，更多的是用一些设计技巧和逻辑构思，因而更需要通过文字说明阐述设计方法。

4. 逻辑图

逻辑图的图形符号按国家标准 GB4723·12—85《电气图用图形二进制逻辑单元》所规定的原则绘制而成。在画逻辑图时要求逻辑图的信号流向或自下而上，或自左至右，这样容易看清所有的输入输出信号，逻辑电路的核心部分应绘制在图中间或上面部分，并有显著的标记。

逻辑图上所有逻辑符号都应标明使用的集成元件的型号。

5. 讨论

实验报告的最后一项内容是对实验结果进行讨论，主要是对重要的实验现象，结论进行讨论，并加以分析和说明，以便进一步加深理论知识。

第二章 基础实验

实验一 TTL 集成逻辑门的参数测试

一、实验目的

- (1) 掌握 TTL 与非门各参数的物理意义及测试方法。
- (2) 掌握 TTL 器件的使用规则。
- (3) 掌握 TTL 与非门的逻辑功能。

二、实验原理

本实验将对 TTL 集成逻辑与非门 74LS00 的逻辑功能及主要参数进行测试。74LS00 是 2 输入 4 与非门。图 2-1 (a), (b) 给出了其逻辑符号及引脚排列图。

1. 74LS00 与非门的逻辑功能

当输入端有一个或一个以上是低电平时, 输出端为高电平; 只有当输入端全部为高电平时, 输出端才是低电平。逻辑表达式为

$$Y = \overline{AB}$$

2. TTL 与非门的主要参数

(1) 低电平输出电源电流 I_{ccl} 和高电平输出电源电流 I_{cch} 。

I_{ccl} 是指所有输入端悬空, 输出端空载时的电源电流。 I_{ccl} 的大小标志着门电路的功耗 P_1 的大小, $P_1 = I_{\text{ccl}} V_{\text{cc}}$ 。

I_{cch} 是指每个门各有一个以上的输入端接地, 输出端空载时的电源电流。通常 $I_{\text{cch}} < I_{\text{ccl}}$ 。

(2) 低电平输入电流 I_{il} 和高电平输入电流 I_{ih} 。

I_{il} 是指被测输入端接地, 其余输入端悬空时, 由被测输入端流出的电流。 I_{il} 直接影响前级电路带动的负载个数, 因此越小越好。

I_{ih} 是指被测输入端接高电平, 其余输入端接地时流入输入端的电流。一般 $I_{\text{ih}} < I_{\text{il}}$ 。 I_{ih} 很小, 且越小越好。

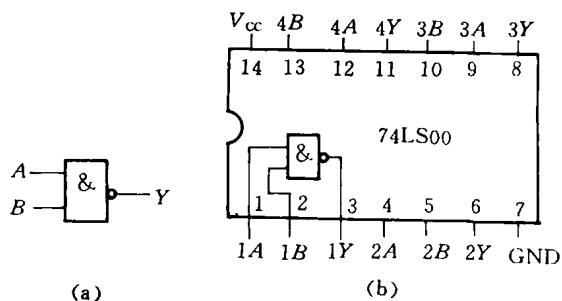


图 2-1 74LS00 逻辑符号及引脚排列

(a) 逻辑符号 (b) 74LS00 引脚排列

(3) 电压传输特性 电压传输特性是反映输出电压 V_o 与输入电压 V_i 之间关系的曲线。如图 2-2 所示。从电压传输特性曲线上可以读出输出高电平 V_{oH} , 输出低电平 V_{oL} , 开门电平 V_{on} , 关门电平 V_{off} , 阈值电平 V_T 及抗干扰容限 V_{NL} , V_{NH} 等值。

V_{oH} 是指有一个以上输入端接地或接低电平时的输出电平。此时门电路处于截止状态。

V_{oL} 是指所有输入端均接高电平时的输出电平。此时门电路导通。

V_{on} 是指输出低电平时, 输入高电平的最低值。由于器件制造中的差异, V_{oH} 与 V_{oL} 不尽相同。

因而规定 TTL 与非门的 $V_{oH} = 3V$, $V_{oL} = 0.35V$ 为额定逻辑高, 低电平。 V_{on} 也可以认为是在保证输出为额定低电平 (0.35 V) 的条件下, 允许的输入高电平的最低值。测量时可用 $V_{oL} = 0.35 \sim 0.4V$ 所对应的输入电平作为 V_{on} 。

V_{off} 是指保证输出为高电平时, 输入低电平的最高值。也可以认为在保证输出为额定高电平的 90% 的条件下, 允许的输入低电平的最高值。测量时, 可用 $V_{oH} = 2.7V$ 或 $2.4V$ 所对应的输入电平作为关门电平 V_{off} 。实验上, V_{on} 与 V_{off} 较接近。 V_{on} 与 V_{off} 越接近, 门的抗干扰能力越强。

V_T 是指工作点处于电压传输特性中输出电平迅速变化区 (转折区) 中点时的输入电平值。

(4) 扇出系数 N 。 N 是指输出端最多能带同类门的个数, 用以衡量电路的负载能力。

$$N_o = \frac{I_{o,max}}{I_i}$$

式中 $I_{o,max}$ —— 当 U_{oL} 不大于 0.35 V 时允许灌入的最大灌入负载电流, 即 I_{oL} 。

(5) 平均传输延时时间 t_{pd} t_{pd} 是指输出波形边沿的 0.5 V_m 点相对于输入波形对应边沿的 0.5 V_m 点的延迟时间。它是衡量门电路开关速度的参数。如图 2-3 所示, t_{pdL} 为导通延迟时间, t_{pdH}

为截止延迟时间, $t_{pd} = \frac{1}{2}(t_{pdL} + t_{pdH})$ 。

由于 TTL 门电路的 t_{pd} 较短, 直接测量时对仪器性能要求较高。一般采用测量由奇数个与非门组成的环形振荡器的振荡周期 T 来求得。

如图 2-3 所示, 本次实验我们用三级与非门组成环形振荡器。工作原理是, 假设 A 点在某一瞬间为逻辑“1”经三级门的延迟后, A 点由逻辑“1”变为“0”, 再经三级门的延迟, A 点重回逻辑“1”。这说明, 使 A 点发生一周期的振荡, 必须经过 6 级门的延迟时间。因此, $t_{pd} = T/6$ 。电路中其它各点电平的变化规律与 A 点相同。

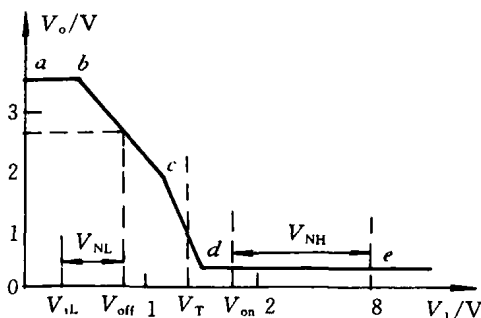


图 2-2 电压传输特性曲线

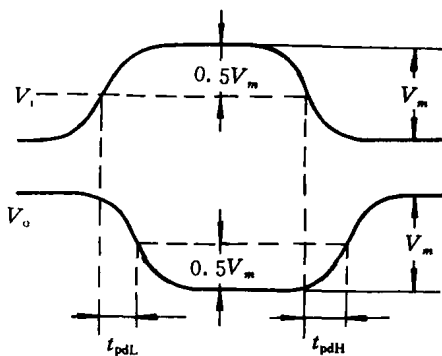


图 2-3 传输延迟特性

三、实验内容

1. TTL 与非门 74LS00 的逻辑功能

按图 2-4 所示在实验箱上连接电路。输入端与逻辑开关相连,输出端与指示灯相连。将测试结果填入表 2-1 中。并写出与非门的逻辑表达式。

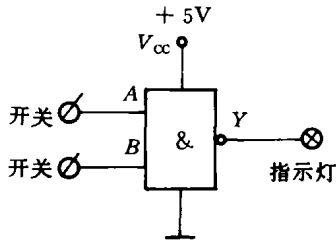


图 2-4 74LS00 逻辑功能测试电路

表 2-1

输入		输出
A	B	Y
0	0	
0	1	
1	0	
1	1	

2. TTL 与非门 74LS00 参数的测试

(1) I_{CCL} , I_{CCH} , I_{IL} , I_{IH} 的测试 分别按图 2-5(a), (b), (c), (d) 所示连接电路。将测试结果记入表 2-2 中。

(2) 扇出系数 N_o 。按图 2-5(e) 所示连接电路。所有输入端悬空, $R_L < 1 \text{ k}\Omega$ 。调整 R_L 的值, 使输出电压 $V_o = 0.35 \text{ V}$, 此时的负载电流就是允许灌入的最大负载电流 $I_{O,max}$ 。(注意: 测量时 $I_{O,max}$ 最大不要超过 20 mA , 以防损坏器件) 将测试数据记入表 2-2 中。

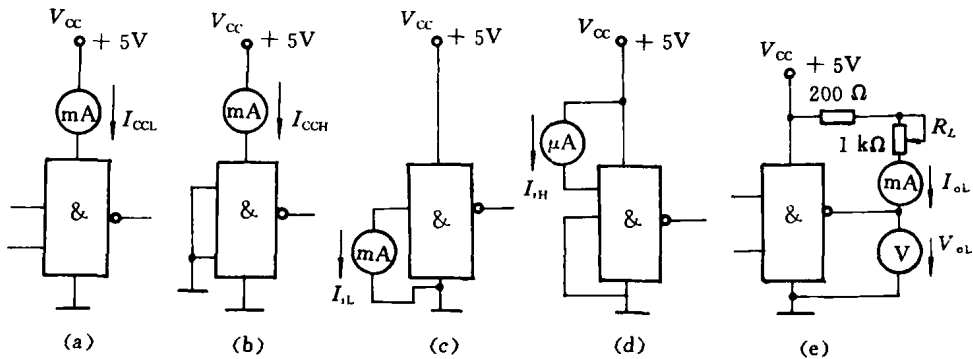


图 2-5 TTL 与非门静态参数测试电路图

表 2-2

$\frac{I_{CCL}}{\text{mA}}$	$\frac{I_{CCH}}{\text{mA}}$	$\frac{I_{IL}}{\text{mA}}$	$\frac{I_{IH}}{\mu\text{A}}$	$\frac{I_{O,max}}{\text{mA}}$	$N_o = \frac{I_{O,max}}{I_{IL}}$	T	$t_{pd} = \frac{T}{6}$

(3) 平均传输延迟时间 t_{pd} 按图 2-6 所示连接电路, 将测试数据记入表 2-2 中。

(4) 电压传输特性 按图 2-7 所示连接电路。调节电位器 R_L , 使 V_i 按表 2-3 的要求发生变化, 逐点记录对应的输出电压 V_o 的值。根据实验数据作电压传输特性曲线, 从曲线中读出 V_{OH} 、 V_{OL} 、 V_{on} 、 V_{off} 及 V_T 等, 并计算出 V_{NL} 和 V_{NH} 。

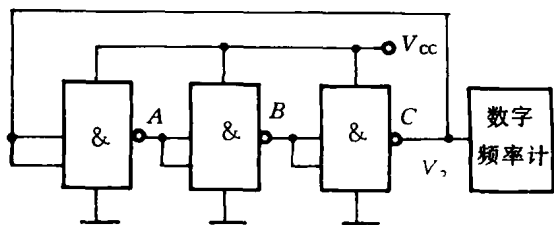


图 2-6 t_{pd} 测试电路图

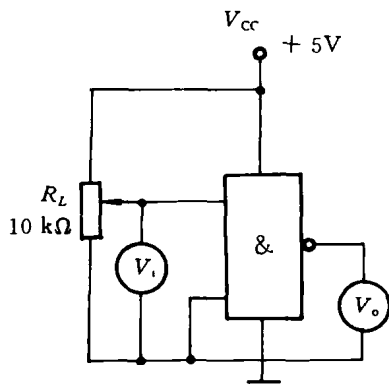


图 2-7 传输特性测试电路

表 2-3

V_i/V	0.3	1.0	1.2	1.3	1.5	1.35	1.4	1.5	2.0	2.4
V_o/V										

3. TTL 与非门 74LS00 控制特性的测试

输入端 A 接直流电平信号, 输入端 B 接输入方波信号。示波器 1 通道接输入端 B, 2 通道接与非门输出端, 触发源取 1 通道。Y 轴输入选择开关打在 DC。根据示波器显示的波形, 在表 2-4 中画出输出波形。

表 2-4

A	A = 0	A = 1
B		
Y		

4. TTL 与非门 74LS00 的应用

图 2-8 为一楼道照明灯控制电路。测试它的逻辑功能并填入表 2-5 中, 根据测试结果写出逻辑表达式。并分析控制电路的工作原理。

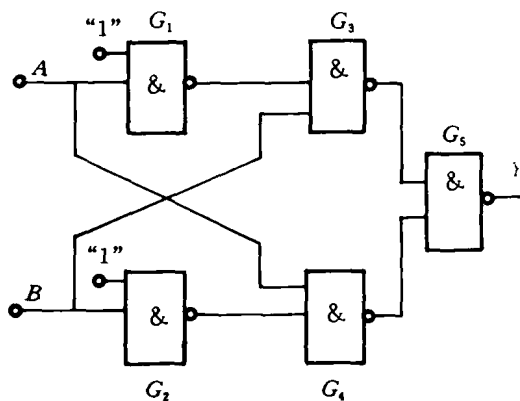


图 2-8 楼道照明控制电路

表 2-5

A	B	Y
0	0	
0	1	
1	0	
1	1	

四、实验报告要求

- (1) 按实验内容的要求记录实验数据,分析实验结果。
- (2) 讨论 TTL 与非门闲置输入端的各种处理方法。

五、TTL 集成电路使用规则

- (1) 认清集成块的定位标记,不得插反。

(2) TTL 电路对电源电压要求较严,电源电压 V_{CC} 只允许在 $+5V \pm 10\%$ 的范围内工作;超过 $5.5V$,将损坏器件;低于 $4.5V$ 器件的逻辑功能将不正常。

- (3) 闲置输入端处理方法:

- 悬空,相当于正逻辑“1”,对于一般小规模集成电路的数据输入端,实验时允许悬空处理。但易受外界干扰,导致电路的逻辑功能不正常。因此,对于接有长线的输入端,中规模以上的集成电路和使用集成电路较多的复杂电路,所有控制输入端必须按逻辑要求接入电路,不允许悬空。

- 直接接电源电压(也可串入一个 $1 \sim 10 k\Omega$ 的固定电阻)或接某一固定电压($2.4 \sim 4.5V$),或与输入端为接地的多余与非门的输出端相接。

- 若前级驱动能力允许,可以与使用的输入端并联。

(4) 输出端不允许并联使用(集电极开路门(OC)和三态输出门电路(3S)除外)。否则不仅会使电路逻辑功能混乱,并会导致器件损坏。

(5) 输出端不允许直接接地或直接接 $+5V$ 电源,否则将损坏器件,有时为了使后级电路获得较高的输出电平,允许输出端通过电阻 R 接至 V_{CC} ,一般取 $R = 3 \sim 5.1 k\Omega$ 。

(6) 输入端通过电阻接地,电阻值的大小将直接影响电路所处的状态。当 $R < 680 \Omega$ 时,输入端相当于逻辑“0”;当 $R \geq 4.7 k\Omega$ 时,输入端相当于逻辑“1”。对于不同系列的器件,要求的电阻不同。

实验二 CMOS 集成逻辑门的参数测试

一、实验目的

- (1) 掌握 CMOS 与非门各参数的物理意义及测试方法。
- (2) 掌握 CMOS 器件的使用规则。
- (3) 了解 CMOS 门电路与 TTL 门电路性能的差别。

二、实验原理

CMOS 集成电路是由 NMOS 和 PMOS 管组成,通称互补 MOS 电路,它具有:① 功耗低;② 输入阻抗高(远高于 TTL 器件);③ 电源电压变化范围宽,可在 $+3 \sim +18\text{ V}$ 范围内正常运行;④ 输出电平摆幅很大,噪声容限很高;⑤ 扇出系数大等优点。本实验将对 CMOS 四 2 输入与非门 CC4011 的主要参数及逻辑功能进行测试。图 2-9 给出其引脚排列图。

1. CC4011 与非门的逻辑功能

逻辑表达式为 $Y = \overline{AB}$ 。

2. CMOS 与非门 CC4011 的主要参数

CMOS 与非门主要参数的定义及测试方法与 TTL 电路相仿,从略。

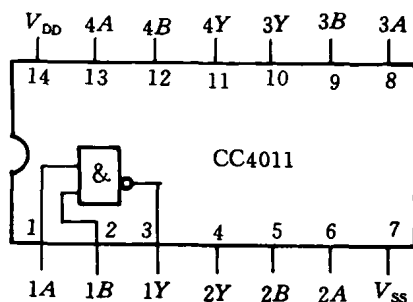


图 2-9 CC4011 引脚排列图

三、实验内容

1. CMOS 与非门 CC4011 逻辑功能测试

按图 2-10 所示电路图连接电路,将测试结果记入表 2-6 中。

2. CMOS 与非门 CC4011 参数测试

CC4011 参数测试的方法与 TTL 与非门 74LS00 参数测试的方法相似。因此测试电路请参照实验一中相应的电路图。

- (1) 测试 CC4011 一个门的 I_{CCH} , I_{CCL} , I_{IH} , I_{IL} , 将结果记入表 2-7 中。

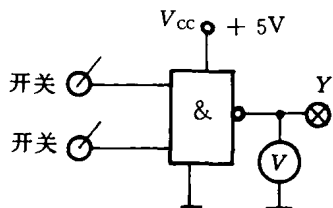


图 2-10 与非门逻辑功能测试

表 2-6

输入端		输出端	
A	B	电位 /V	逻辑状态
0	0		
0	1		
1	0		
1	1		

(3) 将 CC4011 的 3 个与非门串接成环形振荡器,测试 t_{pd} ,将结果记入表 2-7 中。

(4) 传输特性(一个输入端作信号输入,另一个输入端接逻辑高电平)。根据表 2-8 测试 V_o ,并将结果记入表 2-8 中。画出电压传输特性曲线,从曲线中读出 $V_{oH}, V_{oL}, V_{on}, V_{off}$ 及 V_T 等。

表 2-7

I_{CCH}/mA	I_{CCL}	I_{IH}	I_{IL}	T	$t_{pd} = \frac{T}{6}$

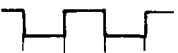
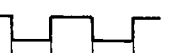
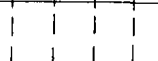
表 2-8

V_i/V	0.3	1.0	1.2	1.3	1.5	1.35	1.4	1.5	2.0	2.4
V_o/V										

3. CC4011 控制特性的测试

输入端 A 接直流电平信号,输入端 B 接方波信号,用示波器观察 B 端及输出端波形,在表 2-9 中画出输出端波形。

表 2-9

A	A=0	A=1
B		
Y		

4. CC4011 的应用

分析与测试图 2-11 电路的逻辑功能,把测试结果记入表 2-10 中,并根据测试结果写出它的逻辑表达式。

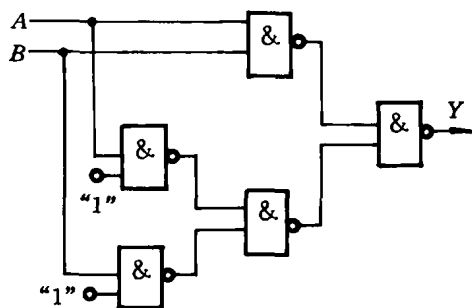


图 2-11

表 2-10

A	B	Y
0	0	
0	1	
1	0	
1	1	