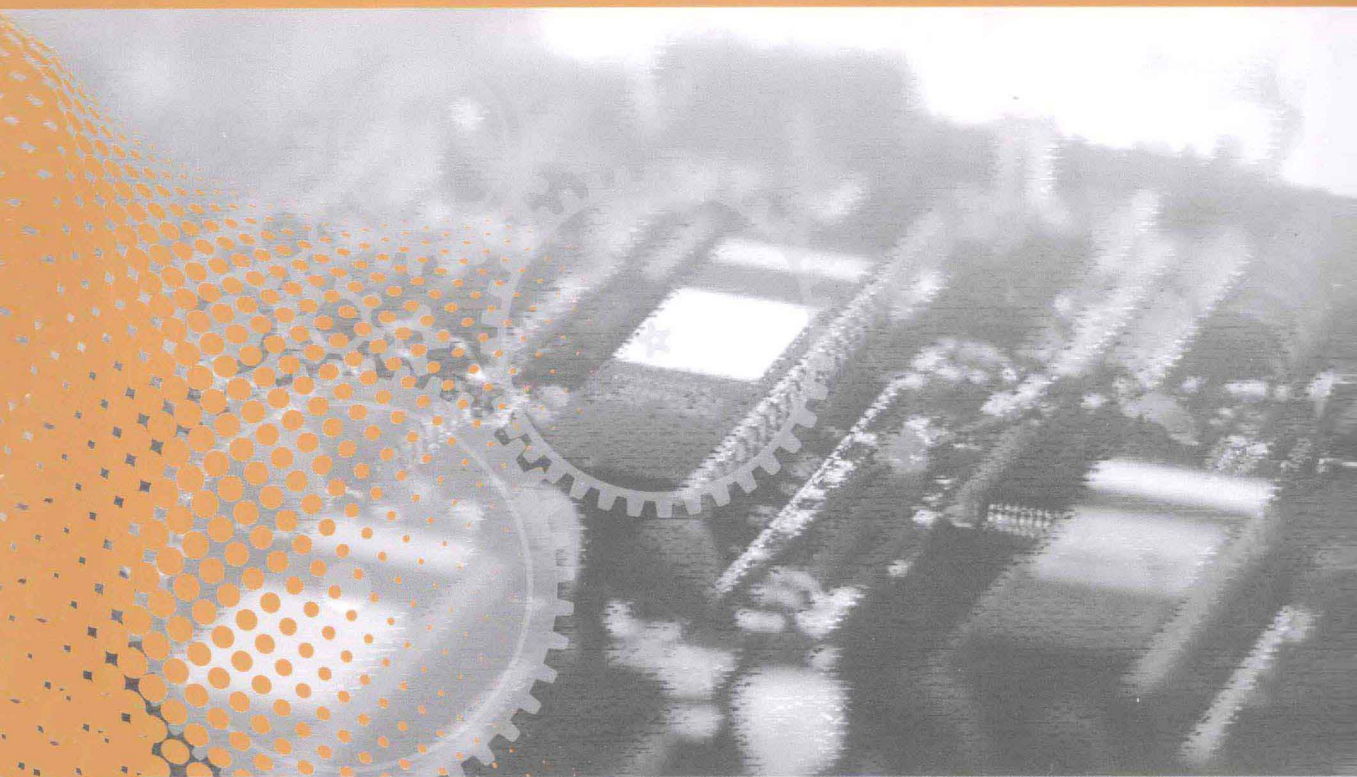


中国集成电路封测产业链 技术创新路线图

国家集成电路封测产业链技术创新战略联盟 编



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

中国集成电路封测产业链 技术创新路线图

国家集成电路封测产业链技术创新战略联盟 编

電子工業出版社·

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书面向中国集成电路封测产业链的技术创新趋势,在借鉴国际封装技术发展路线图的同时,以国内封测产业链为主要对象,针对性地提出了国内集成电路封测产业链技术创新的发展路线。全书内容共5章,第1~3章对国际国内封测技术的发展进行了简要的回顾和总结;第4章是全书重点,从八个方面分析了国内封测产业实现产业技术链创新和赶超国际产业的主要方向;最后对正在不断涌现的新领域进行了简要分析。

本书适合供集成电路封测产业工程技术人员、管理人员在技术创新、产业结构调整过程中进行参考,也可供高等院校相关专业研究生和高年级本科生参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

中国集成电路封测产业链技术创新路线图 / 国家集成电路封测产业链技术创新战略联盟编.
—北京:电子工业出版社,2013.8

ISBN 978-7-121-21175-1

I. ①中… II. ①国… III. ①集成电路—电子工业—技术革新—研究—中国 IV. ①半导体—电子工业—技术革新—研究—中国 V. ①F496.63

中国版本图书馆CIP数据核字(2013)第178170号



策划编辑:赵娜

责任编辑:苏颖杰

印刷:中国电影出版社印刷厂

装订:中国电影出版社印刷厂

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开本:787×1092 1/16 印张:9.25 字数:158千字

印次:2013年8月第1次印刷

定价:88.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

反侵权盗版声明

电子工业出版社依法对本作品享有专有出版权。任何未经权利人书面许可，复制、销售或通过信息网络传播本作品的行为；歪曲、篡改、剽窃本作品的行为，均违反《中华人民共和国著作权法》，其行为人应承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。

为了维护市场秩序，保护权利人的合法权益，我社将依法查处和打击侵权盗版的单位和个人。欢迎社会各界人士积极举报侵权盗版行为，本社将奖励举报有功人员，并保证举报人的信息不被泄露。

举报电话：(010) 88254396；(010) 88258888

传 真：(010) 88254397

E-mail: dbqq@phei.com.cn

通信地址：北京市万寿路 173 信箱

电子工业出版社总编办公室

邮 编：100036

编辑委员会

指导委员会：王新潮 石磊 由镭 肖胜利 刘济东

王志越 郑康定 张小键 万里兮

专家委员会：叶甜春 毕克允 王曦 熊友伦 滕敬信 石明达

高尚通 李维平 贾松良 罗乐 肖斐 孙江燕

王云峰 孙宏伟 郭永兴 孔令文 梁志忠 赖志明

朱文辉 张东 吴晓纯 刘胜

主 编：于燮康

副 主 编：曹立强 蔡坚 陈灵芝

编 委：罗宏伟 高峰 常文瑛 秦舒 梁志忠 朱文辉

唐昊 孙宏伟 王谦 罗乐 肖斐 吴懿平

张黎 雷瑾亮 王洪辉 郭小伟 孔令文 谷新

冯建科 李明 王溯 吴健 夏年珍 况延香

童志义 沈熙磊

目 录

第 1 章 引言	1
第 2 章 国外封测业发展现状及未来发展趋势	3
2.1 半导体封装技术的发展阶段	4
2.2 先进封装技术	5
2.2.1 圆片级封装 (WLP) 技术	5
2.2.2 倒装芯片 (FC) 封装技术	6
2.2.3 叠层封装技术	7
2.2.4 系统级封装 (SiP) 技术	7
2.2.5 3D 系统集成封装技术	8
2.2.6 微组装技术	9
2.2.7 中段制程 (Middle-End) 技术	10
2.3 绿色封装	10
2.4 趋势	11
第 3 章 国内封测产业链技术发展现状	15
第 4 章 中国集成电路封测产业链技术创新发展路线图	21
4.1 协同设计及仿真	21
4.1.1 困难和挑战	22
4.1.2 高端单芯片封装设计	25
4.1.3 SiP 封装	28
4.1.4 特殊功能封装	30
4.1.5 工艺仿真	33
4.1.6 可行性解决方案	33
4.2 封装工艺技术	37
4.2.1 引线框架型封装	39
4.2.2 基板类封装	44
4.2.3 圆片级封装	47
4.2.4 系统级封装	53
4.2.5 3D 封装 (含 TSV)	56
4.3 封装材料	58
4.3.1 环氧塑封料	59

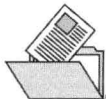
4.3.2	芯片粘接胶（固晶胶）	63
4.3.3	底部填充胶	65
4.3.4	微电子散热材料	66
4.3.5	焊球	68
4.4	封装基板	70
4.4.1	有机刚性封装基板	70
4.4.2	柔性基板	80
4.4.3	硅基板	83
4.4.4	陶瓷基板	85
4.5	封装设备	89
4.5.1	先进封装中的设备	90
4.5.2	晶圆减薄机	91
4.5.3	晶圆划片机	92
4.5.4	装片机（Die Bonder）	93
4.5.5	引线键合机	94
4.5.6	倒装芯片键合机	95
4.5.7	QFN/aQFN 切割机和塑封压机	97
4.6	测试技术与设备	99
4.6.1	技术发展趋势	99
4.6.2	封装测试的困难与挑战	106
4.6.3	我国集成电路测试设备发展目标	112
4.7	封装可靠性与失效分析	116
4.7.1	电子封装可靠性技术面临的机遇和挑战	116
4.7.2	可靠性设计、模型与计算模拟	117
4.7.3	失效分析与失效机理	121
4.7.4	封装可靠性技术亟待研究的问题	123
4.7.5	成品率的提高——困难和挑战	126
4.7.6	微电子封装领域所涉及的建模与仿真	127
4.8	环境、健康与安全	128
第 5 章	封装新领域的开发	132
5.1	MEMS 封装	132
5.2	光电子（OE）封装	132
5.3	宽禁带半导体高温电子封装	133
5.4	毫米波封装	134
5.5	微光电子机械系统（MOEMS）封装	134
编后语		135
参考文献		137

第1章 引言

自1958年第一块集成电路问世以来,半导体工业一直遵循着“摩尔定律(Moore's Law)”高速发展并推动着电子信息产品的更新换代。随着半导体技术日益接近CMOS工艺极限,促使集成电路封装开始承担起改善电路性能以及实现系统集成等重要功能,尤其是系统级封装(System in Package, SiP)、3D封装(3D Packaging, 3DP)、硅通孔(Through Silicon Via, TSV)互连等高端集成电路封装技术的发展,正在成为集成电路产业发展的重要推动力。

近几年来,封测业一直占据着国内集成电路产业的半壁江山,封测业规模的强劲发展对国内集成电路产业整体规模的扩大也起到了极大的带动作用,同时也有效支持了近几年国内IC设计和芯片制造行业的迅猛发展。但就国内内资封测企业的整体实力而言,不管是在封装工艺技术上,还是在封测装备或是材料开发能力上,与国外的差距依然很大,高端封装设备及材料基本依赖进口。如何改变当前这种受制于人的状况,如何推动内资封测企业尽快拥有国际竞争力,在国际集成电路封装产业中占有自己的一席之地,已成为中国集成电路封测业亟待解决的、具有全局性和战略性意义的问题。

为了回答如何保持半导体产业按照摩尔定律继续发展的问题,国际上主要的半导体协会共同组织制定了国际半导体技术发展路线图(The International Technology Roadmap for Semiconductors, ITRS),它为半导体产业界提供了被工业界广泛认同的、对未来十年内研发需求的最佳预测以及可能的解决方案,它对整个半导体产业需要开发什么样的技术起到了一个导向作用,在封装与组装领域,ITRS也提出了主要技术发展路线图作为业界参考^[1]。但是,国内封测行业目前的整体技术水平还远没有达到世界水平,国际半导体技术发展路线图并不完全适合中国国内的封测企业。因此,为了更好地凝练出符合中国企业自身发展特点的需求,帮助国内企业明确技术研发重点、发展方向以及可能的解决方案,以减少国内企业开发的盲目性,国家集成电



路封测产业链技术创新战略联盟联合中国半导体行业协会封装分会，组织业内专家及高校、科研院所和企业共同讨论并提出了“中国集成电路封测产业链技术创新路线图”，在参考国际半导体技术发展路线图（ITRS）的同时，结合国内外半导体产业尤其是封测产业的现状与发展趋势，以一个统一的技术创新路线图来指导各方协同创新，瞄准国际上飞速发展的先进技术，以产业化创新为目标，来快速提升我国集成电路封测产业的技术能力及水平，加速国内集成电路封测产业的设计、制造、封装及测试完整产业链的形成，从而大幅提升我国集成电路封测业的国际化水平及全球竞争能力。本技术路线图在编写过程中，适逢中国科学院信息技术科学部组织进行微纳电子学科发展战略研究^[2]，在新型封装技术及新兴封装领域等发展讨论中也部分参考了该战略研究的内容。

第 2 章 国外封测业发展现状及未来发展趋势

随着半导体技术逐渐逼近前道硅加工工艺的物理极限，曾经一直被奉为半导体产业发展“圣经”的摩尔定律将不再完全适用，半导体技术将依据多种技术创新应用向前发展，从过去只看重晶圆制造工艺技术节点的推进，转向系统级设计、混合信号集成等综合技术创新，从而引发世界半导体技术发展方式在部分领域的根本性改变。

2005 年，国际半导体技术路线图（ITRS）提出了“超越摩尔定律（More than Moore）”的概念：半导体产业除了会延续摩尔定律对集成度、性能的不断发展外，还将利用更多新发展的技术，如模拟/射频、高压功率电源、MEMS 传感器、生物芯片技术、系统级封装（SiP）、三维（3D）集成技术等等^[3]。

在摩尔定律继续发展面临着来自物理极限、经济限制等多重压力的现实下，集成电路技术潮流开始分化为“延伸摩尔”、“超越摩尔”、“超越 CMOS”三个主要方向，越来越多的价值源泉将从目前的器件工艺技术转变至材料技术、系统技术等更高端的技术（如图 2-1 所示）。

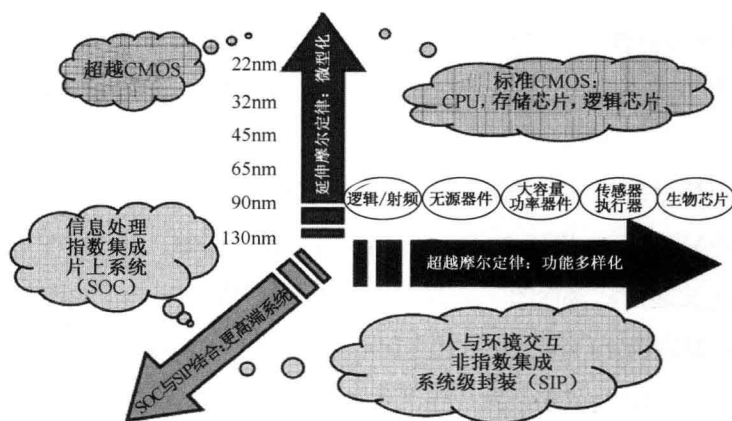
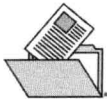


图 2-1 半导体技术发展趋势（参考 ITRS 资料）



由于集成电路制造技术已进入了纳米时代，正在趋于器件加工的物理极限（量子效应），从而迫使人们将整机产品性能的提高更多地转向在封装内实现多种功能集成的系统产品。随着 CMOS 工艺开发的不断发展，继续等比例缩小的局限性日渐凸显，系统设计工程师们开始越来越多地转向多芯片封装，而不是继续依赖在单一芯片上集成更多的功能来提高器件性能，IC 产业的竞争从某种意义上来说开始体现在 IC 产品的封装方面。

进入 2012 年后，半导体产业技术持续进行变革，其中系统级封装（SiP）、3D 集成电路（3DIC）等成为未来集成电路的发展趋势，并同时促使供应链加速投入研发。

2.1 半导体封装技术的发展阶段

集成电路封装技术的发展是伴随着集成电路芯片的发展而发展起来的，通常而言，“一代芯片需要一代封装”，封装的发展史也是芯片性能不断提高、系统不断小型化的历史。自 20 世纪 50 年代至今，半导体芯片的封装已经历了金属圆形封装（TO）、双列直插封装（DIP）、小外形封装（SOP）、四边扁平封装（QFP）、针栅阵列封装（PGA）、焊球阵列封装（BGA）到多芯片封装（MCP）再到系统级封装（SiP）的不断变迁，技术指标一代比一代先进，芯片面积与封装面积之比越来越接近于 1（在 3D 集成的情况下，该比值甚至可能超越 1），适用频率越来越高，耐高温性能越来越好，引脚数不断增多，引脚节距减小、质量减小、可靠性提高、使用更加方便等等。

集成电路封装的发展经历了以下五个典型阶段：

第一个阶段自 20 世纪 50 年代的零级芯片封装开始，到 60 年代进入器件的一级封装，进而又逐步从器件的一级封装进入 70 年代的板级二级封装。

第二个阶段为 20 世纪 80 年代之前的通孔插装（Through Hole, TH）时代，以 TO 型封装和 DIP 封装为代表，集成电路的功能较简单，引脚数较少（少于 64），引脚节距固定，引脚数的增加将意味着封装尺寸的增大，封装的最大安装密度是 10 引脚/cm²。

第三阶段是 20 世纪 80 年代的表面安装（Surface Mount）器件时代，表面安装



器件时代的代表是小外形封装（SOP）和四边引脚扁平封装（QFP），它们大大提高了引脚数和组装密度，是封装技术的一次革命。正是这类封装技术支撑着日本半导体工业的繁荣，周边引脚的节距为公制（1.0mm、0.8mm、0.65mm、0.5mm、0.4mm），其封装体的尺寸固定而周边的引脚节距根据需要而变化，最大引脚数达到300，安装密度达到10~50 引脚/cm²。

第四个阶段是20世纪90年代的焊球阵列封装（BGA）和芯片尺寸封装（CSP）时代。这一阶段的封装类型主要有BGA、CSP、圆片级芯片尺寸封装（WLCSP）和系统级封装（SiP）等类型，其中BGA的引脚节距主要有1.5mm和1.27mm两种，安装密度是40~60 脚/cm²。

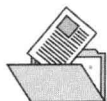
第五个阶段是进入20世纪90年代末期后直到今天依然在不断推进的三维叠层封装（3D）时代。3D封装是指在不改变封装体安装面积的前提下，在同一个封装体内于垂直方向叠放两个以上芯片的封装技术，它有助于制造商更快并且成本更低地占有市场，来满足顾客“按自己的想法去做”的产品需求。这种集成意味着“通过封装来实现摩尔定律”的效果。3D封装主要有三种类型，即埋置型3D封装、有源基板型3D封装和叠层型3D封装。值得特别关注的是，为了实现不同功能芯片（如微机电系统器件与集成电路芯片）的集成，使用TSV技术实现3D集成已经成为半导体行业的一个重要发展方向。

2.2 先进封装技术

自20世纪90年代中期开始，基于系统产品不断多功能化的需求，同时也由于CSP封装、积层式多层基板等新技术的引入，集成电路封测产业迈入高密度封装时代，多芯片封装、系统级封装等技术的出现使封装技术进入了一个黄金发展期。一些典型的先进封装技术的特征分述如下。

2.2.1 圆片级封装（WLP）技术

圆片级封装的特征是利用再布线技术对分布在芯片周边的焊盘进行重新排布并在之后完成凸点（或者焊球）成型，它是芯片尺寸封装的一个突破性进展。圆片级



封装将半导体技术与高密度封装技术有机地结合在一起，在硅圆片状态下在芯片表面再布线，并通过绝缘层实现保护，形成凸点之后，再进行分割切片，由此可以获得真正与芯片尺寸大小一致的 CSP 封装，而且可以省略集成电路制造中的后工序。它作为典型的高密度封装形式而引起广泛重视，目前对它的需求正以惊人的速度增长。2005年以来圆片级封装技术的应用演变如图 2-2 所示。

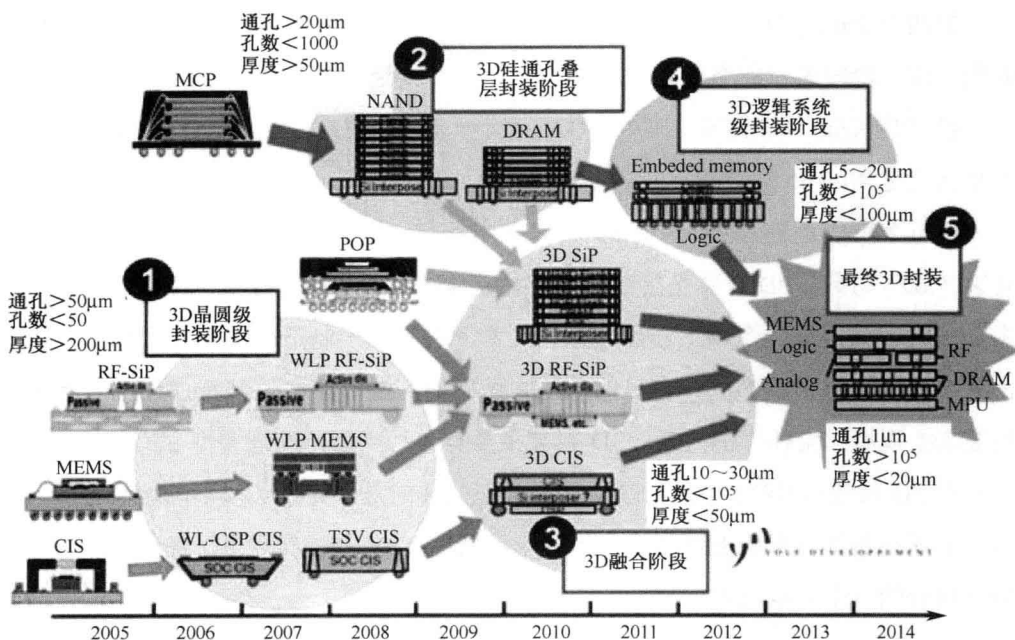
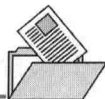


图 2-2 2005 年以来圆片级封装技术的应用演变（参考 Yole Development 资料）

2.2.2 倒装芯片（FC）封装技术

倒装芯片（Flip Chip, FC）技术在计算机上的使用实例不断增多，并且在通信芯片、图像处理芯片封装上都得到了较广泛的应用，倒装芯片技术很适于这些整机产品的高速信号处理的要求。它还使用在小型化、高频模拟要求的系统上。目前应用 FC 技术的主流产品是引脚在 100 个左右的存储器件或逻辑 IC 以及无引线模块的高频系统等。未来随着封装基板的布线微细化、低成本化的发展趋势，加之圆片的再布线及凸点加工费用的降低以及封装成本的降低，WLP 以及直接裸芯片贴装（DCA）的应用将会更广泛地开展起来。随着 IC 产品体积的进一步缩小，裸芯片直接封装的应用将会越来越广泛。



2.2.3 叠层封装技术

自移动电话中 SRAM 和 Flash 存储器的芯片叠层型 CSP 推出以来,在单一的封装内安装多个 IC 芯片的封装技术令人注目。叠层封装是指在一个芯腔/基板上将多个芯片垂直堆叠起来,进行芯片与芯片或芯片与封装之间的互连,它的内部连接是引线键合与倒装芯片互连的并用。大部分的叠层封装是两个或两个以上的芯片相叠,也有一些厂家生产了一些更多芯片叠加构成存储器模块等方式,以提高封装密度。在所叠合的芯片功能类别上,除了有存储功能芯片的叠层封装外,还有逻辑 IC 与存储芯片、逻辑 IC 与模拟 IC、CCD/CMOS 传感芯片与驱动 IC 等多种多样的组合。目前,叠层封装在整个 IC 封装市场上仅占很小的一部分,但是其市场增长率却相当的快,使之跻身于先进封装的市场之中。

2.2.4 系统级封装 (SiP) 技术

系统级封装技术是与芯片系统 (SoC) 并行发展起来的一种新技术。芯片系统是指将系统功能进行单片集成的电路芯片,该芯片加以封装就形成一个系统级的器件。系统级封装是指将多个半导体裸芯片和可能的无源元件构成的高功能系统集成于一个封装内,形成一个功能性器件,因此可以实现较高的功能密度、集成较多的无源元件,最有效地使用芯片组合,缩短交货周期。SiP 封装还可大大减少开发时间和节约成本,具有明显的灵活性和适应性,基于系统级设计的 SiP 符合了未来的发展方向,具有广阔的应用前景,因此人们对其寄予厚望,并将其视为 3D 封装的核心技术。表 2-1 展示了系统级封装近期发展的技术要求。

表 2-1 系统级封装近期发展的技术要求

生产年份	2009	2011	2013	2015	2017
引脚数—低成本掌上电脑	800	900	1000	1000	1000
引脚数—高性能数码产品	3350	3684	4053	4458	4904
引脚数—最大射频器件	200	200	200	200	200
低成本掌上电脑—芯片/堆叠	9	11	13	14	15
高性能数码产品—芯片/堆叠	3	4	5	5	6
低成本掌上电脑—芯片/系统级封装	9	12	14	14	15



续表

生产年份	2009	2011	2013	2015	2017
高性能数码产品—芯片/系统级封装	6	7	8	8	9
最小元件尺寸/ μm	400×200	400×200	200×100	200×100	200×100
最小硅通孔节距/ μm	6	4	3.6	3.3	2.9
最大硅通孔选择比	10	10	10	10	10
硅通孔直径/ μm	3	2	1.8	1.6	1.5
最小节距硅通孔层厚度/ μm	15	10	10	8	8
无铅回流温度/ $^{\circ}\text{C}$	245	245	220	200	180

2.2.5 3D 系统集成封装技术

据半导体设备和材料协会 (SEMI) 预测, 全球 3DIC 市场将从 2009 年的 3.25 亿美元增长到 2015 年的 41 亿美元。3D 集成实际上是在系统级封装的基础上不断发展起来的, 其中的硅通孔 (TSV) 是 3D 集成电路 (3DIC) 的一种主流技术。它是一种系统级架构的新方法, 是芯片制造与封装技术相融合的集成技术。未来的 3D 封装将更多地采用晶圆到晶圆堆叠以及芯片到晶圆堆叠的技术, 以提高封装的成本效益、可靠性并改进外形因子。

图 2-3 所示为 3D 封装技术的发展阶段, 随着特征尺寸的缩小、布线密度的增加, 不同阶段的 3D 互连高度也越来越低, 从毫米量级降低到微米量级。不同层级的 3D 互连都需要不同的工艺方案和加工设备, 这就给研究者们带来了很大的创新空间。

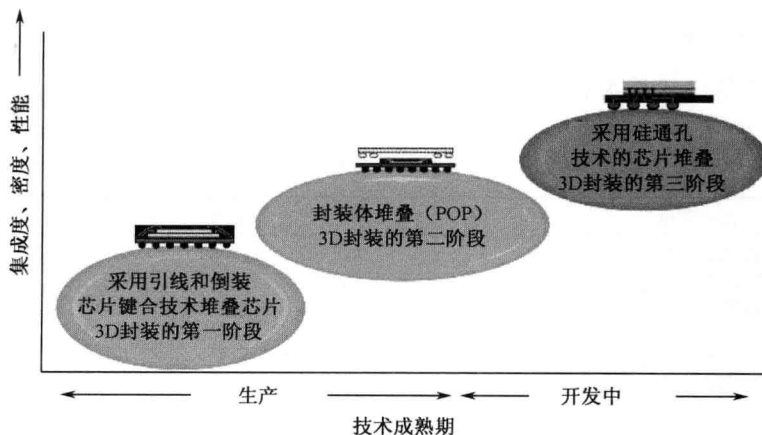
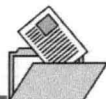


图 2-3 3D 封装技术的发展阶段



3D 封装是集成电路垂直集成的有效途径。随着元器件和电路集成密度的不断提高,硅通孔互连技术越来越多地成为减小元器件尺寸和缩短互连路径的最佳选择。对于堆叠器件的 3D 封装领域而言,硅通孔技术(TSV)是一种新兴的技术解决方案。将器件 3D 层叠和互连可以进一步加快产品的时钟频率、降低能耗和提高集成度,与封装堆叠(PoP)相比,封装尺寸缩小 35%,功耗降低 50%,带宽提升 8 倍。为了在允许的成本范围内跟上摩尔定律的步伐,在主流器件设计和生产过程中采用三维互连技术将会成为必然。

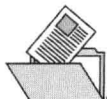
2.2.6 微组装技术

微组装技术主要由表面安装(SMT)、混合集成电路(HIC)技术和多芯片模块(MCM)技术组成,是一门发展很快的技术。它通常是在高密度多层互连电路板上,运用连接和封装工艺,把微小型电子元器件组装成高密度、高速度、高可靠性立体结构的电子产品。

微组装技术是在高密度多层互连基板上,采用微焊接和封装工艺组装各种微型化片式元器件和半导体集成电路芯片,形成高密度、高速度、高可靠的三维立体机构的高级微电子组件的技术。多芯片模块(MCM)就是当前微组装技术的代表产品。它将多个集成电路芯片和其他片式元器件组装在一块高密度多层互连基板上,然后封装在外壳(或者其他形式的封装体)内,是电路模块功能实现系统级的基础。MCM 采用 DCA 或 CSP,使电路图形线宽达到几微米到几十微米的量级。在 MCM 的基础上设计与外部电路连接的扁平引线,节距为数百微米,把几块 MCM 借助 SMT 组装在普通的 PCB 上就实现了系统或系统的功能。

当前 MCM 已发展到叠装的三维 IC 封装,即在二维 X - Y 平面 IC 封装 MCM 基础上,向 Z 方向,即空间发展的高密度 IC 封装技术。实现 3D,不但使 IC 产品密度更高,也使其功能更多,传输速度更快,性能、可靠性更好,而整机系统相对成本却更低。

目前 MCM 已经成功地用于大型通用计算机和超级巨型机中,今后将用于工作站、个人计算机、医用电子设备和汽车电子设备等领域。



2.2.7 中段制程 (Middle-End) 技术

半导体前端工艺向封装的延伸（倒装芯片凸点生成）和封装技术向前端工艺的扩展（基于引线键合的晶圆凸点生成）以及封装工艺由单个芯片向整个晶圆的过渡（晶圆键合）使封装、芯片和晶圆之间的界限日趋模糊。就半导体产业链而言，整体产业将划分成前、中、后段制程，前段制程（Front-End）涵盖 IC 设计与晶圆制造；中段制程（Middle-End）包含晶圆研磨薄化、再布线（Redistribution Layer, RDL）、凸点及硅通孔（TSV）制作等制程，其中后钝化层包括再布线层、应力缓冲层、焊料凸点淀积层及其他；而后段制程（Back-End）则为封装与测试。中段制程的凸点制作种类多样，制程相当复杂，包括焊料凸点或铜凸点及后续的布线等制程。

2.3 绿色封装

进入 21 世纪后，人类面临的第一大难题便是环境问题。人们意识到，人类生存的环境遭到了前所未有的破坏，可持续发展模式成了各国政府追求的理想发展模式。因此，用绿色无铅焊料代替传统的锡铅焊料，尽快淘汰高能耗、重污染的封装生产工艺，最有效地利用资源和最低限度地产生废弃物，大力发展无铅的绿色封装技术便成了当务之急。

在当今的全球环保浪潮下，环境保护已成为科技产品未来设计根本考虑，因此欧盟在 2003 年 2 月 13 日率先发布了 RoHS 指令，禁止电子电气整机产品使用铅、汞、镉、六价铬、多溴联苯（PBB）、多溴二苯醚（PBDE）6 种有毒有害物质。RoHS 法规于 2004 年 8 月 13 日转为欧盟成员国法律（法规），2006 年 7 月 1 日开始实施。对集成电路封装技术发展来讲，由于 RoHS 指令的实施引入了无铅焊接，而无铅焊料的高熔点要求半导体部件、封装的耐热性保证条件更加严格。这种无铅化和耐热性提高，是无铅产品实现实用化过程中亟待解决的课题。在无铅技术应用领域，日本厂商一路领先走在了全球电子制造商的前面。

进入 21 世纪以来，渐成时尚的 300mm 晶圆厂的建设速度进一步加快（据报道，Intel 公司已经开始建设量产化的 450mm 晶圆厂），这除了与传统使用最广泛的