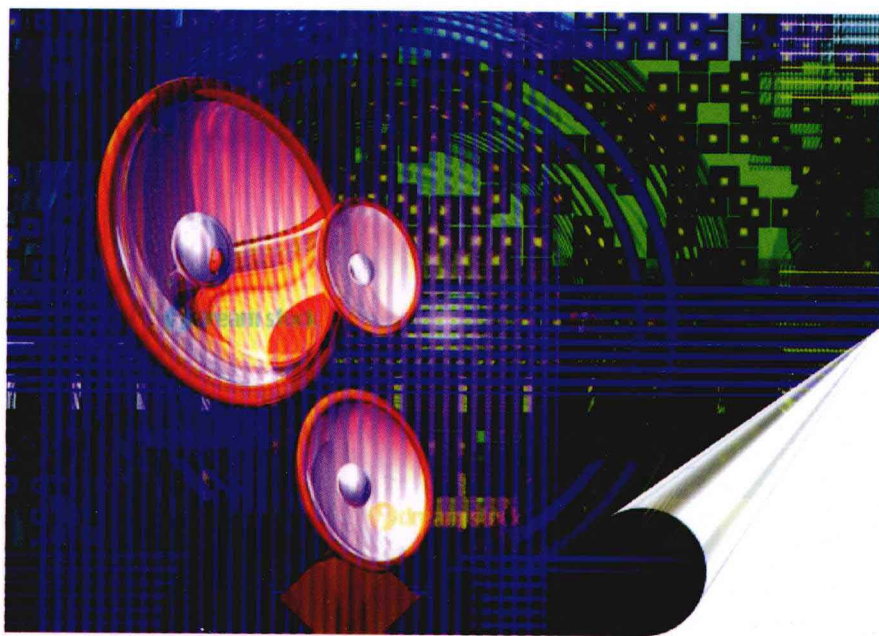


理工科电子信息类 **DIY** 系列丛书

硬件描述语言 实验教程



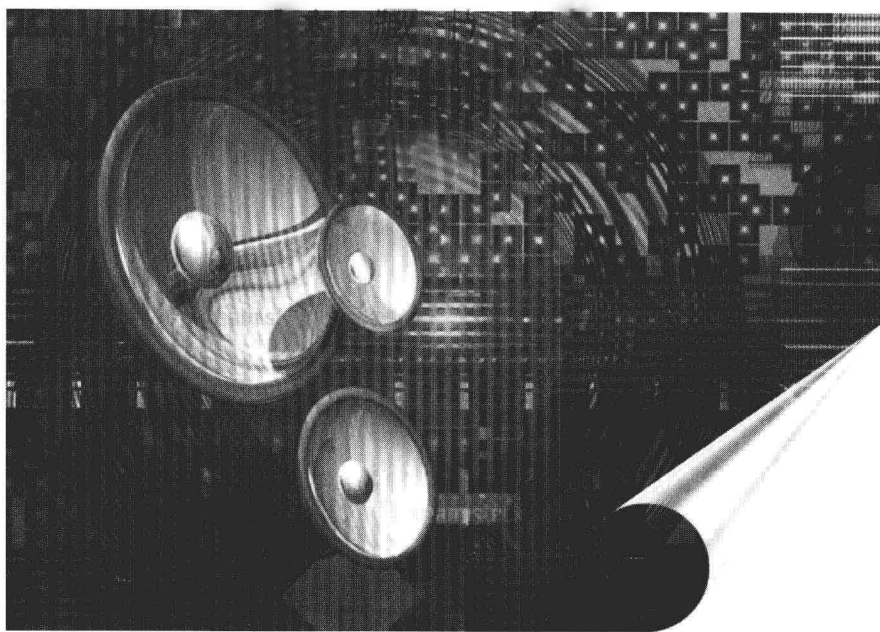
● 曲 波 黄 旭 编 著
胡丹峰 黄秋萍



苏州大学出版社

理工科电子信息类DIY系列丛书

硬件描述语言 实验教程



● 曲 波 黄 旭 编 著
胡丹峰 黄秋萍



苏州大学出版社

图书在版编目(CIP)数据

硬件描述语言实验教程 / 曲波等编著. —苏州:
苏州大学出版社, 2013. 4
(理工科电子信息类 DIY 系列丛书)
ISBN 978-7-5672-0468-3

I. ①硬… II. ①曲… III. ①硬件描述语言—高等学
校—教材 IV. ①TP312

中国版本图书馆 CIP 数据核字(2013)第 062358 号

内容简介

本书为硬件描述语言 VHDL 和 Verilog HDL 的配套实验指导书。全书分为三个部分:第一部分是 Quartus II 的入门向导;第二部分介绍了组合电路和时序电路中典型电路的设计;第三部分为综合设计型实验。附录部分给出了两种实验教学系统的使用说明及 MAX+plus II 和 ispEXPERT 的使用指导。

书中的每一个实验都有明确的实验目的、任务和要求,并且给出了一种设计提示。本书既可作为学习硬件描述语言 VHDL 和 Verilog HDL 的上机操作指导书,也可作为学习 VHDL 和 Verilog HDL 语言的参考书,还可作为教师的参考书。

硬件描述语言实验教程

曲波 黄旭 胡丹峰 黄秋萍 编著
责任编辑 苏 秦

苏州大学出版社出版发行
(地址:苏州市十梓街1号 邮编:215006)
常熟高专印刷有限公司印装
(地址:常熟市元和路98号 邮编:215500)

开本 787 mm×1 092 mm 1/16 印张 12 字数 292 千
2013 年 4 月第 1 版 2013 年 4 月第 1 次印刷
ISBN 978-7-5672-0468-3 定价: 29.00 元

苏州大学版图书若有印装错误,本社负责调换
苏州大学出版社营销部 电话:0512-65225020
苏州大学出版社网址 <http://www.sudapress.com>

前 言

随着现代电子技术的迅速发展,数字系统的硬件设计正朝着速度快、体积小、容量大、重量轻的方向发展。推动该潮流迅猛发展的就是日趋进步和完善的 ASIC 技术。目前,数字系统的设计可以直接面向用户需求,根据系统的行为和功能要求,自上而下地逐层完成相应的描述、综合、优化、仿真与验证,直至生成器件系统。其中绝大部分设计过程可以通过计算机自动完成,即电子设计自动化(Electronic Design Automation, EDA)。

目前 EDA 技术在电子信息、通信、自动控制和计算机技术等领域发挥着越来越重要的作用,为了适应 EDA 技术的发展和高校的教学要求,我们重新编写了 EDA 的实验教程,教程突出了 EDA 技术的实用性,以及面向工程实际的特点和学生自主创新能力的培养。

EDA 是数字电路的后续课程,为了更好地和数字电路衔接,我们分两章介绍了组合电路和时序电路中典型电路的设计,考虑到 Verilog 语言的用户需求和高校有的专业 EDA 课程选用 Verilog 语言作为硬件描述语言的教学内容,这两章的每个实验都给出了完整的 VHDL 和 Verilog HDL 两个参考程序,通过这些实验读者能够掌握 VHDL 或 Verilog 语言的一般编程方法、硬件描述语言程序设计的基本思想和方法,尽快进入 EDA 的设计实践阶段,熟悉 EDA 开发工具和相关软硬件的使用方法。

本书的第 4 章给出了 15 个综合设计型实验,这些实验涉及的技术领域宽,而且具有很好的自主创新的启示性,每个实验都给出了一个设计提示和参考方案,这些方案只是许多方案中的一种,仅供参考,读者可以自己设计其他方案。通过这些实验,读者能够掌握模块化程序设计的思想和方法,提高分析问题和解决问题的能力。

利用硬件描述语言设计电路完成后,必须借助 EDA 的工具软件才能使此设计在 FPGA 上完成硬件实现,并得到硬件验证。为了让读者快速掌握 EDA 工具软件的使用,本书的第 1 章 Quartus II 的入门向导,介绍了 Quartus II 的使用方法,使用的版本是 Quartus II 9.0。读者只要根据书中的步骤,就能掌握包括设计输入、综合、适配、仿真和编程下载的方法。考虑到有的学校和专业使用 MAX + plus 作为 EDA 的工具软件,书中的附录部分给出了 MAX + plus II 10.0 的使用方法,读者可以参考 MAX + plus II 10.0 中工具条的使用,因为 Quartus II 向下兼容 MAX + plus II 10.0,它们的工具条的作用是一样的。

书中的所有实验都通过了 EDA 工具的仿真测试并通过 FPGA 平台的硬件验证,每个实验都给出了详细的实验目的、实验原理或设计说明与提示以及实验报告的要求,教师可以根据学时数、教学实验的要求以及不同的学生对象,布置不同任务的实验项目。

本书在编写过程中引用了诸多学者和专家的著作和研究成果,在这里向他们表示衷心的感谢。由于作者水平有限且时间仓促,错误和不当之处在所难免,敬请读者不吝赐教。

编 者

2013 年 4 月

Contents

目录

■.....

第1章 Quartus II 入门向导

- 1.1 建立工作库文件夹和编辑设计文件 (1)
- 1.2 编译 VHDL 文件 (4)
- 1.3 时序仿真 (7)
- 1.4 创建顶层文件 (12)
- 1.5 引脚设置与硬件验证 (14)

■.....

第2章 组合电路设计

- 2.1 编码器设计 (18)
- 2.2 译码器设计 (23)
- 2.3 数据选择器设计 (31)
- 2.4 加法器设计 (34)
- 2.5 乘法器设计 (37)
- 2.6 七人表决器设计 (47)

■.....

第3章 时序电路设计

- 3.1 触发器设计 (49)
- 3.2 寄存器和移位寄存器设计 (54)
- 3.3 计数器设计 (59)
- 3.4 模可变 16 位计数器设计 (65)
- 3.5 序列检测器设计 (68)

■.....

第4章 综合设计型实验

- 4.1 数字秒表设计 (71)
- 4.2 频率计设计 (72)
- 4.3 多功能数字钟设计 (74)
- 4.4 彩灯控制器设计 (76)
- 4.5 交通灯控制器设计 (77)
- 4.6 密码锁设计 (78)
- 4.7 数控脉宽可调信号发生器设计 (80)
- 4.8 出租车计费器设计 (81)
- 4.9 万年历设计 (82)
- 4.10 数字电压表设计 (82)
- 4.11 波形发生器设计 (84)
- 4.12 自动售货机控制电路设计 (85)
- 4.13 电梯控制器电路设计 (87)
- 4.14 自动打铃系统设计 (88)
- 4.15 步进电机细分驱动控制电路设计 (90)

■.....

附录1 GW48 SOC/EDA 系统

- 使用说明 (91)

附录2 NH-TIV 型 EDA 实验

- 开发系统使用说明 ... (109)

附录3 MAX + plus II 使用指导

- (122)

附录4 ispEXPERT System 3.0

- 使用指导 (155)



第 1 章 Quartus II 入门向导

Quartus II 软件的操作顺序如下：

编辑 VHDL 程序(使用 Text Editor)；

编译 VHDL 程序(使用 Compiler)；

仿真验证 VHDL 程序(使用 Waveform Editor、Simulator)；

进行芯片的时序分析(使用 Timing Analyzer)；

安排芯片脚位(使用 Floorplan Editor)；

下载程序至芯片(使用 Programmer)。

下面以 4 位二进制计数器和七段译码为例介绍 Quartus II VHDL 文件的使用方法,使用的版本是 Quartus II 9.0。

1.1 建立工作库文件夹和编辑设计文件

1. 新建文件夹。

可以利用 Windows 的资源管理器新建一个文件夹,如“d:\edaexe”,文件夹不能用中文名,不能建在桌面,也不要建在 C 盘。

2. 创建工程。

执行“File→New Project Wizard”命令,如图 1.1 所示,建立工程,工程名可直接用文件的实体名,如图 1.2 中的“top”,然后单击“Finish”按钮。

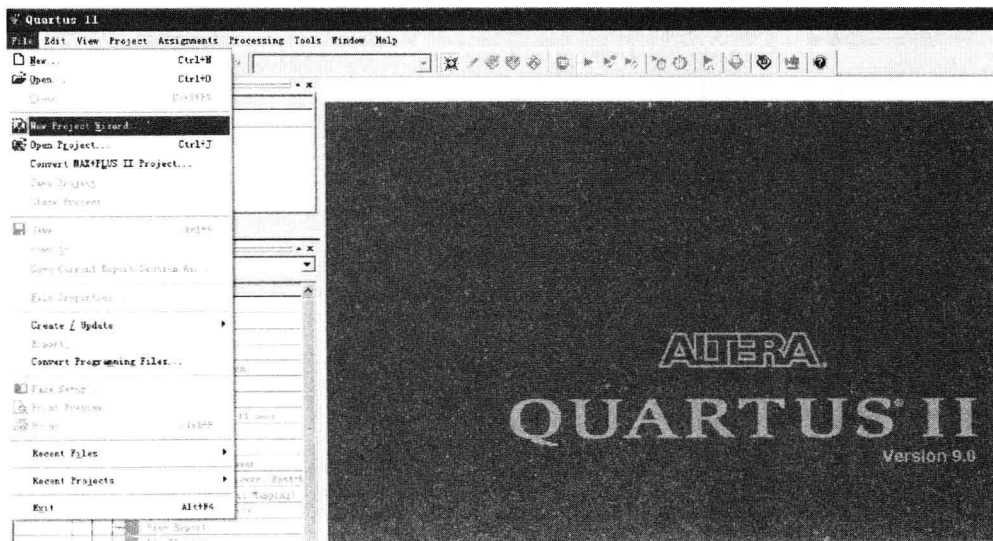


图 1.1 创建工程

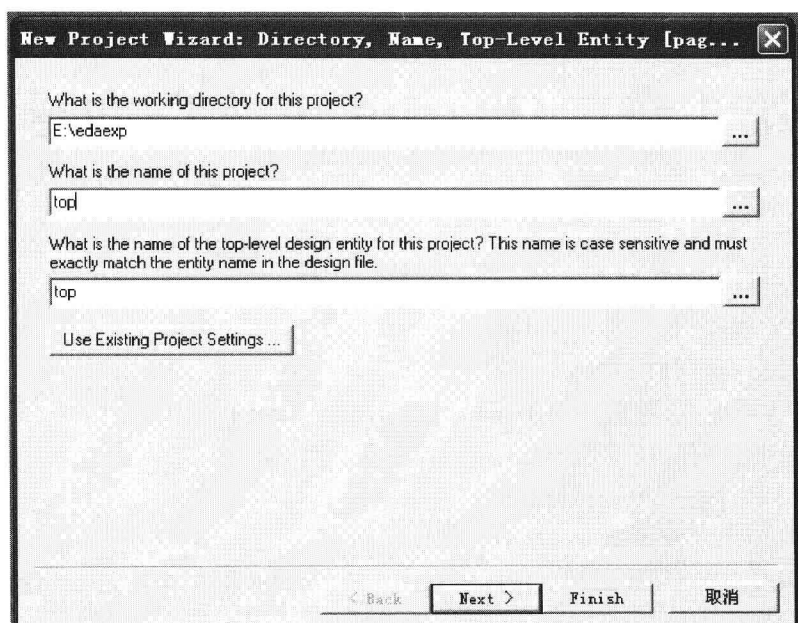


图 1.2 创建工程 top

3. 新建 VHDL 文件。

执行“File→New”命令，弹出如图 1.3 所示对话框，选择“VHDL File”。

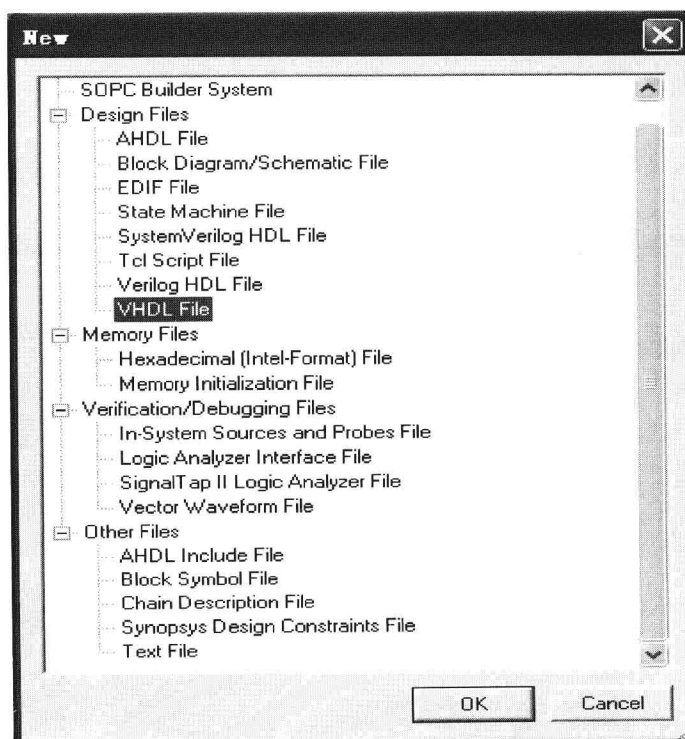


图 1.3 选择 VHDL 文件



4. 编辑 VHDL 文件。

输入 4 位二进制 VHDL 源程序：

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY CNT4 IS
    PORT (CLK : IN STD_LOGIC;
          Q : BUFFER INTEGER RANGE 0 TO 15 );
END CNT4;
ARCHITECTURE behav OF CNT4 IS
BEGIN
PROCESS(CLK)
BEGIN
    IF CLK'EVENT AND CLK = '1' THEN
        Q <= Q + 1;
    END IF;
END PROCESS;
END behav;

```

另存为实体名 CNT4,如图 1.4 所示。

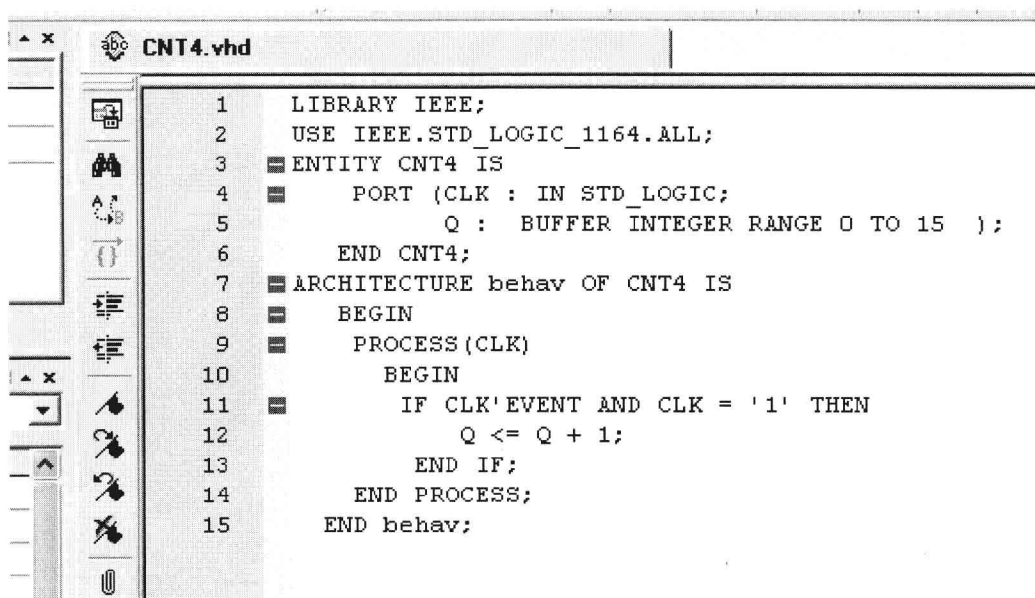


图 1.4 编辑 VHDL 源程序



1.2 编译 VHDL 文件

在对工程进行编译处理前,要进行一些相应的设置。

1. 选择 FPGA 目标芯片。

选择“Assignments→Device”,选择“ACEX1K”系列“EP1K30TC144-3”为目标芯片,如图 1.5 所示。

目标芯片也可在创建工程的时候选择确定。

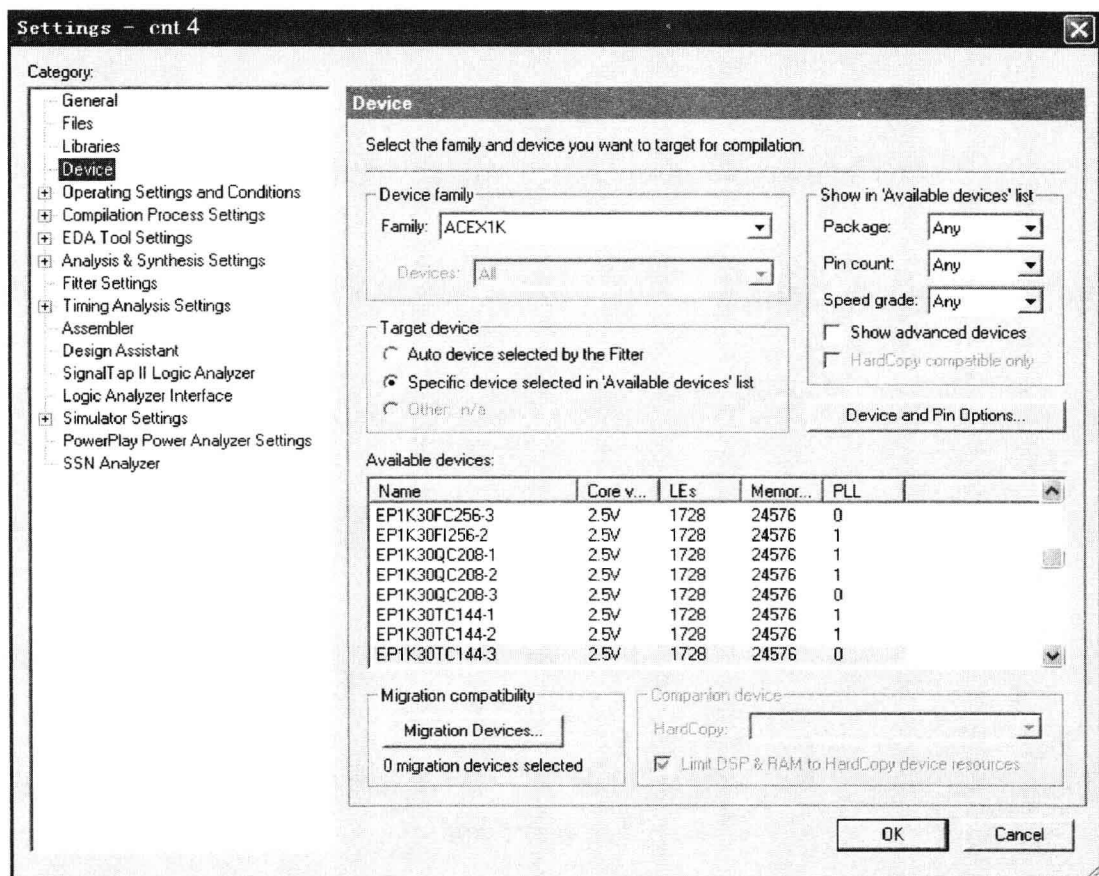


图 1.5 芯片选择

2. 器件的其他设置。

在图 1.5 中,单击“Device and Pin Options”按钮,弹出如图 1.6 所示对话框。

在“General→Options”中选择“Auto-restart configuration after error”,在“Configuration”项选择“Passive Parallel Synchronous”,在“Unused Pins”项选择“As Output Driving Ground”。其他可不选。

3. 选择确认 VHDL 语言版本。

在“Category→Analysis & Synthesis Settings”一栏选择“VHDL 1993”,如图 1.7 所示。

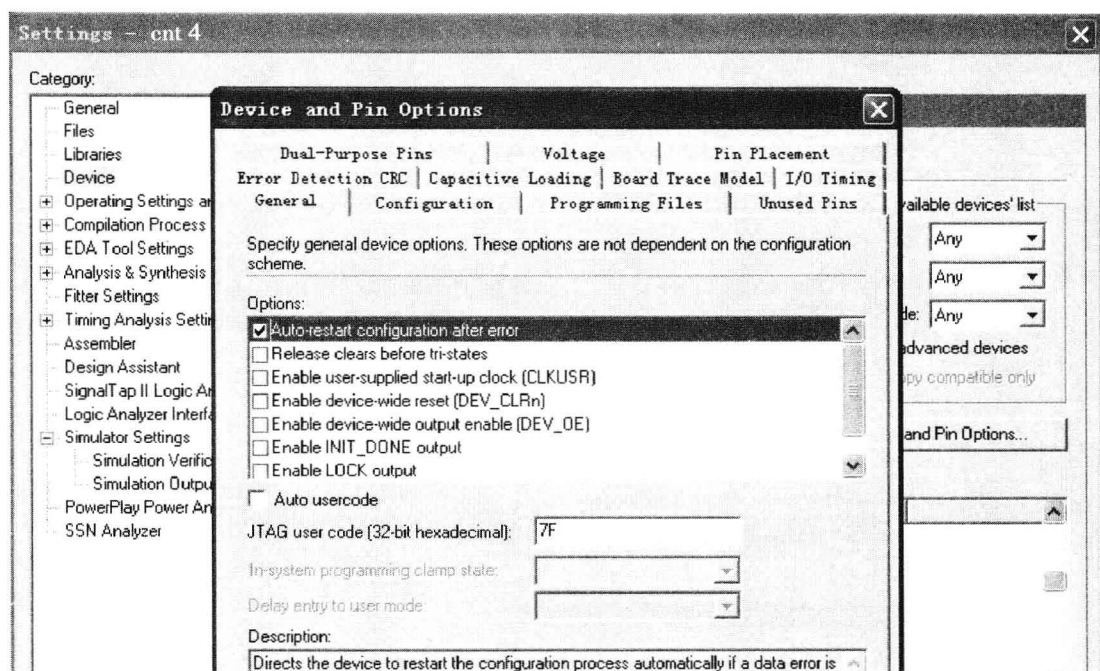


图 1.6 器件的设置

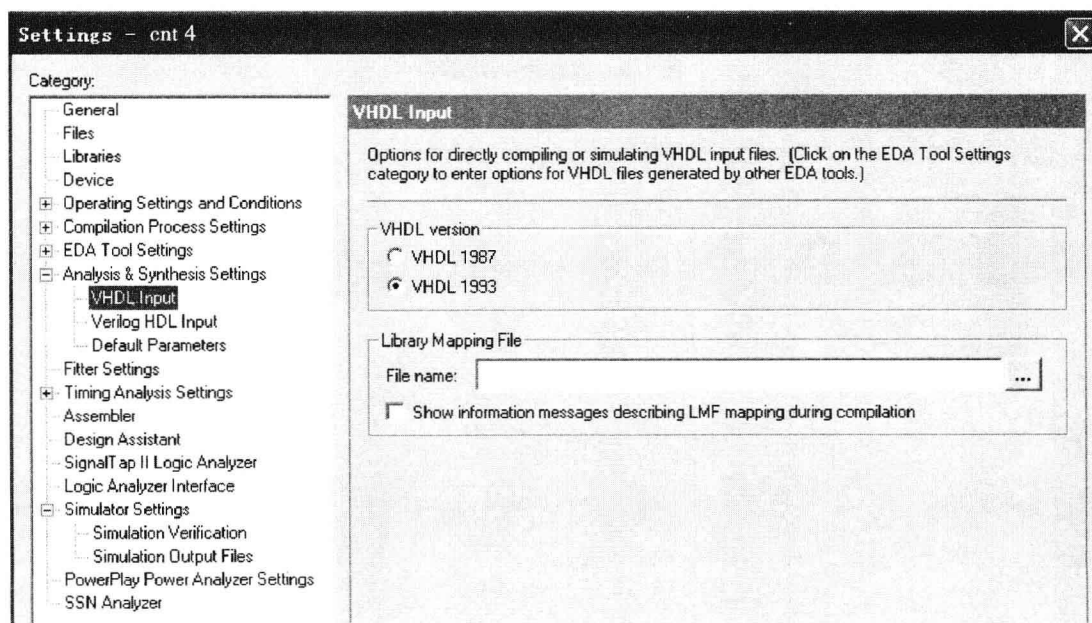


图 1.7 选择 VHDL 版本

4. 全程编译。

在全程编译前,选择“Project→Set as Top-Level Entity”命令,使当前的 CNT4 成为顶层文件,如图 1.8 所示。

选择“Processing→Start Compilation”命令,进行全程编译,编译界面如图 1.9 所示。

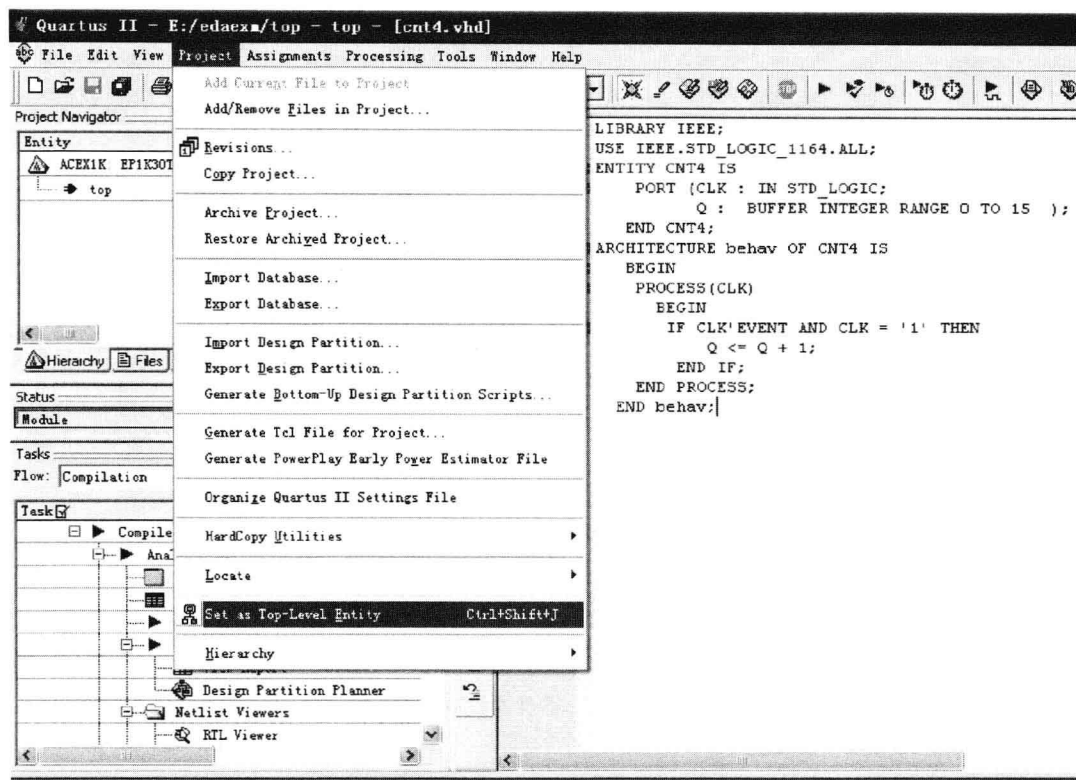


图 1.8 设置为顶层文件

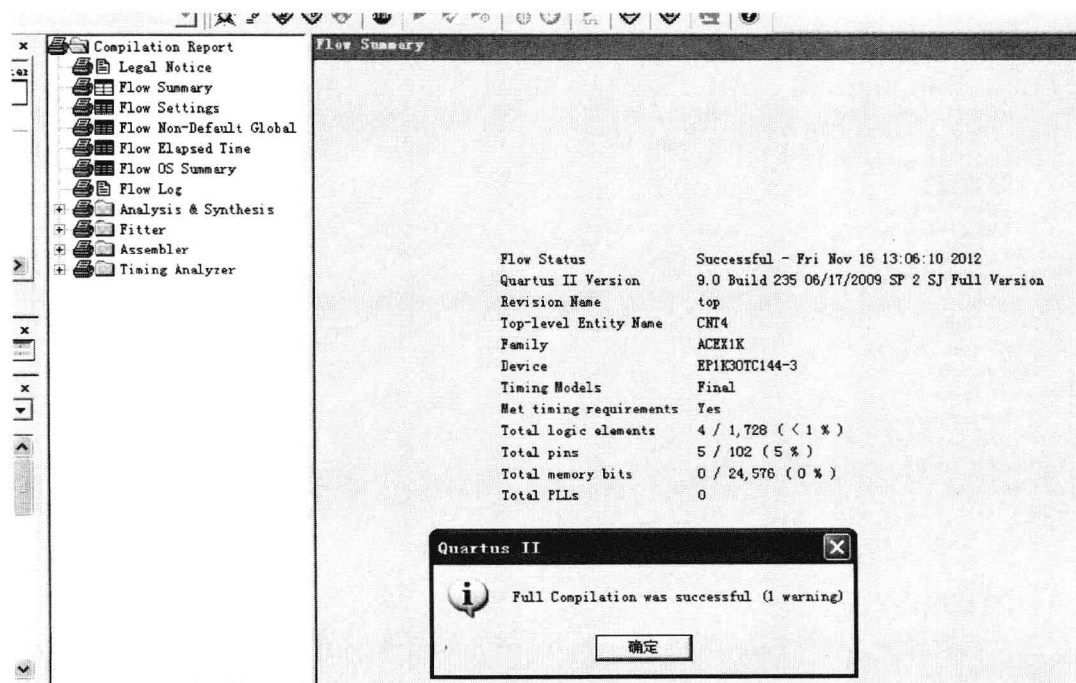


图 1.9 编译



1.3 时序仿真

1. 打开波形编辑器。

选择“File→New”命令,在“New”窗口选择“Vector Waveform File”,单击“OK”按钮,启动波形编辑器,如图 1.10 所示。

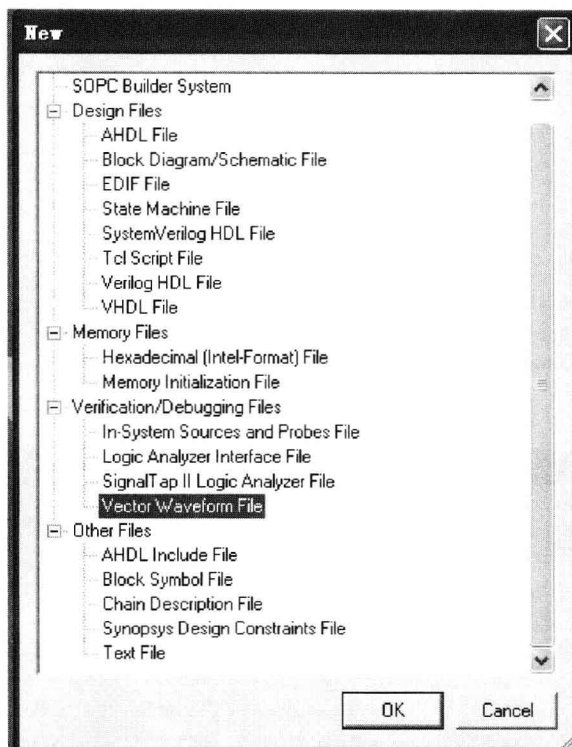


图 1.10 打开波形编辑器

2. 设置仿真时间区域。

选择“Edit→End Time”命令,打开“End Time”对话框,可设置仿真时间,如图 1.11 所示。

3. 波形文件存盘。

选择“File→Save As”命令,以默认名“cnt4. vwf”存盘。

4. 将工程 CNT4 的端口信号节点选入波形编辑器中。

选择“View→Utility Windows→Node finder”命令,弹出如图 1.12 所示对话框,在“Filter”下拉表中选择“Pins: all”,然后单击“List”按钮,于是在下方的“Nodes Found”窗口中出现 CNT4 的所有端口引脚名。

5. 将 CNT4 的端口信号节点 CLK、Q 拖入波形编辑器中,如图 1.13 所示。

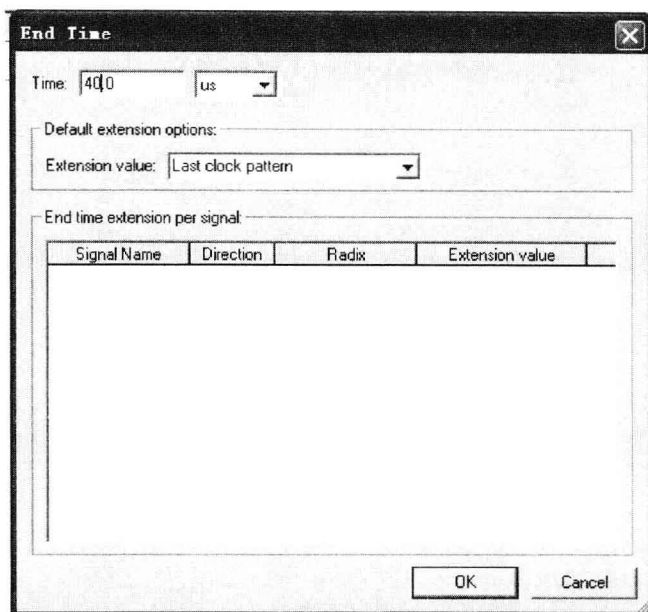


图 1.11 设置仿真时间

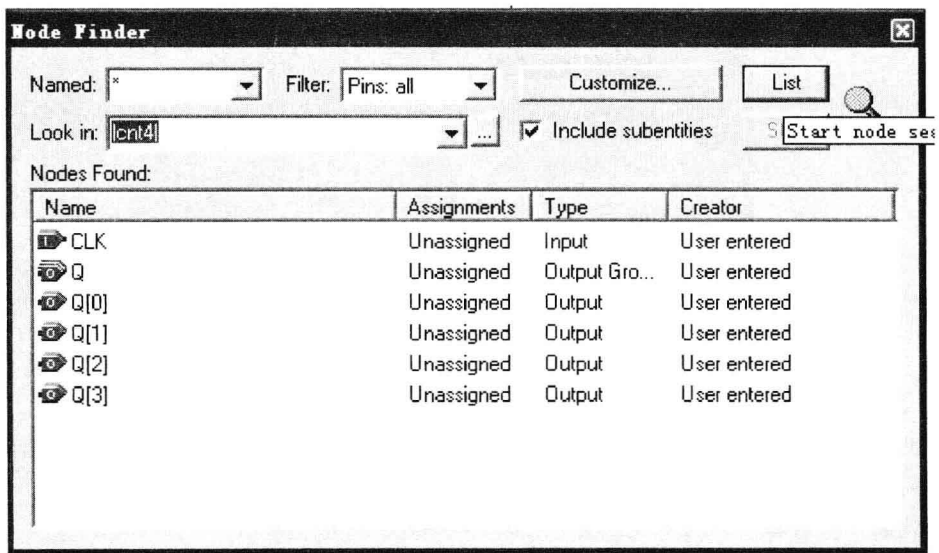


图 1.12 信号节点查询窗口

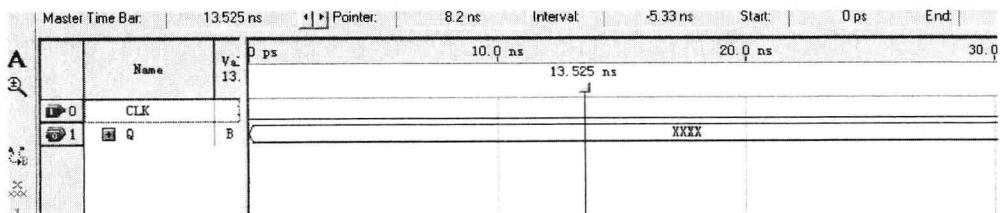


图 1.13 把信号节点拖入编辑器



6. 编辑输入波形(输入激励信号)。

单击时钟信号 CLK,使之变成蓝色条,再单击左列的时钟设置键,出现如图 1.14 所示窗口,然后存盘。

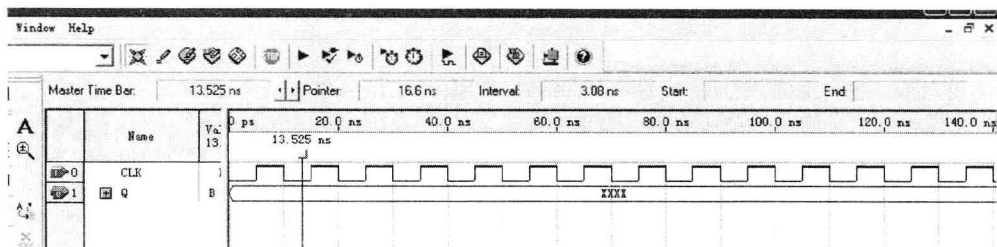


图 1.14 编辑输入信号

7. 仿真器参数设置。

选择“Assignment→Settings”命令,在“Settings-top”对话框的“Category”栏选择“Simulator Settings”,如图 1.15 所示,在“Simulation mode”中选择“Timing”。

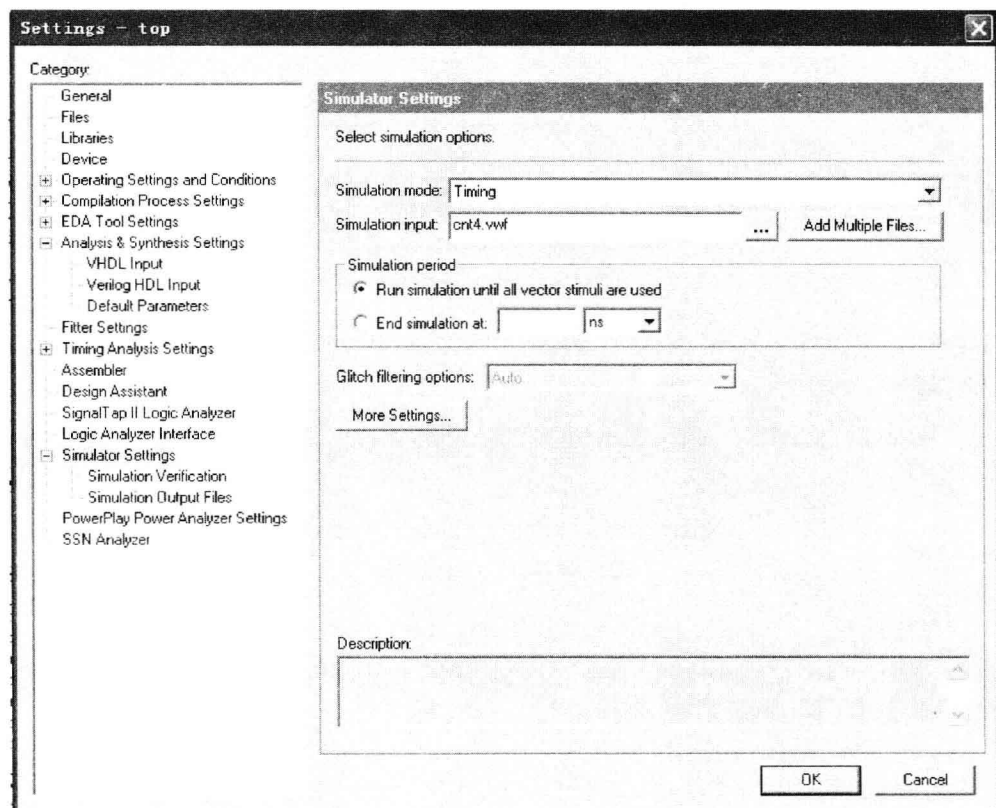


图 1.15 仿真器参数设置

8. 启动仿真器。

选择“Processing→Start Simulation”命令,出现“Simulation was successful”则仿真结束。



9. 观察仿真结果。

仿真结果如图 1.16 所示。

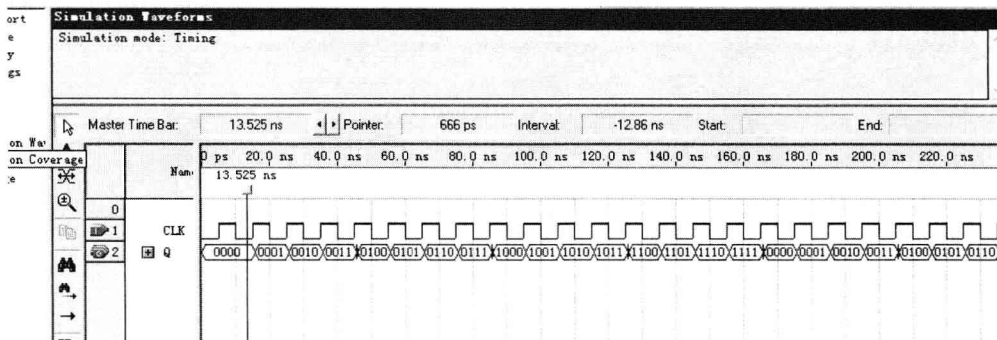


图 1.16 仿真结果

10. 应用 RTL 电路图观察器。

选择“Tool→Netlist Viewers”命令,选择“RTL Viewer”可看到生成的 RTL 级电路图形,如图 1.17 所示。

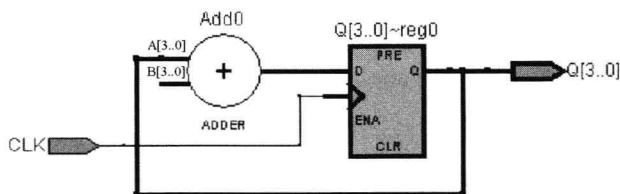


图 1.17 RTL 级电路

选择“Tool→Netlist Viewers”命令,选择“Technology Map Viewer”可看到 FPGA 底层的门级电路,如图 1.18 所示。

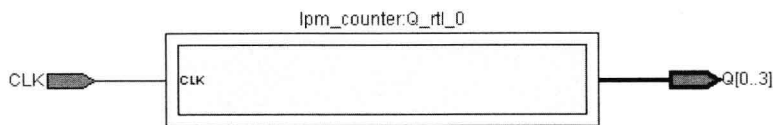


图 1.18 FPGA 门级电路

11. 创建元件。

选择“File→Create/Update→Create Symble Files for Current File”命令,把当前的 CNT4 创建一个符号元件,如图 1.19 所示。

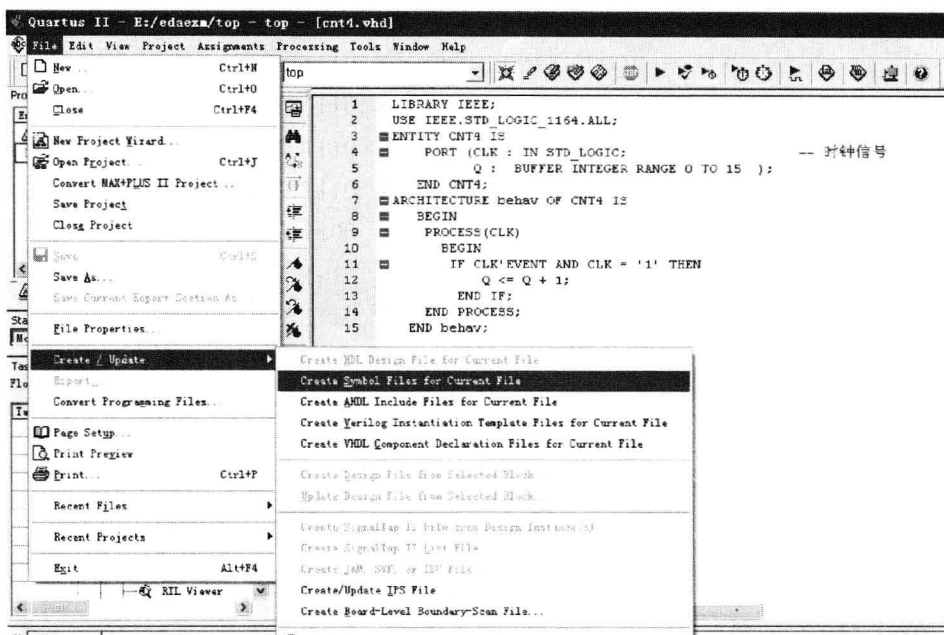


图 1.19 创建元件

12. 编辑 DECL7S 的源程序、编译和仿真。

重复 1.1 的 3 到 1.3 的 11 的过程,编辑七段译码的源程序、编译和仿真。注意把源程序 DECL7S 放入 CNT4 同一个目录中。程序如下:

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY DECL7S IS
    PORT (a : IN STD_LOGIC_VECTOR(3 DOWNTO 0);
          LED7S : OUT STD_LOGIC_VECTOR(7 DOWNTO 0));
END DECL7S;
ARCHITECTURE behav OF DECL7S IS
BEGIN
    PROCESS(a)
    BEGIN
        CASE a(3 DOWNTO 0) IS
```

-- 译码

电路

```
    WHEN "0000" => LED7S <= "00111111"; -- 显示 0
    WHEN "0001" => LED7S <= "00000110"; -- 显示 1
    WHEN "0010" => LED7S <= "01011011"; -- 显示 2
    WHEN "0011" => LED7S <= "01001111"; -- 显示 3
    WHEN "0100" => LED7S <= "01100110"; -- 显示 4
    WHEN "0101" => LED7S <= "01101101"; -- 显示 5
    WHEN "0110" => LED7S <= "01111101"; -- 显示 6
```



```

        WHEN "0111" => LED7S <= "00000111";    -- 显示 7
        WHEN "1000" => LED7S <= "01111111";    -- 显示 8
        WHEN "1001" => LED7S <= "01101111";    -- 显示 9
        WHEN "1010" => LED7S <= "01110111";    -- 显示 A
        WHEN "1011" => LED7S <= "01111100";    -- 显示 B
        WHEN "1100" => LED7S <= "00111001";    -- 显示 C
        WHEN "1101" => LED7S <= "01011110";    -- 显示 D
        WHEN "1110" => LED7S <= "01111001";    -- 显示 E
        WHEN "1111" => LED7S <= "01110001";    -- 显示 F
        WHEN OTHERS => LED7S <= "00000000";    -- 必须有此项
    END CASE;
END PROCESS;
END behav;

```

1.4 创建顶层文件

下面用图形法创建顶层文件。

在 Quartus II 平台上,使用图形编辑输入法设计电路的操作流程包括编辑、编译、仿真和编程下载等基本过程。用 Quartus II 图形编辑方式生成的图形文件的扩展名为“gdf”或“bdf”。

1. 执行“File→New”命令,弹出如图 1.20 所示对话框,选择“Block Diagram/Schematic File”。

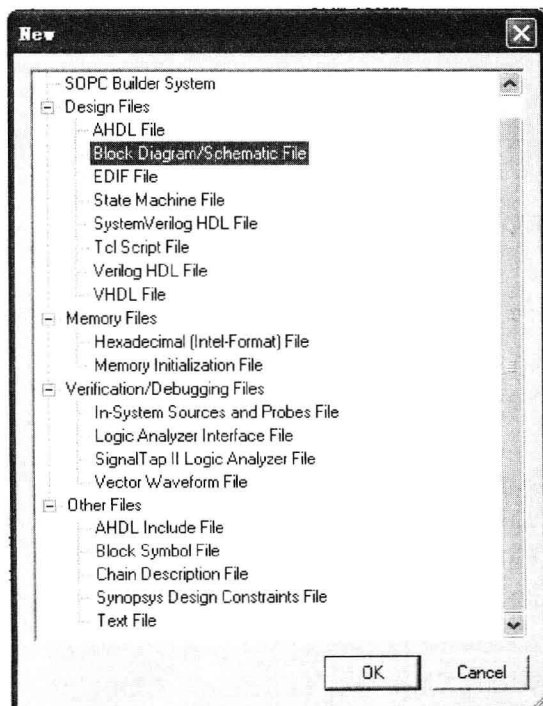


图 1.20 创建图形文件