

Design of SoC system

SoC

系统设计

张刚 张博 常青 著



- 1、SoC系统设计的方方面面：平台、语言、设计和验证
- 2、FPGA上的软硬件集成：从VHDL到SoPC，所有细节和过程
- 3、全部实例都精心调试通过，可以直接用到你的系统中
- 4、通过本书，你也能够进行集成电路设计



国防工业出版社

National Defense Industry Press

SoC 系统设计

张刚 张博 常青 著

国防工业出版社



·北京·

内 容 简 介

本书主要介绍在 SoC 的 EDA 平台上进行系统设计的方法, 全书共 9 章, 第 1 章为绪论; 第 2 章为 SoC 系统设计概述, 内容包括 SoC 基本概念、SoC 研究内容、分类及设计流程、IP 核复用技术、SoC 设计工具等; 第 3 章介绍现场可编程门阵列 FPGA 器件结构、配置及 Xilinx FPGA 产品; 第 4 章讨论 VHDL 硬件描述语言使用方法, 包括 VHDL 语法要素、顺序描述语句及并行描述语句; 第 5 章介绍常用组合逻辑电路和时序逻辑电路的 VHDL 设计; 第 6 章介绍 ISE 工具软件使用开发流程; 第 7 章介绍 ISE 软件中 IP 核应用技术, 包括 DCM、RAM、ROM、FIFO 等 IP 的生成方法; 第 8 章叙述 Chipscope 片内逻辑分析仪使用方法; 第 9 章介绍 EDK 开发流程及基于 MicroBlaze 处理器的 SoPC 系统设计方法。

本书内容全面系统, 以培养读者实际应用开发为目标, 实用性强, 所配实例全部通过调试和验证, 可直接用在读者的系统设计中。本书可作为高等院校电子、通信、计算机、自动化等相关专业的本科生和研究生教材, 也可作为 SoC 开发人员的设计参考书。

图书在版编目 (CIP) 数据

SoC 系统设计/张刚, 张博, 常青著. —北京: 国防工业出版社, 2012.12
ISBN 978-7-118-08550-1

I. ①S… II. ①张… ②张… ③常… III. ①集成电路—芯片—测试
IV. ①TN407

中国版本图书馆 CIP 数据核字 (2012) 第 310442 号

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号 邮政编码 100048)

国防工业出版社印刷厂印刷

新华书店经售

*

开本 787×1092 1/16 印张 11¼ 字数 413 千字

2013 年 1 月第 1 版第 1 次印刷 印数 1—2000 册 定价 42.00 元

(本书如有印装错误, 我社负责调换)

国防书店: (010) 88540777

发行邮购: (010) 88540776

发行传真: (010) 88540755

发行业务: (010) 88540717

前 言

英特尔创始人之一戈登·摩尔 (Gordon Moore) 于 1965 年提出摩尔定律, 即芯片上可容纳的晶体管数目约每隔 18 个月翻一番, 性能提升一倍。近半个世纪以来, 集成电路设计一直遵循此规律高速发展着。目前半导体工艺已经发展到纳米水平, 国际半导体技术路线图组织 (ITRS) 2007 年预测到 2013 年单芯片可集成 44 亿个晶体管。继 22nm (英特尔) 和 20nm (三星) 技术之后, 2012 年 IBM 公布了 9nm 技术。集成电路设计已进入 SoC 时代, 即在一个芯片上完成整个系统设计, SoC 已成为当今集成电路体系结构的发展主流。

EDA 设计方法以可编程逻辑器件 (CPLD、FPGA) 为载体, 在 EDA 开发软件中使用硬件描述语言 (VHDL 或 Verilog HDL) 描述系统逻辑功能, 设计工具软件自动完成综合布局布线、时序仿真、编程下载等工作, 在一片可编程逻辑器件内可以实现整个系统的逻辑功能。EDA 技术极大提高了数字系统设计的开发效率, 简化了系统硬件结构, 提高系统可靠性, 并有效减轻了设计工作量。由于半导体制造技术及 EDA 工具的迅速发展, 单芯片内集成的逻辑门数有了很大提高, FPGA 片内集成的逻辑资源已达到数以千万门。IP 核 (Intellectual Property Core) 形式的微处理器已经嵌入到 FPGA 中, 推动了 SoPC (System on a Programmable Chip, 片上可编程系统) 应用的快速发展。SoPC 以硬件描述语言描述系统功能, 借助 EDA 工具, 基于 IP 核将整个系统在一片可编程逻辑器件上实现。利用可编程逻辑器件的并行处理能力, 可大大提高系统运算速度, 适用于高速数据处理应用, 并具有灵活的设计方式, 内部逻辑可随时修改, 而不需更改硬件电路。

本书主要介绍基于 FPGA 的 SoPC 系统设计方法, 全书共 9 章。

第 1 章: 绪论, 介绍 SoC 的发展状况。

第 2 章: SoC 设计概述, 介绍 SoC 基本概念、SoC 研究内容、分类及设计流程、IP 核复用技术、SoC 设计工具等内容。

第 3 章: 现场可编程门阵列 FPGA, 介绍 FPGA 器件结构与工作原理、配置方式及 Xilinx FPGA 相关产品。

第 4 章: VHDL 硬件描述语言, 介绍 VHDL 语言基础, 包括语言要素、顺序描述语句及并行描述语句。

第 5 章: 常用数字逻辑单元 VHDL 描述, 包括组合逻辑电路、时序逻辑电路及存储器的 VHDL 设计方法。

第 6 章: ISE 软件操作, 介绍 Xilinx ISE 开发软件的使用方法。

第 7 章: ISE 中 IP 核应用技术, 介绍 DCM、RAM、ROM、FIFO 等 IP 核的生成方法。

第8章：片内逻辑分析仪 Chipscope 应用，介绍 Xilinx FPGA 内嵌逻辑分析仪 ChipScope 的使用方法。

第9章：基于 MicroBlaze 的 SoPC 系统设计，介绍 Xilinx 嵌入式开发环境 EDK 的使用、在硬件系统中添加 EDK 软件自带 IP 核及用户自定义 IP 核方法。

作者为各章节主要知识点精心设计了详细易懂的实例，包括原理图、程序代码和输出波形图。这些实例全部通过调试和验证，对读者阅读和理解全书内容，尽快掌握 SoC 系统设计方法会有一定帮助。

全书共约 40 余万字，其中张刚完成 20 万字，张博完成 10 万字，常青完成 10 万字。

限于作者水平有限，书中不妥之处在所难免，敬请读者批评指正。

作者

2012 年 12 月

目 录

第 1 章 绪论	1
第 2 章 SoC 设计概述	3
2.1 SoC 基本概念	3
2.2 SoC 研究内容	4
2.2.1 总线技术	4
2.2.2 IP 核复用技术	4
2.2.3 可靠性设计技术	4
2.2.4 软硬件协同设计技术	5
2.2.5 SoC 设计验证技术	5
2.2.6 芯片综合/时序分析技术	5
2.2.7 可测性/可调试性设计技术	5
2.2.8 低功耗设计技术	5
2.2.9 新型电路实现技术	5
2.2.10 嵌入式软件移植开发	6
2.3 SoC 分类	6
2.3.1 CSoC 技术特点	6
2.3.2 SoPC 技术特点	6
2.3.3 ASIC SoC 技术特点	7
2.4 SoC 技术发展方向	8
2.5 SoC 设计流程	9
2.5.1 功能设计阶段	9
2.5.2 设计描述和行为级验证	9
2.5.3 逻辑综合	9
2.5.4 门级验证	9
2.5.5 布局和布线	10
2.6 IP 核复用	10
2.6.1 IP 复用概念的产生	10
2.6.2 IP 复用的技术方法	10
2.7 如何为 SoC 设计选择 IP 核	11
2.7.1 软核与硬核的对比	11
2.7.2 附加提供物	13
2.7.3 EDA 工具支持	14

2.7.4	评估 IP 提供商	15
2.8	降低 SoC 测试成本	15
2.8.1	优化测试流程	16
2.8.2	灵活配置测试平台	16
2.9	SoC 设计平台	17
2.9.1	Synopsys	17
2.9.2	Cadence	17
2.9.3	Mentor Graphics	17
2.10	系统级设计语言	18
2.10.1	SystemC 简介	19
2.10.2	SystemC 主要内容	19
2.10.3	SystemC 与 SystemVerilog	20
2.10.4	常用语言描述能力比较	21
	习题	21
第 3 章	现场可编程门阵列 FPGA	22
3.1	FPGA 结构与工作原理	22
3.2	Xilinx FPGA 产品概述	24
3.2.1	Spartan 系列	24
3.2.2	Virtex 系列	25
3.3	FPGA 配置	27
3.4	实验平台介绍	29
	习题	30
第 4 章	VHDL 硬件描述语言	31
4.1	VHDL 硬件描述语言简介	31
4.2	VHDL 语法要素	31
4.2.1	文字规则	31
4.2.2	数据对象	32
4.2.3	VHDL 数据类型	33
4.2.4	VHDL 运算符	35
4.3	VHDL 程序结构	37
4.3.1	库、程序包说明	38
4.3.2	实体说明	38
4.3.3	结构体说明	39
4.4	VHDL 顺序语句	41
4.4.1	赋值语句	42
4.4.2	IF 语句	43
4.4.3	CASE 语句	46
4.4.4	LOOP 语句	48

4.4.5	NEXT 语句	49
4.4.6	EXIT 语句	50
4.4.7	子程序调用语句	51
4.4.8	RETURN 语句	53
4.4.9	NULL 语句	53
4.5	VHDL 并行语句	54
4.5.1	赋值语句	54
4.5.2	进程语句	56
4.5.3	元件例化语句	58
4.5.4	块语句	60
4.5.5	生成语句	60
	习题	61
第 5 章	常用数字逻辑单元 VHDL 描述	62
5.1	组合逻辑电路	62
5.1.1	门电路	62
5.1.2	编码器	65
5.1.3	译码器	66
5.1.4	数据选择器	68
5.1.5	数值比较器	70
5.1.6	算术运算	72
5.2	时序逻辑电路	73
5.2.1	触发器	73
5.2.2	移位寄存器	77
5.2.3	计数器	78
5.2.4	状态机	85
5.3	存储器设计	91
5.3.1	RAM 存储器设计	91
5.3.2	ROM 存储器设计	92
5.3.3	FIFO 存储器设计	93
	习题	95
第 6 章	ISE 软件操作	96
6.1	ISE 概述	96
6.2	ISE 软件安装	96
6.3	ISE 界面	98
6.4	ISE 使用流程	99
6.4.1	创建工程	99
6.4.2	创建 VHDL 源文件	100
6.4.3	功能仿真	102

6.4.4	设计实现	104
6.4.5	时序仿真	105
6.4.6	下载配置	106
习题		107
第 7 章	ISE 中 IP 核应用技术	108
7.1	DCM IP 核应用	108
7.1.1	顶层文件编写	108
7.1.2	DCM IP 核参数配置	109
7.1.3	仿真验证	112
7.2	RAM IP 核应用	113
7.2.1	顶层文件编写	113
7.2.2	RAM IP 核参数配置	116
7.2.3	仿真验证	119
7.3	ROM IP 核应用	120
7.3.1	顶层文件编写	120
7.3.2	ROM IP 核参数配置	121
7.3.3	仿真验证	124
7.4	FIFO IP 核应用	125
7.4.1	顶层文件编写	125
7.4.2	FIFO IP 核参数配置	126
7.4.3	仿真验证	129
习题		130
第 8 章	片内逻辑分析仪 ChipScope 应用	131
8.1	ChipScope 简介	131
8.2	ChipScope 软件安装	131
8.3	ChipScope 软件使用	133
8.3.1	创建工程	134
8.3.2	设计实现	135
8.3.3	启动核插入工具	136
8.3.4	下载配置	139
8.3.5	启动 Analyzer 工具	141
习题		143
第 9 章	基于 MicroBlaze 的 SoPC 系统设计	144
9.1	SoPC 概述	144
9.2	MicroBlaze 处理器	144
9.3	嵌入式开发套件 EDK 概述	145
9.4	EDK 软件安装	145

9.5 EDK 基本开发实例	148
9.5.1 创建工程	148
9.5.2 添加 IP 核	152
9.5.3 工程编译	154
9.5.4 应用程序修改	154
9.5.5 下载测试	155
9.6 添加自定义 IP 核设计	157
9.6.1 创建 ISE 工程	157
9.6.2 新建 EDK 工程	158
9.6.3 创建自定义 IP 核	158
9.6.4 添加自定义 IP 核	166
9.6.5 工程编译	167
9.6.6 添加应用程序	168
9.6.7 下载测试	169
习题	169
参考文献	170

第1章 绪 论

半个多世纪以来，计算机发展主要经历了真空管、晶体管、集成电路和微处理器 4 代。计算机技术与集成电路（IC）技术发展紧密相关，自从 1958 年美国德州仪器公司推出集成电路专利以来，IC 设计产业经历了小规模（1 代）、中规模（2 代）、大规模（3 代）、超大规模（4 代）等 4 代，呈现出快速发展的态势。市场研究公司 IDC 预测，2016 年全球芯片销售额将由 2012 年的 3150 亿美元增长至 3800 亿美元。数十年来，巨额的芯片销售额吸引芯片研究成果走出实验室，通过工厂，成为被应用在包括从 20 世纪 60 年代的大型主机到今年的 iPhone 5 在内的各种产品中的芯片。

目前计算机与超大规模集成电路技术结合出现了系统设计和 IP 核设计的分工，以软硬件协同设计（Software/Hardware Co-Design）、具有知识产权的内核（IP 核）复用和超深亚微米（Very Deep Sub-M 集成电路，简称 VDSM）技术为支撑的 SoC（System on Chip）是国际超大规模集成电路（VLSI）的发展趋势和集成电路的主流，对电子工程以及电路与系统设计技术发展产生了深远影响。

SoC 可以充分利用以往设计积累，显著缩短 ASIC（Application Specific Integrated Circuit）的设计周期，缩小设计能力与 IC 工艺水平之间差距。其设计方法学与计算机体系结构发展紧密相关并大大促进后者的发展。SoC 通常将微处理器、模拟 IP 核、数字 IP 核和存储器（或片外存储控制接口）集成在单一芯片上，使应用产品实现小型、轻量、低功耗、多功能、高速度和低成本，因此具备较强的市场竞争力。广泛用于计算机、通信、消费、工控、交通运输等领域。

与此同时，制约未来集成电路工业进一步健康发展的关键问题是，系统设计技术水平远远滞后于电路制造技术的进步。

- （1）传统的、基于标准单元库的设计方法已被证明不能胜任 SoC 的设计；
- （2）现行的面向逻辑的集成电路设计方法在深亚微米集成电路设计中遇到了难以逾越的障碍；
- （3）芯片设计涉及的领域不再局限于传统的半导体而且必须与整机系统结合；
- （4）集成电路设计工程师们从来没有像今天这样迫切地需要汲取新知识，特别是有关整机的知识。

所以尽快开展面向 SoC 的新一代集成电路设计方法学研究对于推动集成电路的发展是至关重要的。

回顾 20 世纪后半叶集成电路工业的历史，不难看出著名的摩尔定律一直在准确地描述着集成电路技术的发展，如图 1-1 所示。图中横坐标是考察的年份，从 1971 年到 2011 年，纵坐标是单个集成电路可以集成的晶体管数量。专家们普遍认为在新的世纪中，这一著名定律

仍将长期有效。尽管摩尔定律揭示的集成电路工艺技术的进步规律是那样的诱人，且其发展速度之高在现代社会是少有的，但是与今天正在蓬勃发展的网络技术的进步相比还是相形见绌，远远不能满足信息产业发展的要求。

微处理器晶体管数量（1971-2011）与摩尔定律

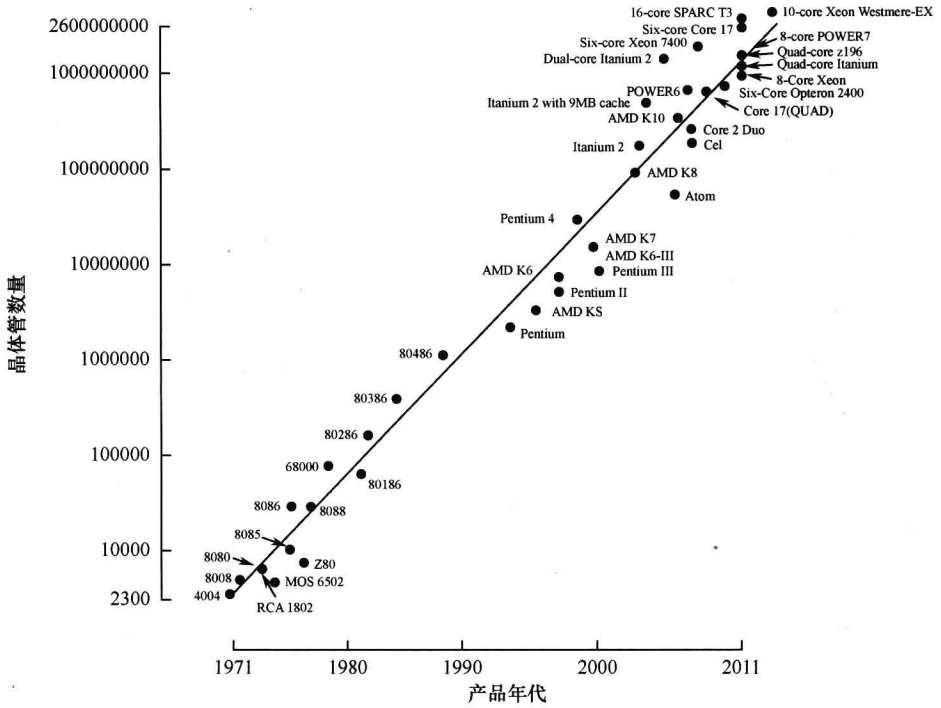


图 1-1 摩尔定律回顾示意图

第2章 SoC 设计概述

2.1 SoC 基本概念

在多年的争论之后，关于 SoC 的定义终于有了比较一致的意见。下面的定义虽然在形式上并不严格，但是明确了 SoC 的内涵和特征。SoC 是一种集成电路芯片，它具备如下特性：

- 实现复杂系统功能的 VLSI；
- 采用超深亚微米工艺技术；
- 使用一个或数个嵌入式 CPU 或数字信号处理器（DSP）；
- 具备外部对芯片进行编程的功能；
- 主要采用第三方的 IP 核进行设计。

这样的特性决定了 SoC 的设计必须采用与现在的集成电路设计不同的方法。首先，一个 SoC 必须是实现复杂功能的 VLSI，它的规模决定了芯片的设计不仅需要设计者具备集成电路的知识，更要具备系统的知识，也要对芯片的应用有透彻的了解。显然，这对设计者的知识结构提出了很高的要求。

其次，深亚微米工艺提出的诸多挑战至今尚未得到彻底的解决，互连延迟主导系统性能的问题随着工艺技术的不断进步将变得越来越突出。在人们从面向逻辑的设计方法彻底转变到面向互连的设计方法之前，这个问题将一直存在，并长期困扰整个集成电路设计业。

第三，单个芯片要处理的信息量和信息复杂度要求芯片必须具备强大的数据处理能力；使用嵌入式 CPU 或 DSP 是 SoC 的一个重要标志。事实上，一个芯片上集成一个或多个微处理器以完成复杂的系统功能，在今天的集成电路设计中已十分普遍。

第四，采用嵌入式 CPU 或 DSP 的 SoC 具备了可编程能力，从而将 ASIC 集成电路系统的一部分功能交给应用工程师去完成，可使 SoC 功能设计相对简化、应用范围将拓宽。与虽然采用内嵌 CPU 或者 DSP 但所需软件固化在 SoC 芯片中的系统相比有如下明显优势。

(1) 未来的 SoC 功能非常复杂，采取外部编程的方式可以适应应用环境的修改或变动，减少应用风险。

(2) 随着芯片规模不断扩大，开发 SoC 不仅需要克服众多的技术难题，而且开发成本也越来越高。有能力进行 SoC 设计的商家逐渐向技术和经济实力强的单位集中，提供可由用户自己进行功能配置的 SoC 可大大提高 SoC 芯片的出货量，摊薄 SoC 设计研发成本。

(3) 相当多的应用系统软件或中间件研发成本巨大，由 SoC 设计商完成全部 ASIC 系统的软、硬件系统研发并不明智。提供 SoC 芯片的外部编程能力可使 SoC 设计商专心致力于平台设计。对于第三方合作伙伴来说，已有的技术储备即可轻松实现十分复杂的应用系统开发。

(4) 减少 SoC 芯片的可测试设计。譬如，让 Linux 在 SoC 上运行起来可以支持许多复杂的测试过程。

最后，采用第三方的 IP 核是 SoC 设计的必然。高度复杂的系统功能和越来越高新的产品打入市场的时间要求不允许芯片设计者一切从零开始，必须借鉴和使用已经成熟的设计为

自己的产品开发服务。事实上今天的集成电路已经开始越来越多的使用 IP 核来进行设计。

2.2 SoC 研究内容

SoC 设计主要研究内容有：

- (1) 总线架构技术；
- (2) IP 核复用技术；
- (3) 可靠性设计技术；
- (4) 软硬件协同设计技术；
- (5) SoC 设计验证技术；
- (6) 芯片综合/时序分析技术；
- (7) 可测性/可调试性设计技术；
- (8) 低功耗设计技术；
- (9) 新型电路实现技术等。

此外还要做操作系统/嵌入式软件移植开发以及应用系统设计，SoC 是一门跨学科的新兴研究领域。

2.2.1 总线技术

总线结构及互连技术直接影响芯片总体性能发挥。对于单一应用领域可选用成熟的总线架构；对于系列化或综合性能要求很高的，可深入地进行体系结构研究，构建各具特色的总线架构，做精做强，不受制于第三方，与系统同步发展，更具竞争力。目前 SoC 开发研制主要有基于平台（包括自主构建总体架构）、基于核、基于合成等方法，不断推出性能更好、扩展性更强的总线规范，如 AXI 总线（AMBA 总线升级）、L—BUS 总线（中科院计算所）等。

2.2.2 IP 核复用技术

IP 核指知识产权核或知识产权模块，是一段具有特定功能的硬件描述语言程序或具有特定功能的功能模块，与集成电路制造工艺无关，可以移植到不同的半导体工艺中生产集成电路芯片。IP 核经过设计者的验证，可在系统设计中直接利用。

IP 核一般分为硬核、软核和固核三种。硬核是指经过预先布局、并对尺寸和功耗进行优化的、不能由系统设计者修改的 IP 核，硬核以设计的最终阶段产品——掩膜提供；软核是以 VHDL、Verilog HDL 等硬件描述语言描述的功能模块，与具体实现的工艺无关的 IP 核；固核是以网表文件的形式提交用户使用的 IP 核，由 RTL 描述和可综合的网表组成。

IP 核复用指设计者在系统设计时，采用已有的功能模块，可大大减轻设计者的工作量并减少风险，缩短设计周期，提高系统性能。IP 核可复用技术研究重点是开发适应多种总线接口的规范和可测试性一体化，以尽量少的外包和测试向量，达到复用目的。IP 核应有良好的开发文档和参考手册，包括数据手册、用户使用指南，仿真和重用模型等，而兼容性是重要的因素。

2.2.3 可靠性设计技术

SoC 一般由有多级总线，每一总线上含有多个设备（IP 核）。如何确保整个芯片正常运

转，必须考虑防“死锁”和“解锁”机制。即使某一设备（IP 核）瘫痪，也不应影响整个芯片其他功能。此外随着超深亚微米技术发展，对总线传输的可靠性提出了严重挑战，必须研究容错机制和故障恢复机制。

2.2.4 软硬件协同设计技术

由于市场和设计风险的压力，SoC 软硬件协同设计尤为重要。改进软硬件协同说明、协同分析、协同设计、协同模拟和协同验证，可大大减少硬件设计风险和缩短嵌入式软件的开发调试时间。同时在协同验证环境中能够及时发现软硬件中所存在的致命问题，避免在最后集成测试阶段重新进行软硬件的调整。

2.2.5 SoC 设计验证技术

主要分 IP 核验证、IP 核与总线接口兼容性验证和系统级验证等三个层次，包括设计概念验证、设计实现验证、设计性能验证、故障模拟、芯片测试等。从验证类型划分，有兼容性测试、边角测试、随机测试、真实码测试、回归（Regression）测试和断言验证等。由于芯片越来越复杂，软件仿真开销大，硬件仿真验证成为一种重要的验证手段。验证工作约占整个设计工作的 70%，如何提高验证覆盖率和验证效率是设计验证的永恒课题。

2.2.6 芯片综合/时序分析技术

由于 SoC 系统复杂度和规模越来越庞大，多时钟、多电压以及超深亚微米等新课题不断出现，对 SoC 的综合性研究提出了更高的要求。尤其对时序预算如何分级、分解，关键路径的特殊约束的研究，要求研究人员具有深厚的系统背景知识。与此同时，静态时序分析（STA）日趋复杂、后端动态仿真效率低下，对总体设计人员提出了严峻挑战。

2.2.7 可测性/可调试性设计技术

主要研究解决批生产可测性问题和在线可调试性问题，实施技术包括 DFT、SCAN、BIST、Iddq、JTAG/eJTAG 等，要研究基于各种 IP 核的 SoC 测试架构和测试向量有效传递性，更重要的是要考虑测试平行化，降低芯片测试占用时间，此外要关注在线调试工作，方便用户开发和调试基于 SoC 的产品。

2.2.8 低功耗设计技术

低功耗已经成为与面积和性能同等重要的设计目标，因此精确评估功耗也成为重要问题。芯片功耗主要由跳变功耗、短路功耗和泄漏功耗组成。降低功耗要从 SoC 多层次立体角度研究电路实现工艺、输入向量控制（IVC）技术、多电压技术、功耗管理技术以及软件（算法）低功耗利用技术等多个方面综合解决问题。

2.2.9 新型电路实现技术

由于晶体管数急剧增加、芯片尺寸日益变小、密度不断增大、IP 核可重用频度提高、低电压、多时钟、高频率、高可测性、新型高难度封装等要求的出现以及新工艺/新设计技术层出不穷，半导体工艺特征尺寸向深亚微米发展，要求 SoC 设计师不断研究新工艺、新工具，研究关键电路架构、时序收敛性、信号完整性、天线效应等问题。

2.2.10 嵌入式软件移植开发

主要研究开发 SoC 的 BIOS 和嵌入式操作系统移植开发；要支持多任务；要使程序开发变得更加容易；系统的稳定性、可靠性得到更好提高；要便于维护，易读易懂。要具有安全、健壮、代码执行效率高等特点。如对 SoC 片内进行嵌入式 Linux 操作系统代码的植入研究，可减轻系统开发者基于 BSP 开发的难度，同时提高开发效率，缩短开发周期。

2.3 SoC 分类

SoC 产品和技术不断发展，但在 SoC 分类上业界还未形成主流看法。按实现技术 SoC 可分为三类。一类是 CSoC，当前仍以学术研究机构为主导，注重体系结构探索性工作。CSoC 按指令集划分主要有 X86 系列、ARM 系列、MIPS 系列和类指令系列，性能各有千秋。另一类是 SoPC，以 FPGA 厂商和科研机构为主导，适合多品种、少批量产品开发。第三类是 ASIC SoC，以微处理器和芯片设计公司为主导，追求良好的性价比，适合大批量产品的规模化生产。

在国际上，基于 X86 SoC 的产品有国家半导体公司的 SC2200，适合做无线浏览器 (WebPad)、瘦客户机和机顶盒等产品。在我国台湾地区，如 Rise Technology 公司的 SCX501，SiS 公司的 SiS550 系列，均属于 X86 系列的 SoC，适合做信息家电产品。基于 ARM 系列的 SoC 如 Sharp LH7A400，Samsung S3C44AOA，OKI 的 ML67Q530 等，目前市场占有率逐步扩大。基于 MIPS 系列的产品主要有 AMD Alchemy Au1000、Au1500 等系列产品。基于类指令系列的产品，如 Crusoe TM5800，采用超长指令，代码效率高。

国内 SoC 研制开发者主要基于 MIPS 系列和类指令系列，如中科院计算所中科 SoC（基于龙芯 CPU 核，兼容 MIPSIII 指令集）。SoC 自 20 世纪 90 年代后期出现以来，随着超深亚微米工艺的不断发展，SoC 技术面临着广阔的发展空间，日益引起学术界和工业界的关注。

2.3.1 CSoC 技术特点

CSoC 一般由处理器、存储器、基于 ASIC 的核和片上可重构的部件（专用化）等构成，其特征为

- (1) CPU+可重构处理构件；
- (2) 效率与灵活性很好结合在一起；
- (3) 基于重构确定处理功能，根据任务需要可动态重构，提高性价比；
- (4) 在图像处理、模式匹配等方面优于超级计算机。

目前学术界对可动态重构的高效处理平台 XPP (eXtreme Processing Platform) 比较关注。XPP 是在一个以基于某种总线架构的微处理器为核心的 SoC 中嵌入可编程逻辑模块，构成可重构的 SoC 平台。适用的可重构数据处理架构往往由处理阵列单元 (PAE)、面向通信网包、层次化的重构管理树 (CM) 和 I/O 模块等构成。XPP 具有自动重构流和处理数据流，突破了传统的冯·诺依曼指令流模式。由于高度规整化，很容易获得指令级平行性和流水线效率。Triscend 公司就选用了 CSoC 技术路线。

2.3.2 SoPC 技术特点

SoPC 是一种特殊的可编程片上系统，具有可裁剪、扩充、升级等灵活的设计方式，并

具备软硬件在线系统开发中的可编程功能，结合了 SoC 和 FPGA 各自的优点，一般具备以下基本特征：

- (1) 至少包含一个以上的嵌入式处理器 IP 核；
- (2) 具有一定容量片内高速 RAM 资源；
- (3) 丰富的 IP 核资源可供灵活选择；
- (4) 足够的片上可编程逻辑资源；
- (5) 处理器调试接口和 FPGA 编程接口共用或并存；
- (6) 可以包含部分可编程模拟电路。

除了上述特点外，还涉及目前已引起普遍关注的软硬件协同设计技术。由于 SoPC 的主要逻辑设计是在可编程逻辑器件内部进行，而 BGA 封装已被广泛应用在微封装领域中。传统的调试设备，如逻辑分析仪和数字示波器，已很难进行直接测试分析，因此，必将对以仿真技术为基础的软硬件协同设计技术提出更高的要求。同时，新的调试技术也已不断涌现出来，如 Xilinx 公司的片内逻辑分析仪 Chip Scope ILA 就是一种价廉物美的片内实时调试工具；而在应对复杂设计方面，诸如 Xilinx 公司的 System Generator for DSP 就是一个利用可编程硬件逻辑实现数字信号处理算法的强大辅助工具。

2.3.3 ASIC SoC 技术特点

ASIC SoC 是一种面向特定应用的片上系统，具有高性能、强实时、高可靠、低功耗、低成本化等特点，一般具备以下基本特征：

- (1) 至少有一个以上的 CPU 核；
- (2) 具有规范的总线架构（如 AMBA）；
- (3) 具有 RAM 资源（或片上访存控制器）；
- (4) 具有适量的 I/O 设备（包括模拟的）；
- (5) 具有可扩展的接口（如 PCI）；
- (6) 具有可在线调试口（eJTAG）；
- (7) 具有可测试性电路。

ASIC SoC 一般是基于 IP 核或 SoC 开发平台的产品，需要专门技术、IP 核库、SoC 总线架构和嵌入式软件支持（包括 BIOS、OS），需要广泛的多功能 IP 核和将客户逻辑与之集成在一起的设计技术，以满足客户产品开发的需求。SoC 设计者通过重用证明了的 IP 核，不仅利用了最新工艺技术优势，而且减少了开发周期和风险。

目前 SoC 总线架构有很多种，如 IBM 公司的 CoreConnect、ARM 的 AMBA、Silicore 公司的 Wishbone、MIPS 技术公司的 SoC-it 和 CoreFram 等。国内也有许多自主知识产权的总线架构，如 L—BUS（中科院计算所），C—BUS（苏州国芯）等。每一种总线架构都是为满足其特定应用领域的要求而发展起来的。有些适合低端嵌入式产品，有些适合手持产品，有些适合高能性产品，各有优势。

SoC 的发展离不开功耗、性能、成本、可测性、可靠性、IP 核可复用性、平台技术支持性和软硬件协同开发性等方面制约。需要开发者具有强大的计算机体系结构背景知识，才能支持其得到快速发展。