

# 脉冲数字电路

( 第 三 册 )

• 一 分 册 •

南 京 工 学 院 自 动 控 制 系  
电 路 与 电 子 技 术 教 研 组

1979.10.

# 脉冲数字电路 (第三册)

## 目 录

|     |              |     |
|-----|--------------|-----|
| 第七章 | MOS集成电路      | 1   |
| 7.1 | MOS管         | 1   |
| 7.2 | 静态PMOS逻辑电路   | 30  |
| 7.3 | 动态PMOS逻辑电路   | 59  |
| 7.4 | CMOS 集成电路    | 76  |
| 7.5 | 随机存取存储器(RAM) | 93  |
| 7.6 | 只读存储器(ROM)   | 104 |
| 7.7 | 可编程逻辑阵列(PLA) | 115 |
| 7.8 | 电荷耦合器件(CCD)  | 119 |
|     | 习题和思考题       | 125 |

## 第七章 MOS集成电路

前面我们讨论的集成电路都是双极型集成电路，即以双极型晶体管为基础的集成电路。本章讨论以金属(M)——氧化物(O)——半导体(S)场效应晶体管为基础的集成电路——MOS集成电路。

与双极型集成电路相比，MOS电路虽然工作速度比较低，但具有集成度高、功耗低，工艺简单等优点，因此在数字系统，特别是大规模集成电路领域内，得到广泛的应用。

本章先讨论MOS管，然后以PMOS为例讨论单构造MOS，接着讨论CMOS。在这以后，介绍几种典型的大规模集成电路：随机存取存储器(RAM)，只读存储器(RCM)和可编程逻辑阵列(PLA)。最后对一种新型的MOS器件——电荷耦合器件(CCD)的工作原理也作一简要的介绍。

### 7.1 MOS管

我们知道，双极型晶体管具有以下特征：

- ① 在结构上，它是三层两结四件。
- ② 在控制作用上，它依靠外加基流的变化来实现对集电极电流的控制。

人们所以称它们为双极型晶体管，是因为两种极性的载流子(电子和空穴)都参与导电，并且渡越两种导电类型的半导体(P区和N区)的缘故。

MOS集成电路所用的晶体管则不同，它具有下列特征：

- ① 在结构上，它是金属(M)、氧化物(O)、半导体(S)构成的三层四件。

② 在控制作用上，它依靠半导体表面的外加电场的变化来控制四件的导电能力。

由于具有上述特征，所以人们常将这种晶体管称为金属—氧化物——半导体场效应晶体管，简称 MOS 场效应管，或更简称为 MOS 管。我们将会看到，这种晶体管只有一种极性的载流子（多数载流子）参与导电，并且只渡越一种导电类型（P 区或 N 区）的半导体，因此有时人们也称之为单极型晶体管。

本节讨论 MOS 管的结构、工作原理、特性曲线、输入阻抗以及 MOS 管的类别。

### 7.1.1 MOS 管的结构

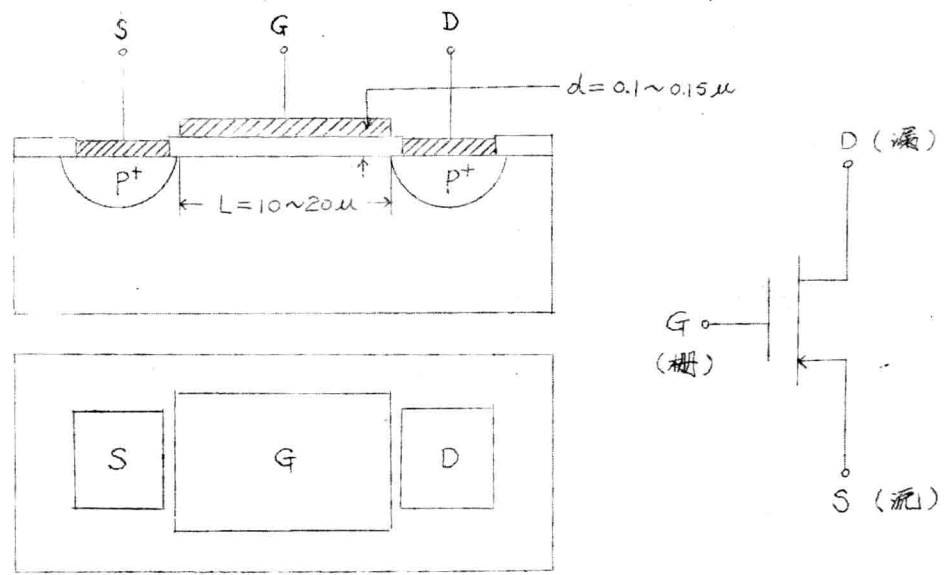
图 7.1.1(a) 示出了 MOS 管的结构示意图。管子的基片（衬底）是 N 型单晶硅，它的杂质浓度较低，也就是电阻率较高。在这 N 型硅片上扩散两个高杂质浓度的 P 型区（即  $P^+$  型区），两者之间的间隔很小，通常在  $10 \sim 20 \mu$  左右。然后在这两个  $P^+$  型区中间的半导体表面复盖上一层很薄的氧化层（二氧化硅）厚度为  $0.1 \sim 0.15 \mu$ 。最后又在氧化层上蒸发一层很薄的金属（铝）。

氧化层上的金属有电极引出，叫栅极，通常用符号 G 表示。两个  $P^+$  型区也分别通过两个金属电极引出，一个叫源极，另一个叫漏极，通常分别用符号 S 和 D 来表示。源极和漏极是对称的，因此一般情况下它们是可以互换使用的。

在使用时，MOS 管的 G、S、D 三个极分别与双极型晶体管中 b、e、c 三个极地位相当，即 G、S 常被用来作为控制信号的输入端，D、S 常被用来作为实现控制的输出端。这样对应一下，主要是为了便于读者记住 G、S、D 三个极在电路中所处的地位，但读者千万不要误认为在实际电路中可以将这两种晶体管按此对应而进行替换，因为这两种晶体管的工作原理和特性是完全不同的，这一点将在以后可以看到。

图 7.1.1(b) 示出了 MOS 管的图示符号。这一符号简洁地反映了这种管子的构造。其中 S 极上的箭头表示：如果 D 极和

S 极之间通导的话，D、S 间电流的实际方向是从 S 到 D，有箭头也可以略而不画。



(a) 结构示意图 (b) 符号

图 7.1.1 MOS 管结构示意图与符号

从图 7.1.1 (a) 的结构图中可清楚地看出两点：

- ① MOS 管主要是由金属 (M)，氧化物 (O)、半导体 (S) 三层物质所组成；
- ② MOS 管的结构比双极型管的简单得多，因而制造工序也可以少得多。制造工序少必然带来成品率高和成本低的好处。

以后我们将会知道，如图 7.1.1 所示的 MOS 管，只是 MOS 管中的一种类型——P 沟道增强型 MOS 管。

## 7.1.2 MOS 管的工作原理

### 一、半导体表面的反型

在讨论 MOS 管的工作原理之前，先来介绍一个基本的物理现象。弄清了这个现象，理解 MOS 管的工作原理将是水到

形成。

一块N型半导体在一定的外电场作用下，它的表面的导电性能会发生质的变化，可以从N型导电变为P型导电，如图7.1.2所示。对P型半导体也有类似的情况。这一在外电场作用下半导体表面导电类型发生变化的现象称为反型。反型后形成的表面层称为反型层。

为什么会发生这种现象呢？现在来加以说明。

通过图7.1.3所示的布置，我们可使一块N型半导体的表面被加上一个电场。这个电场的电场强度E为：

$$E = \frac{V}{d}$$

(7.1.1)

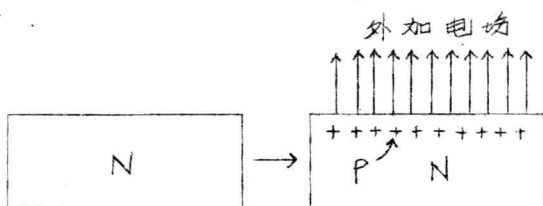


图 7.1.2 反 型

从物理学中

知道，电场的存在是与电荷的存在联系在一起的。现在N型半导体和金属之间有电荷存在，表明N型半导体表面和金属表面必定存在着电荷。在图7.1.3所示的电场方向下，N型半导体表面存在的电荷应为正电荷，而金属表面存在的电荷是负电荷，

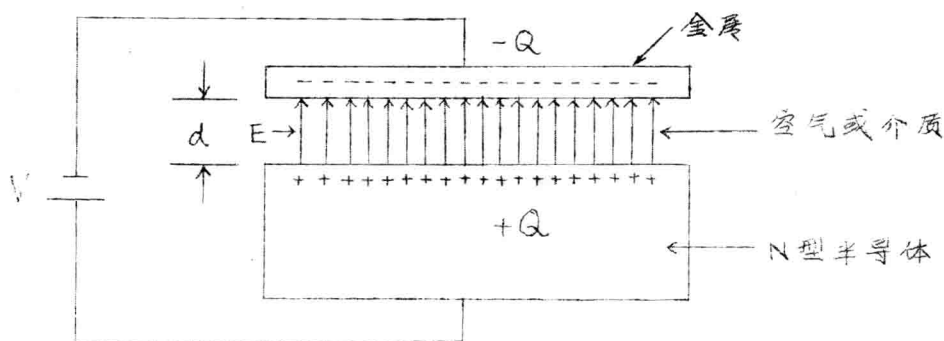


图 7.1.3 反 型 层 分 析

如该图所示的那样。 $V$  愈大， $E$  也愈大，电荷量  $Q$  也愈大。在 N 型半导体中，这些正电荷  $+Q$  是由谁形成的呢？显然只有两种可能：一是由施主杂质的正离子形成，二是由少数载流子空穴形成。

当  $V$  从零开始加大时， $V$  值不高， $E$  也不强，与它对应的  $+Q$  也不多。这时只要 N 型半导体的凸出部份自由电子跑开点（最后通过外电路跑到了金属表面，形成了负电荷  $-Q$ ），让部份施主杂质的正离子暴露出来，就可提供这一个  $+Q$  值，如图 7.1.4 (a) 所示。这时半导体表面因还有自由电子，所以导电类型仍是 N 型的。但由于载流子数量比原来少了，所以表面导电能力降低，也即表面电阻增大。

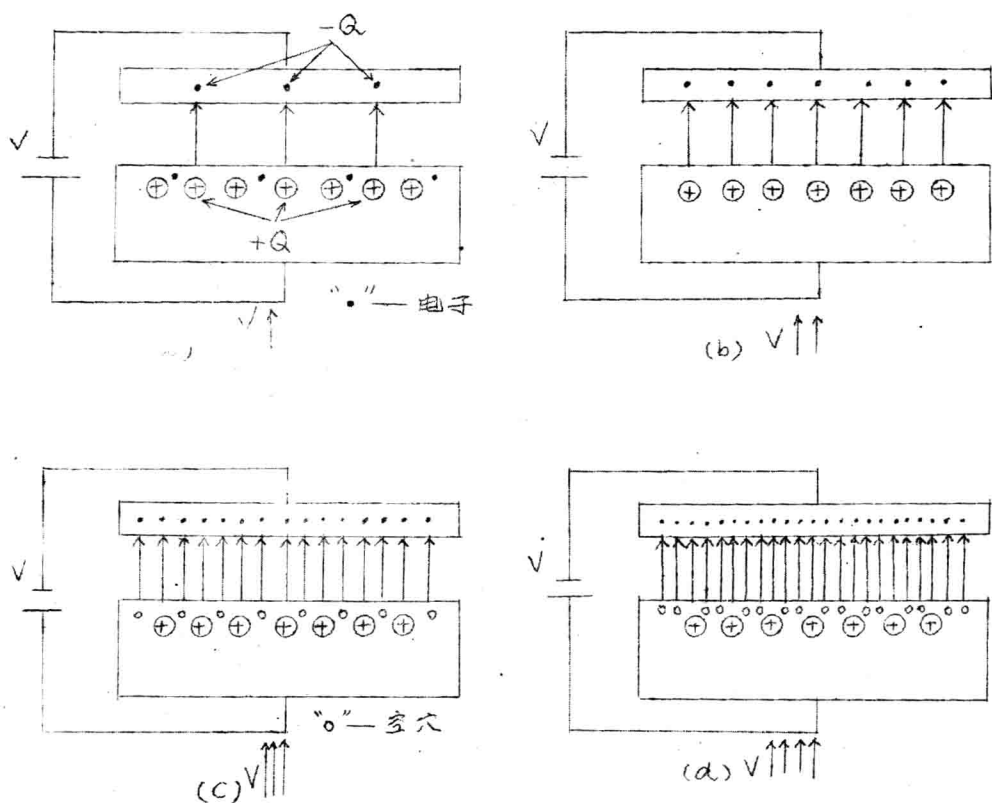


图 7.1.4  $V$  增大的变化过程

继续加大  $V$  时， $E$  也随之加强，与它对应的  $+Q$  也多了起来。这时就要求半导体表面的自由电子全部跑开，让全部施主杂质的正离子都暴露出来，才能提供这一  $+Q$  值，如图 7.1.4 (b) 所示。这时半导体表面已没有自由电子了，也即没有了载流子，因此变成了耗尽层，也即表面失去了导电能力，表面电阻变得变大。

再继续加大  $V$  时， $V$  更高了， $E$  也更强了，与它对应的  $+Q$  也就要更多。这时即使半导体表面的自由电子全部跑开，施主杂质的正离子全部暴露出来，也不足以提供这一  $+Q$ 。于是电场将深入半导体内部，将其中存在的少数载流子空穴吸引到表面上来，以补足这一  $+Q$  值，如图 7.1.4 (c)。于是半导体表面又出现了载流子，又有了导电能力，但由于现在表面上载流子不再是自由电子而是空穴，因而表面的导电类型也从  $N$  型变成了  $P$  型。

再加大  $V$  时， $E$  还要增强，与它对应的  $+Q$  也还要多。这时半导体表面的空穴更多了，如图 7.1.4 (d) 所示。由于半导体表面空穴增多，所以表面导电能力将增强，也即表面电阻将减小。这时的导电类型则仍是  $P$  型的。

归纳以上的情况，可得出半导体表面的导电性能与外加电场  $E$  (或外加电压  $V$ ) 之间的关系如图 7.1.5 所示。当  $E$  较弱时，半导体表面导电类型不变 ( $N$  型)，只是载流子 (自由电子) 随  $E$  的增大而减少，因而表面电阻随之增大。当  $E$  增强到一定程度，载流子 (自由电子) 减为零，表面电阻变为无穷大。当  $E$  再增强，半导体表面导电类型反型 (变为  $P$  型)，载流子

表面电阻

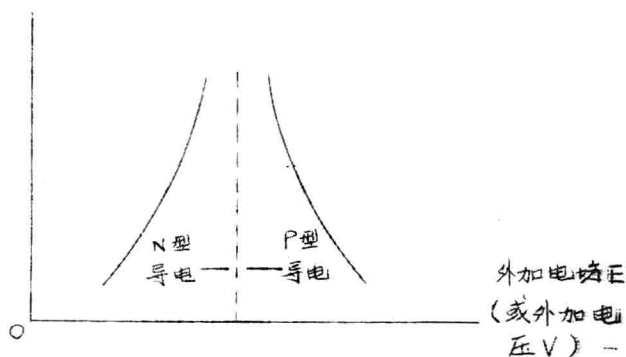


图 7.1.5 表面电阻与  $E(V)$  的关系



(空穴)随着E的增强而增多,因而表电阻也随之减小。

由此可见,外电场加在半导体表面上的作用,先是使表面导电能力发生突变——电阻增大;当突变累积到一定程度,将发生导电能力的质变——反型;质变以后接着又是导电能力的突变——电阻减小。这种外加电场使得半导体表面导电能力变化的现象,称为表面场效应。MOS管之所以又叫场效应管,就是因为它是依靠这一现象来工作的缘故。

## 二、MOS管的栅极的控制作用

现在来讨论MOS管的工作原理。所谓讨论MOS管工作原理,主要就是要弄清MOS管的栅极(加上电压)对漏极——流极(呈现的电阻)的控制作用,这就好似在讨论双极型晶体管的工作原理时,就是要弄清晶体管的基极(加上电压)对集电极——发射极(通过的电流)的控制作用。

当MOS管的G上的电压(即G-S间电压) $V_{GS}=0$ 时(见图7.1.6),由于N型半导体表面没有电场存在,所以半导体的导电性能不变,为N型的。因为D、S这两个P型区现在

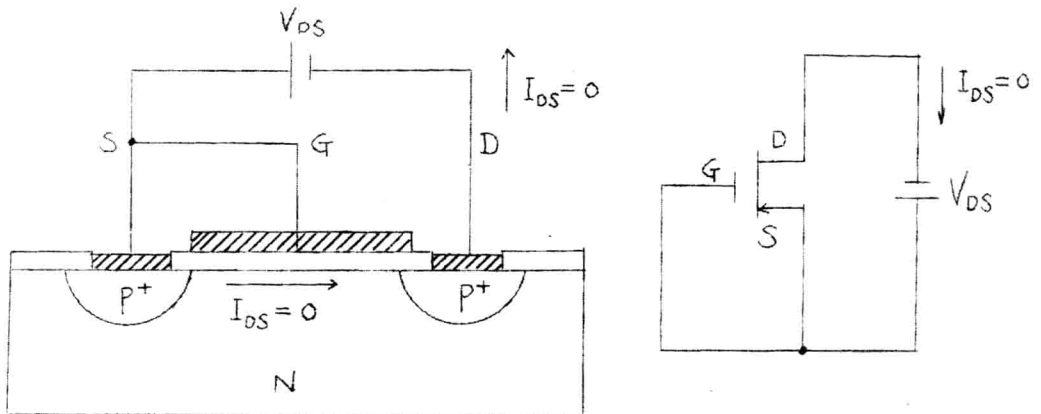


图 7.1.6  $V_{GS} = 0$  时  $I_{DS} = 0$

被一个N型区分隔开了，所以S—N—D这三者就成了两个背靠背的P—N结。这时即使在D、S之间加上电压  $V_{DS}$ （如图7.1.6所示），D、S之间的电流也等于零。（严格说来存在一个极小的P—N结反向电流）这表明D、S间的电阻极大，如同断开的一样。

当G上加负电压  $V_{GS}$  时（即令G对S为负，如图7.1.7），若  $|V_{GS}|$  不大，则N型半导体表面虽有电场存在，但它尚不足以使半导体表面反型，半导体仍是N型的。这时D、S之间仍将保持  $V_{GS}=0$  时相同的特性，即D、S间电流  $I_{DS}=0$ ，D、S间电阻极大，如同断开的一样。

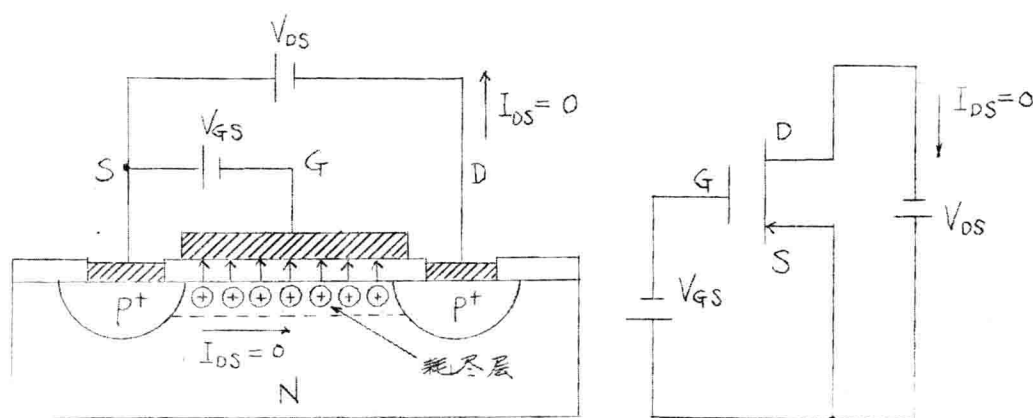


图 7.1.7  $|V_{GS}| < |V_T|$  时  $I_{DS}=0$

当  $|V_{GS}|$  大到一定程度，使  $V_{GS}$  达到了某一门槛值  $V_T$ （称为开启电压或门槛电压，例如  $V_T = -4V$ ），N型半导体表面的电场已大得足以使表面反型，变为P型时，D、S两个P型区就被一个P型的通路（称为P型沟道）连接了起来，如图7.1.8所示。这时若在D、S间加上电压  $V_{DS}$ ，就可依靠空穴作载流子而产生电流  $I_{DS}$ ，在D、S间流过。所以现在D、S之间不再是断开的，而是通导的。在这一通路中存在着电阻  $R_{DS}$ ，称为沟道电阻。

当  $|V_{GS}|$  继续增大时，也即  $V_{GS}$  数值更负，上述 D、S 之间纳通导现象继续存在，所不同的是由于表电场加强，使耗尽层减小，因而 D、S 之间的沟道电阻  $R_{DS}$  也随着减小。

以上就是 MOS 管的栅极 (G) 对漏极 (S)——源极 (D) 的控制作用。这一控制作用可以形象地用图 7.19 表示。

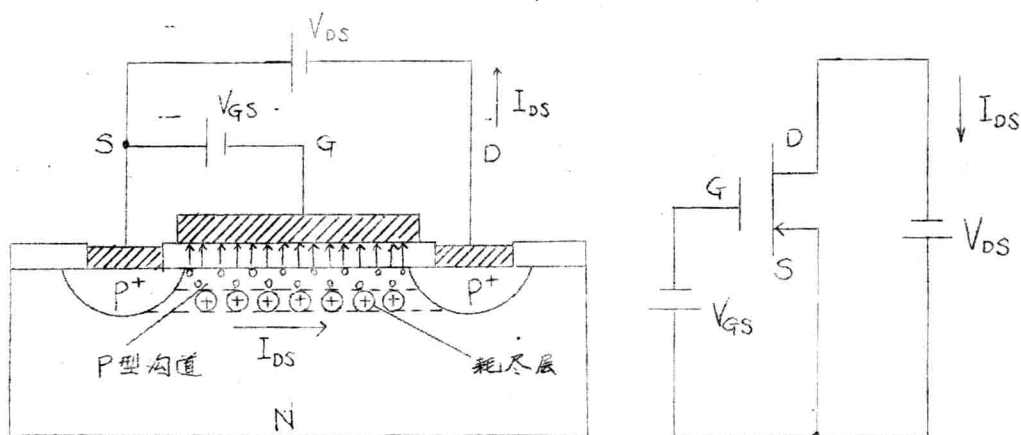


图 7.1.8  $|V_{GS}| > |V_T|$  时，出现导电沟道

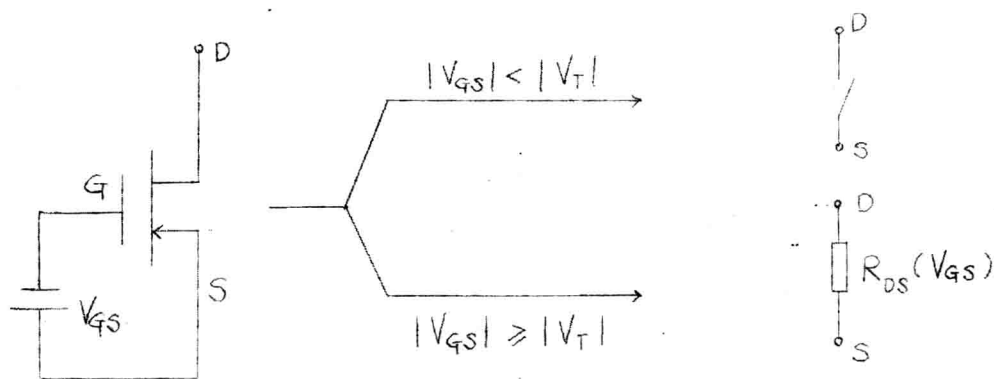


图 7.1.9 栅极对漏极——源极的控制作用

应当指出，由于 G、S 回路中有氧化层起着绝缘作用，所以  $V_{GS}$  加在其上时不需要给出电流。这表明：

① MOS管的输入电阻极大；

② 可以将MOS管看作是一个电压控制元件，而不是电流控制元件。

MOS管之所以可称为绝缘栅场效应管，就是因为栅极下边，有着一层绝缘的氧化层的缘故。

### 三、开启电压

从上述的叙述可知：刚刚开始形成导电沟道，也就是漏源之间刚刚开始导电时的临界栅极电压的数值，叫做开启电压 $V_T$ 。显然，对于我们上述讨论的情况， $V_T$ 是一个负电压，即 $V_T < 0$ 。

开启电压 $V_T$ 是MOS管的一个重要参数。

因为反型层的形成是由于电场的作用，所以开启电压的数值主要决定于加在氧化层和半导体表面上的电场强度。可见它和氧化层的厚度 $d_r$ 有关（参看图7.1.14），氧化层愈薄，同样栅极电压所产生的电场强度愈大，开启电压的数值 $|V_T|$ 就愈小。但是氧化层太薄会导致生产中栅极和基片之间穿通，成品率就要下降，所以要做到 $|V_T|$ 很小有一定的困难。其次，开启电压的数值还与基片的杂质浓度、氧化层的介电系数等因素有关，我们不再准备多讨论了。

### 四、“天然”的隔离

制造集成电路时，需要把许多元件制作在同一块硅片上。这些元件要按电路要求连接起来，同时又必须防止各元件之间在电的方面不必要的联系，也就是要保证各元件相互间的电隔离。

在双极型晶体管组成集成电路时，要采用专门的工艺措施达到隔离的目的。通常采用P-N结隔离和绝缘介质隔离两种方法。这两种隔离方法都比较麻烦，需要经过几道工艺过程，而且在硅片上占去一定的面积，使集成电路的总面积比较大，

即降低了集成度。

MOS管组成集成电路的优缺点则不然。

请看图 7.1.8。除了流与漏之间由导电沟道沟通以外，其他不必要的联系是不存在的：

① 导电沟道与N型基片（衬底）之间被耗尽层绝缘。这很好。

② 流经基片（衬底）到漏极是两个背靠背的P-N结。只要把衬底和整个电路中电位最高的一点相连（或者使衬底的电位高于电路中的最高电位），就可以保证衬底和各个电极都是绝缘的。这很方便。

因此，MOS集成电路中不需要专门的措施来解决隔离问题。这就简化了制造工艺，提高了集成度。

## 7.1.3 MOS管的特性曲线

上节介绍了MOS管的工作原理，并且用线条也归纳出了G对D-S之间的控制作用如图 7.1.9 所示。G对D-S之间的控制作用可以更细致地由MOS管的特性曲线来描述，这就象双极型晶体管的特性曲线能细致地描述基极对集电极——发射极之间的控制作用一样。

特性曲线有两种：输出特性曲线和转移特性曲线。下面分别叙述。

### 一、输出特性曲线

所谓MOS管的输出特性曲线，就是指在  $V_{GS}$ （栅—源电压，以下简称栅压）下， $V_{DS}$ （漏—源电压，以下简称漏压）与  $I_{DS}$ （漏—源电流，以下简称漏流）之间的关系曲线。图 7.1.10 (a) 示出了典型的MOS管输出特性曲线，这种曲线可通过图 7.1.10 (b) 所示的电路测得。

从图 7.1.10 (a) 中可以看出，输出特性曲线可以分成两个

区域：A和B。这两个区域的分界如图中点划线所示。

现在我们来研究A、B两个区域内曲线的不同特征。请注意： $V_{DS}$ 、 $V_{GS}$ 通常取负值， $I_{DS}$ 取正值。

在A区中，在一定的 $V_{GS}$ 值下，当 $|V_{DS}|$ 增大时， $I_{DS}$ 基本上随之线性上升，这说明D、S间有着电阻特性；而栅压 $V_{GS}$ 愈负，曲线愈陡，这说明D、S间的电阻随 $|V_{GS}|$ 的增大而减小。由于A区中具有D、S间的电阻随栅压而变的特征，所以被称为变阻区。又因为B区称为饱和区，所以A区也可称为不饱和区。

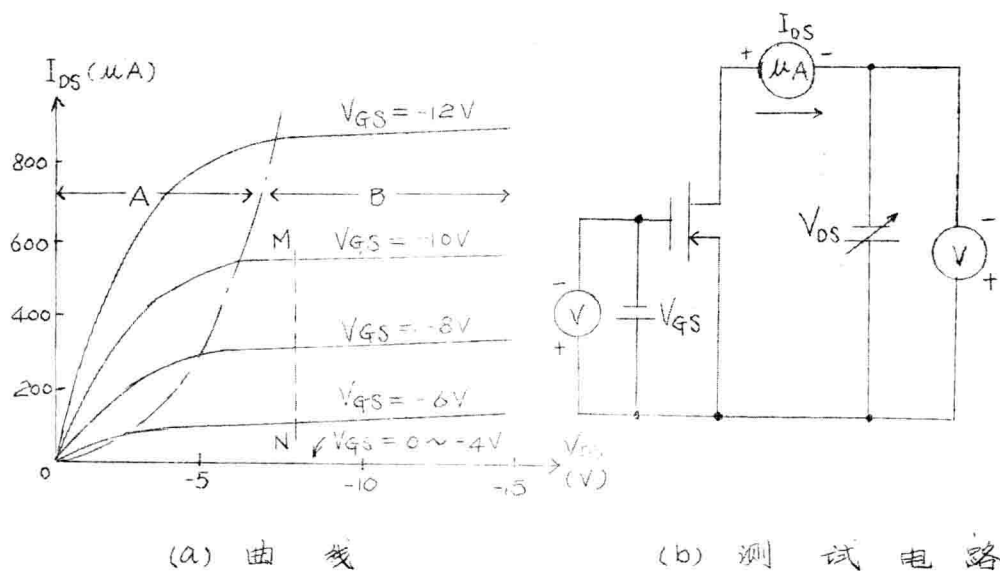


图 7.1.10 MOS 管输出特性曲线

在B区中，在一定的 $V_{GS}$ 值下，当 $|V_{DS}|$ 增大时， $I_{DS}$ 基本上保持不变，即漏电流趋于饱和。因此，B区被称为饱和区。从图中可见，在饱和区中， $|V_{GS}|$ 愈大（即栅压愈负）， $I_{DS}$ 值也愈大。

这里提醒读者注意：MOS管饱和区、不饱和区的曲线形状与双极型晶体管刚好相反，请勿混淆。

在掌握上节所述的工作原理后，对变阻区的曲线形状基本上是可以理解的。但是，还不能说明为什么  $I_{DS}$  不是始终随  $|V_{DS}|$  线性上升，而会逐渐上升得缓慢起来。至于饱和区为什么会发生  $I_{DS}$  不随  $V_{DS}$  而变的现象，则完全不能解释。因此有待进一步探讨。

## 二、漏压对沟道电阻的影响

在上节的分析中，我们假定了  $V_{DS}$  对沟道没有什么影响；实际上不然，它是有影响的。例如当  $G$ 、 $S$  上加  $V_{GS}$ ， $D$ 、 $S$  上加  $V_{DS}$  时（图 7.1.11 (a)），在靠近  $S$  端处，金属与半导体之间实际得到的电压  $V_{实} = V_{GS}$ 。而在靠近  $D$  端处， $V_{实} = V_{GS} - V_{DS}$ ，而并不是  $V_{GS}$ 。

在  $S$ 、 $D$  之间各点（即沟道内各点）， $V_{实}$  则介于  $V_{GS}$  与  $(V_{GS} - V_{DS})$  之间，如图 7.1.11 (a)

(b) 所示。（

显然图中  $V_{实}$  均为正值）沟道内各点电位不一致（沿  $x$  方向渐减），引起各点电场不均匀（沿  $x$  方向渐弱），

如图 7.1.11 (c) - (d)

所示。各点电场不均匀，将导致各点空穴

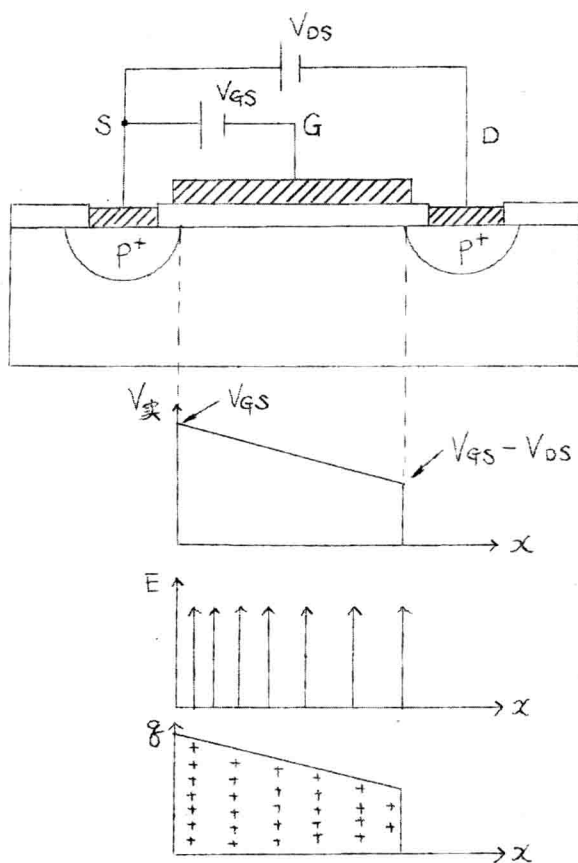


图 7.1.11

$V_{DS}$  对导电沟道的影响

浓度 $\phi$ 不均匀(沿 $x$ 方向渐减),如图7.1.11(d)所示。这将造成沟道总空穴数减少,也即沟道电阻增大。这就是漏压 $V_{DS}$ 对沟道的影响。

### 三、输出特性曲线的讨论

有了上述概念,再回过头来看MOS管的输出特性曲线。

可以任选一个 $|V_{GS}| > |V_T|$ 的情况来看。比如, $V_T = -4V$ 。我们取 $V_{GS} = -10V$ 的情况来看。

这时,对于 $V_{DS} = -0.1V, -2V, -6V, -8V$ 四种情况,沟道内的电位 $V_{实}$ 和空穴浓度 $\phi$ 的分布情况将分别如图7.1.12(a), (b), (c), (d)所示。

这里:

$V_{DS} = -0.1V$ , 代表 $|V_{DS}|$ 较小的情况。

$V_{DS} = -2V$ , 代表 $|V_{DS}|$ 稍大, 但仍有 $|V_{GS} - V_{DS}| > |V_T|$ 的情况。

$V_{DS} = -6V$ , 代表 $|V_{DS}|$ 大得使 $|V_{GS} - V_{DS}| = |V_T|$ 的情况。

$V_{DS} = -8V$ , 代表 $|V_{DS}|$ 更大, 使 $|V_{GS} - V_{DS}| < |V_T|$ 的情况。

从图7.1.12(a)可见, 当 $|V_{DS}|$ 小时, 沟道各点 $V_{实}$ 的不一致不大,  $\phi$ 基本上均匀, 因此沟道电阻也基本上未变, 这也就是为什么 $|V_{DS}|$ 小时,  $I_{DS}$ 随 $|V_{DS}|$ 值增加而正比地增加的原因。

比较图7.1.12(a), (b), (c)可见,  $|V_{DS}|$ 由小变大时, 沟道内电位 $V_{实}$ 的不一致逐渐严重起来, 空穴浓度 $\phi$ 的不一致也逐渐严重起来, 因而使沟道电阻也逐渐变大。这就是为什么 $|V_{DS}|$ 稍大后, 当 $|V_{DS}|$ 值增加时,  $I_{DS}$ 不是正比地随之增加, 而逐渐增加得缓慢起来的死因(也即A区输出特性曲线由直线逐渐变弯的死因)。

从图7.1.12(c)可见, 在 $|V_{DS}|$ 大到使 $|V_{GS} - V_{DS}| = |V_T|$ 时, 在D端(即图中a点)出现了 $V_{实} = V_{GS} - V_{DS} = V_T$ 的情况, 这相当于a点处于反型的边缘状态, 所以a点的空穴浓度 $\phi$ 为

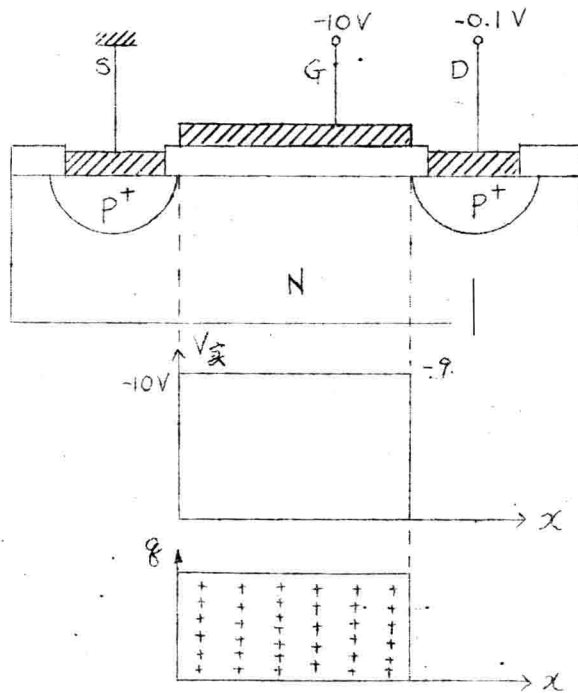


零。从a点往S方向看去，沟道各处都有空穴，都可导电。这就好象沟道从S端开始伸展到a点（现即为D端）被卡断了。因此通常称为这一个 $\varphi=0$ 的点为沟道夹断点。

从图7.1.12(d)可见，当 $|V_{DS}|$ 变得更大，使得 $|V_{GS}-V_{DS}| < |V_T|$ 时，在a点稍左一些的b点上就出现了 $V_{\text{实}} = V_{GS} - V_{DS} = V_T$ 的情况，也即现在b点成了 $\varphi=0$ 的沟道夹断点了。b点到a点这一小段内空穴浓度 $\varphi$ 当然也等于零。这时请注意以下两个事实：

① ab这一小段的长度相对于整个沟道的长度而言，是极小的。因此图7.1.12(d)的电位 $V_{\text{实}}$ 的分布和空穴浓度 $\varphi$ 的分布与图7.1.12(c)中的相近，因而两图中的沟道电阻（即Sb段电阻和Sa段电阻）基本上一样。

② 图7.1.12(d)沟道（即Sb段）上的压降等于 $V_{GS} - V_T$ ，图7.1.12(c)沟道（即Sa段）上的压降也等于 $V_{GS} - V_T$ ，两者一样。



(a)  $V_{DS} = -0.1V$