

脉冲和数字电路

下 册



上海外国语学院

一九七七年

目 录

第八章 逻辑设计基础.....	1
8—1 逻辑代数的三种基本运算.....	1
8—2 逻辑代数的基本运算规则.....	4
8—3 逻辑代数在逻辑设计中的应用与举例.....	8
8—4 真值图简化法.....	16
小结.....	23
习题.....	25
第九章 逻辑部件.....	28
9—1 计数器.....	28
9—2 寄存器.....	48
9—3 译码器.....	57
9—4 数字显示.....	65
小结.....	75
习题.....	91
第十章 组合电路.....	94
10—1 节拍发生器.....	94
10—2 环形脉冲分配器.....	100
10—3 路译控制电路.....	105
10—4 校验电路.....	108
10—5 加法器及减法器.....	113

小结.....	119
习题.....	120

第十一章 模拟和数字的转换技术.....	124
11-1 数模转换系统概述.....	125
11-2 数—模译码器.....	131
11-3 串行数字—模拟转换器.....	147
11-4 角度—数字转换器.....	155
11-5 位移—数字转换器.....	161
11-6 模—数转换器.....	169
习题	182

第十二章 顺序控制器.....	183
12-1 基本逻辑型顺序控制器.....	183
12-2 步进型顺序控制器.....	200
12-3 多功能顺序控制器、子系统及分级控制.....	217

第八章 逻辑设计基础

8-1 逻辑代数的三种基本运算

逻辑代数又称布尔代数是逻辑设计的数字基础。它是一种基于“1”或“0”两个值,不允许有中间值或第三个值,因此在开关电路理论中和各种数字装置和数字计算机的逻辑设计中有着广泛的应用。

由于逻辑式代数是双值数,因此它只有两个值也就是只有两个常数,这两个常数用符号“1”和“0”来表示,在这里符号“1”和“0”不能看作是数字,所以它们之间不存在大与小的关系,而是在具体开关线路中被指定为两种可能的电平,例如脉冲数字电路中,我们可以用“0”和“1”两个符号来代表两种相反的状态,高电平为“1”,低电平为“0”,晶体管断为“1”晶体管导通为“0”……等。在另外的场合“0”,“1”又可表示另外一对矛盾的双方,因而它们又有逻辑“0”,逻辑“1”之称。

逻辑代数和普通代数一样,可将字母当作未知量。

逻辑代数的基本逻辑运算有三种:逻辑乘,逻辑加和逻辑非。其它的运算都可由这三种基本运算组成。

一、逻辑乘

在第二章中我们已介绍了逻辑“与”的概念,即“把某件事情要发生必须所有的条件都具备,否则事情就不能发生”。在表达式中我们用“·”,“×”或“∧”符号来连结所有条件,但有时在与项字母中也有不写什么符号的,下面我们结合两个具体线路说明逻辑与的关系。

图8-1(a)中如果灯亮,必须所有开关都合上灯才亮,如果有一个开关条件不符合灯就不亮,它们的关系我们可引进逻辑乘关系式来表示。则

$$P = A \times B \times C \quad \text{或} \quad P = A \cdot B \cdot C$$

显然,逻辑乘的意义即为“只有A·B和C都为1,P才为1”,“只要A或B或C有一个为0,P即为0”。

图8-1(b),如果我们以输出高电平为目的。那么要达到高电平目的必须所有输入条件都为高电平,输出才高电平,它们之间逻辑

关系式为：

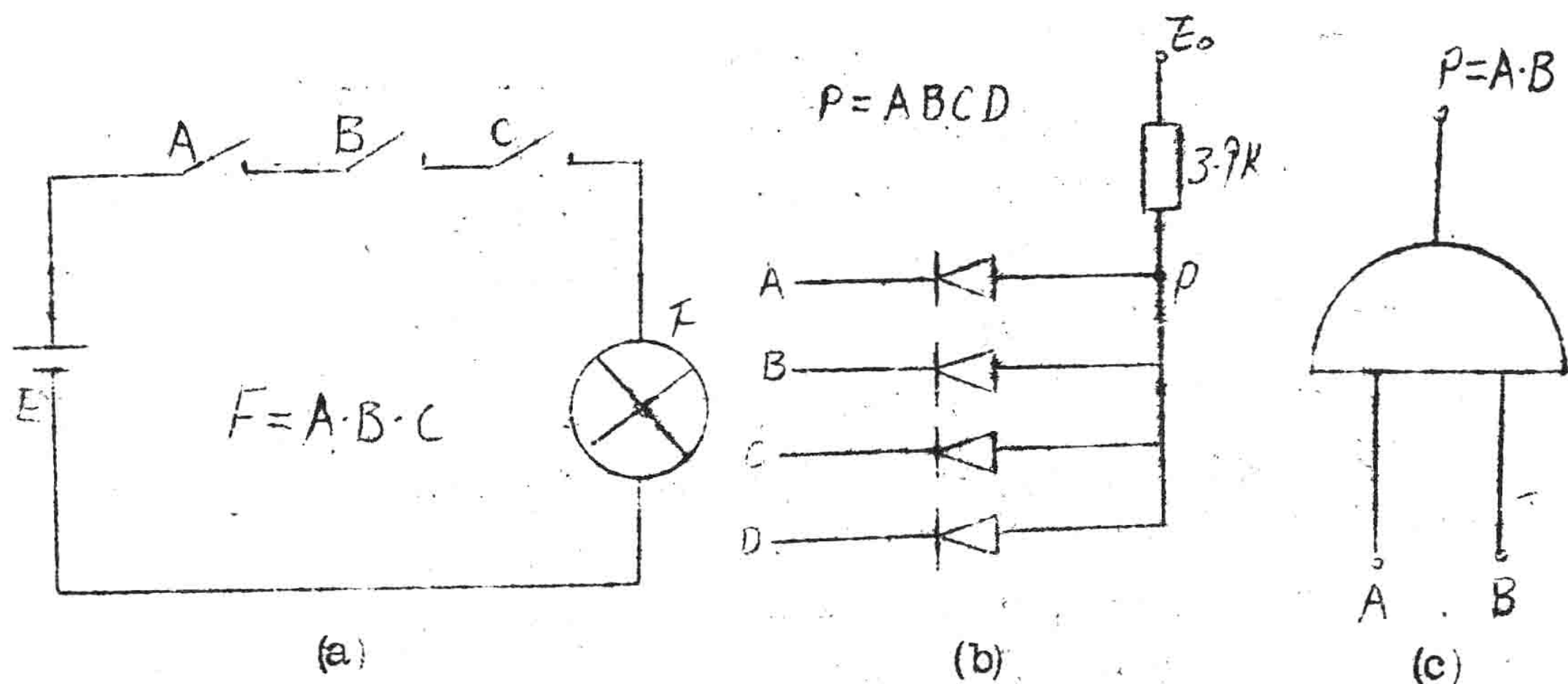


图 8-1

$$P = A \cdot B \cdot C \cdot D$$

逻辑乘用数学式来表示即有：

$$0 \times 0 = 0 \quad A \cdot 0 = 0 \quad (8-1-1)$$

$$0 \times 1 = 0 \quad A \cdot 1 = A \quad (8-1-2)$$

$$1 \times 0 = 0 \quad A \cdot A = A \quad (8-1-3)$$

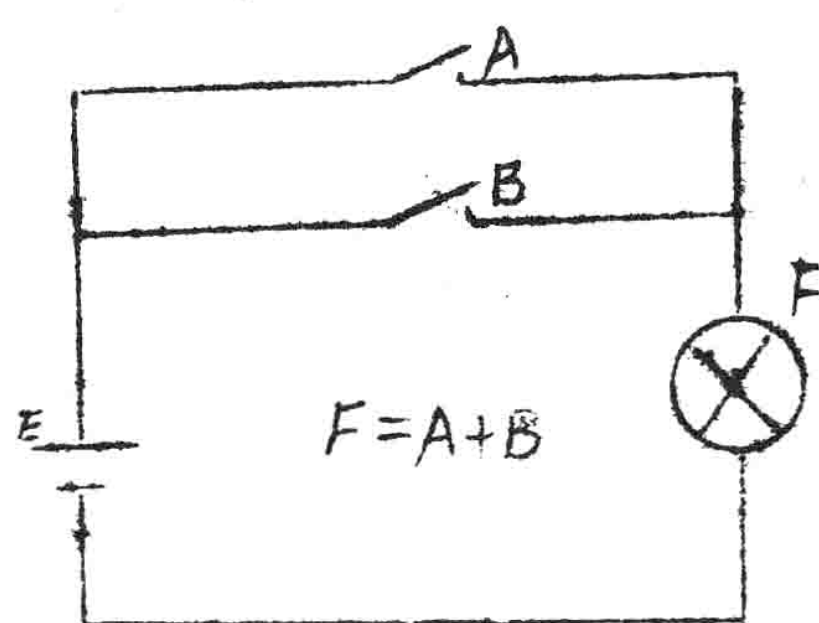
$$1 \times 1 = 1$$

式(8-1-1)(8-1-2)和左边普通代数的乘法规则相同，式(8-1-3)的意义可以这样来理解：决定某件事的发生，本来需要二个条件A · B都具备，但由于条件A和B完全一样，所以只要具备条件A即可，因此，可将“A · A”的关系式简化成“A”，这是逻辑代数的特殊规律。

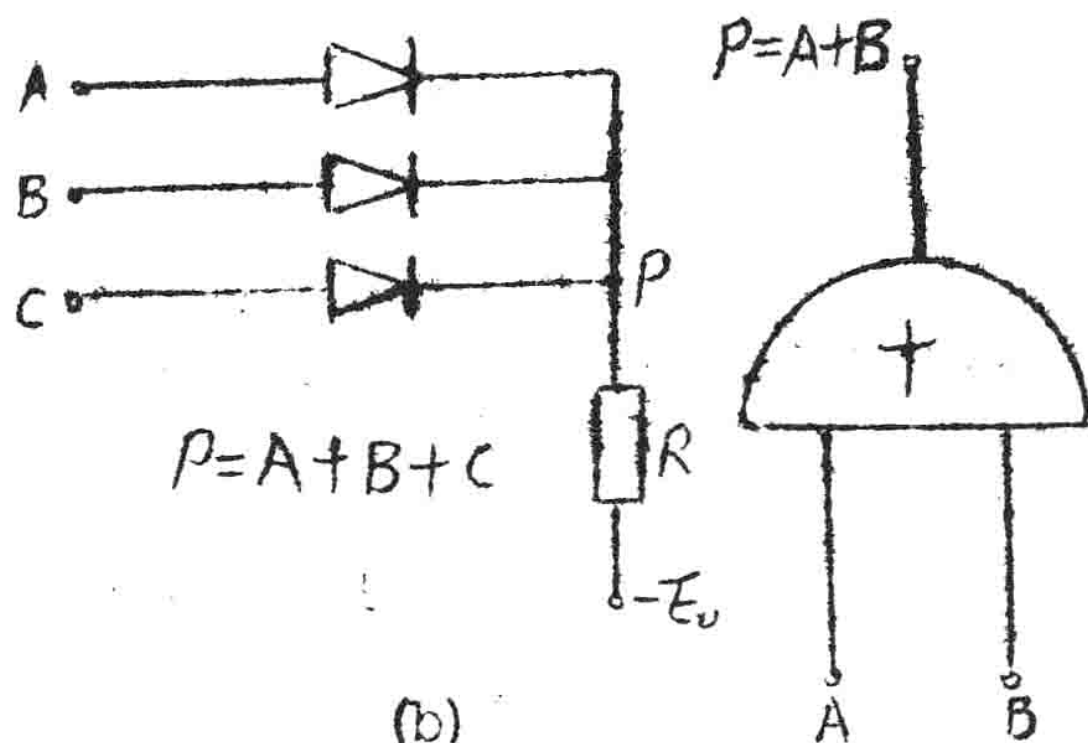
实现逻辑乘的电路称为“与门”其符号如图8-1(c)所示。

二、逻辑加

我们把“某件事要发生只要所有条件中一个或几个条件满足时，事情就发生”。称之为“或”的逻辑关系。在布尔代数中常用“+”来连结各个或项，下面我们也举两个例子来说明逻辑或的关系。



(a)



(b)

(c)

图 8-2

在图 8-2 (a) 中如果灯亮为事情发生, 那么要开关 A 和开关 B 有一个开关合上灯就亮, 因此它们逻辑关系是或的关系。

图 8-2 (b) 中如果以输出高电平为事情发生, 那么只要输入 A 为高电平或输入 B 为高电平, 输出都是高电平, 因此它们也是或的关系。

如果借用普通代数的符号把 P 和 A, B 间“或”逻辑关系记为:

$$P = A + B$$

称之逻辑加运算。

逻辑加的意义是: “A 或者 B 只要有一个为 1, 则 P 就为 1”,

“A 与 B 全为 0, P 才为 0”, 用数学式来表示即有

$$0 + 0 = 0$$

$$0 + 1 = 1 \quad A + A = A \quad (8-1-4)$$

$$1 + 0 = 1 \quad A + 1 = 1 \quad (8-1-5)$$

$$1 + 1 = 1 \quad A + 0 = A \quad (8-1-6)$$

这里, 须加说明, 左边逻辑代数中 $1 + 1$ 既不等于 2 (在十进制中), 又不等于 10 (在二进制中), 这说明尽管逻辑代数中的量和二进制相似只取二个值 0, 1, 但是这里“逢二进一”是不适用的。

式 (8-1-4) 的意义是条件 B 总不能满足, 那么事情是否发生取决于条件 A, 式 (8-1-5) 的意义是条件 B 总是满足, 那么事情总是发生。如果二个条件一样, 当然决定事情的发生只须用一个条件决定, 这就是式 (8-1-6) 的意义。

实现逻辑加的线路称为“或门”其符号如图 8-2 c 所示。

三、逻辑非

在电路中有时要求输出信号与输入信号状态相反，这相当于逻辑代数中“非运算”。非的含义是逻辑否定。

A 的逻辑非以 $\bar{A}$ 表示，读作“非 A”。实现逻辑非的线路称“非门”。非门的逻辑符号如图 8-3 所示。逻辑非有如下的运算规则：

$$\bar{0} = 1 \quad A + \bar{A} = 1 \quad (8-1-7)$$

$$\bar{1} = 0 \quad A \cdot \bar{A} = 0 \quad (8-1-8)$$

$$\bar{\bar{A}} = A \quad (8-1-9)$$



图 8-3

8-2 逻辑代数的基本运算规则

一、基本公式和定理

逻辑代数是开关电路理论的工具，来源于开关线路，又服务于开关线路。

不难证明，上一节逻辑代数中基本公式：

$$A \cdot 0 = 0$$

$$A + 0 = A$$

$$\bar{\bar{A}} = A$$

$$A \cdot 1 = A$$

$$A + 1 = 1$$

$$A \cdot A = A$$

$$A + A = A$$

$$A \cdot A = 0$$

$$A + \bar{A} = 1$$

都能相应画出其一一对应线路图，在此就不再举例了。

对上面基本公式证明我们只要先令 $A = 0$ ，接着再令 $A = 1$ ，分别代入上式就可以证明以上各个公式，不论 A 取什么值，这些等式都是成立的。

对逻辑代数化简就是运用这些基本公式。

同样对于逻辑乘运算和逻辑加运算，普通代数的交换律，结合律和分配律也适用。

交换律： $A \cdot B = B \cdot A \quad (8-2-1)$

$$A + B = B + A \quad (8-2-2)$$

结合律 $(A+B)+C=A+(B+C) \quad (8-2-3)$

$$(A \cdot B) \cdot C = A \cdot (B \cdot C) \quad (8-2-4)$$

$$\text{分配律: } AB + AC = A(B + C) \quad (8-2-5)$$

交换律，结合律的正确性是很明显的，分配律的正确性不很明显，我们用列真值表的方法来进行检验。

由于逻辑代数的变量只取两个值之一，自变量数目不多的函数很容易用下述方法进行研究：对所有可能的各组变量值，求出函数值，然后把所有可能的各组变量值与相应的函数值并列于表，得到的表称为真值表。例如对公式(8-2-5)，我们可列出其真值表如表8-1。此表把A、B、C所有可能的值与相应的函数值都列出来了，由表可见对应于任一组A、B、C，值 $A(B + C)$ 和 $AB + AC$ 的值相同的，这就证明了恒等式的正确性。

表 8-1

A	B	C	(B + C)	A(B + C)	AB	AC	AB + AC
0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	1	0	0	0	0
1	0	0	0	0	0	0	0
1	0	1	1	1	0	1	1
1	1	0	1	1	1	0	1
1	1	1	1	1	1	1	1

为了较方便地进行逻辑化简，人们在实践中又运用了基本公式组合成六条基本定理：

$$\text{定理 1, } A + AB = A \quad (8-2-6)$$

$$\text{证明: } A + AB = A(1 + B) = A(1) = A$$

定理1表示与/或式表达式中如果一个与项包含了另一个与项全部因子，那么这个与项是多余的。

$$\text{例题 } AB + ACD + C + B = C + B$$

因为第一与项，第二与项分别包含了第四与项、第三与项的全部因子，所以第二，第一与项是多余的。

$F \neq F'$, 但 F 只有 F' 对偶式。

(2) 那么怎样用对偶式进行化简呢?

例如:

$$F = (A + D)(B + D)(C + D)$$

先求 F 对偶

$$F' = A \cdot D + B \cdot D + C \cdot D = D(A + B + C)$$

再求 F' 的对偶

$$F = D + ABC$$

$\therefore D + ABC$ 就是 F 表达式化简结果, 如果不用对偶式, 而用或/与表达式定理进行化简, 就要一大堆推导公式, 因此有了对偶式化简就简便多了。对偶式的另一用处, 就是证明某些表达式是否相同, 如果要求 F 是否等于 G , 那么如果知道 F 的对偶式 F' 等于 G 的对偶式 G' , 则 $F = G$, 也就很方便求得。

二、最小项和最大项

逻辑表达式的形式不是唯一的, 例如 $f = A\bar{B} + \bar{A}B$, 通过适当的变换就可写成另外几种不同形式。

$$\begin{aligned} f &= A\bar{B} + \bar{A}B = \overline{\bar{A} + B} + \overline{A + \bar{B}} = (\bar{A} + B)(A + \bar{B}) \\ &= \overline{AB + \bar{A}\bar{B}} = \overline{AB \cdot \bar{A}\bar{B}} = (\bar{A} + \bar{B})(A + B) \end{aligned}$$

根据上面函数表示形式的不同, 可以构成不同的逻辑线路, 从上面一系列表达式中发现有两种形式最简单, 即

$$f = A\bar{B} + \bar{A}B \quad (8-2-14)$$

$$\text{和} \quad f = (\bar{A} + \bar{B})(A + B) \quad (8-2-15)$$

在 (8-2-14) 式中, 每一项都是变量的逻辑乘 $X_1 X_2 \cdots X_n$, 其中 X_i 或者是原有形式 X_i ; 或者是它的反码 $\bar{X}_i$; 一般称这样的项为最小项。

最小项的定义: n 变量的最小项是所有 n 个变量的逻辑乘, 其中每个变量 (原变量或其补) 仅出现一次。

一个特定逻辑式的最小项形式是描述此逻辑式那些最小项之和。

例如

$$P = \bar{A}\bar{B} + \bar{A}B \quad \text{和} \quad P = \bar{A}\bar{B} + \bar{A}B + A\bar{B}$$

虽然都是变量 A 、 B 的函数, 但它们包含的最小项不同, 因而它

们各自表征着不同的函数关系。

对于 n 个变量的逻辑式说, 可能的最小项总数为 2^n 个。

(8-2-15) 式中每一项都是两个变量 A 和 B 或其反码的逻辑和, 一般把这样的项叫最大项。

最大项的意义: n 个变量的最大项是所有 n 个变量的逻辑和, 其中每个变量(原变量或其补)仅出现一次。同理对于 n 变量有最大项 2^n 个。例如对于两变量 A 和 B 逻辑式来说, 它可能的最大项是 $A + B$, $\bar{A} + \bar{B}$, $\bar{A} + B$, $A + \bar{B}$, 四个, 而且仅有四个。一个特定逻辑函数的最大项形式就是描述此函数的那些最大项之和。

基本性质:

1. 任何 n 个变量的所有最小项 2^n 个之和恒等于 1。
2. 任何 n 个变量的所有最大项之积恒等于 0。
3. 任何最大项的补是最小项, 而任何最小项的补是最大项。例

如

$$\begin{aligned}\overline{M_0} &= \overline{\bar{A} + \bar{B}} = A \cdot B = m_1 \\ \overline{M_1} &= \overline{A + B} = \bar{A} \cdot \bar{B} = m_0\end{aligned}$$

其中 M_0 是最大项中某一项等于 $A + \bar{B}$, m_1 是最小项中某一项, 它等于 $A \cdot B$ 。其余类推。

这一性质, 表明 M 和 m 是互补的, 实际上就是前已证明过的摩根定理, 它反映了变量组合的“与”函数和“或”函数之间的内在联系。

4. 任何两个不相同的最小项之积必为 0。

$$\text{例如: } m_0 m_1 = \bar{A}\bar{B} \cdot \bar{A}B = \bar{A}\bar{A} \cdot B\bar{B} = \bar{A} \cdot 0 = 0$$

因为两个最小项, 必然至少包括有一变量在一项以原变量出现, 而在另一项中以“补”形式出现, 这一变量两种出现形式的积必为 0。

5. 任何两个不相同的最大项之和必为 1

$$\begin{aligned}\text{例如: } M_0 + M_1 &= (\bar{A} + \bar{B}) + (\bar{A} + B) = \bar{A} + \bar{A} + \bar{B} + B = \bar{A} + 1 \\ &= 1\end{aligned}$$

因为一个变量以两种形式出现, 它的和是恒等于 1 的。用最小项之和表达的逻辑式称为与/或式, 用最大项之积表达的函数式称为或/与式。

8-3 逻辑代数在逻辑设计中应用与举例

一、逻辑线路的简化

逻辑代数中的函数表达式，我们称为逻辑函数或开关函数。每一个逻辑函数原则上都可以用一个前述的门电路的适当组合来实现。但是，具有一定逻辑功能的逻辑线路不是唯一的，可以有繁有简，也就是说它的逻辑表达式是多种多样的，为了设计出具有给定逻辑功能的最简单，经济的逻辑线路，就要求线路设计者掌握逻辑函数的简化方法。一个逻辑函数，怎样算最简单呢？这要看对实际线路的具体要求。有时需要使信号在逻辑线路中传递级数（即所通过门的个数）最少，从而获得较高的工作速度；有时需要使线路中所使用的逻辑元件（单个与门，或门及非门）数目最少，从而达到降低成本的目的，因此要根据相应线路的具体需要来衡量一个逻辑函数是否最简化了，下面通过具体例子来说明。

例1，画出一个三端输入（ $A \cdot B \cdot C$ ），一端输出（ L ）的线路的逻辑图，它们间的逻辑关系式为

$$L = AB + AC$$

实现与逻辑用与门，实现或逻辑用或门，故欲实现上述线路，需要二个与门，一个或门，其逻辑图如图8-4(a)所示。

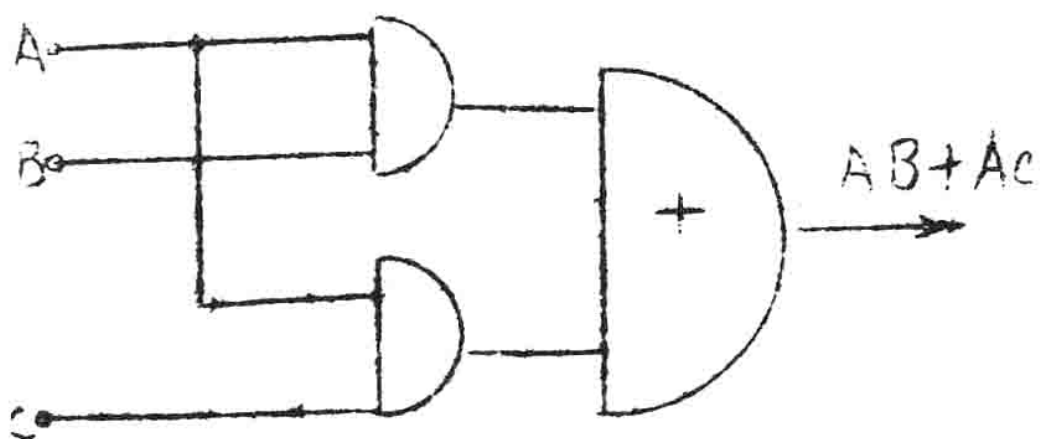
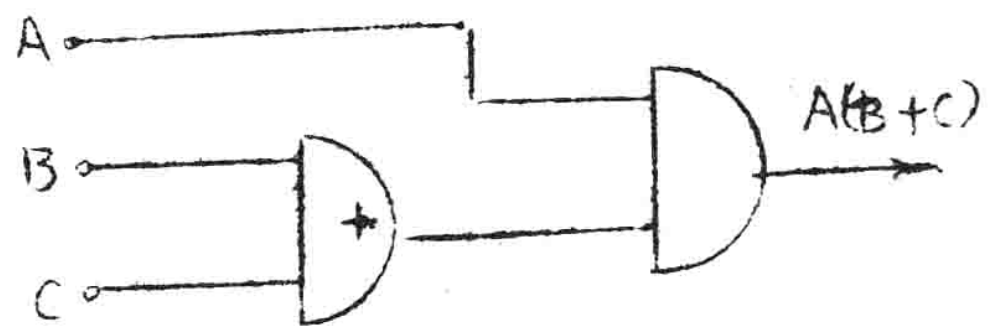


图 8-4 (a)



(b)

如果我们利用分配律变换一下，把 L 写成

$$L = A (B + C)$$

实现此逻辑只需一个或门, 一个与门如图 8-4(b)所示。与图 8-4(a)比较线路简单, 且节省了一个与门。

例 2. 简化 $L = A\bar{B} + C + \bar{A}\bar{C}D + B\bar{C}D$

$$L = A\bar{B} + C + \bar{C}(\bar{A}D + BD)$$

$$= A\bar{B} + C + \bar{A}D + BD$$

$$= A\bar{B} + C + D(\bar{A} + B)$$

$$= A\bar{B} + C + D(\overline{A \cdot B})$$

$$= A\bar{B} + C + D$$

图 8-5(a)、(b)分别为简化前后的逻辑图。由图可见简化前的逻辑线路需要一个或门, 3 个与门和 3 个反相器, 而简化后的线路只需

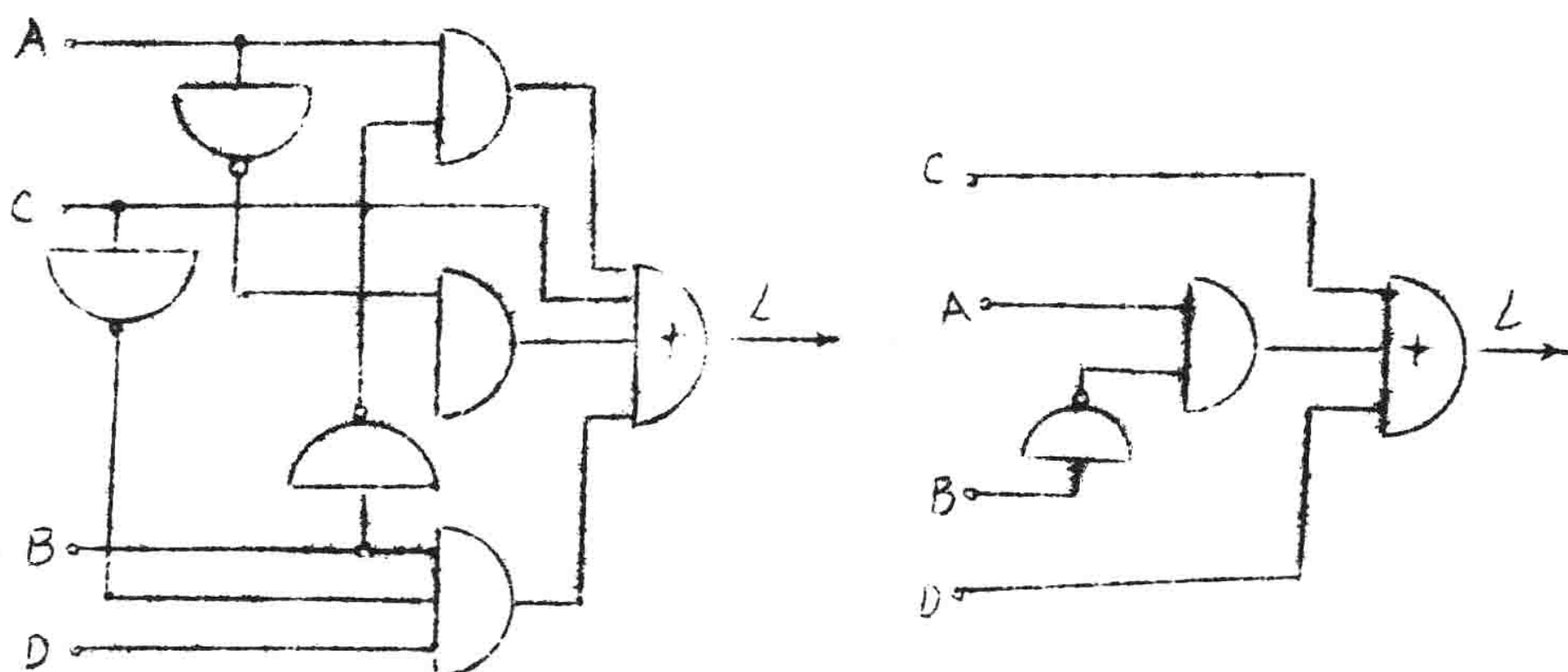


图 8-5 (a)

(b)

要或门, 与门和反相器各一个就够了。虽然两个线路的输入信号都要经过 3 级门后才能形成输出信号, 开关速度相同, 但简化后线路要比原先的线路经济得多。

例 3. 以 $A \cdot B$, C 为三个输入端, 要求使用与非元件获得输出 $P = A\bar{B} + A\bar{C} + \bar{A}BC$, 试画出其逻辑图。

如不进行化简, 相应的逻辑图如图 8-6(a)所示。

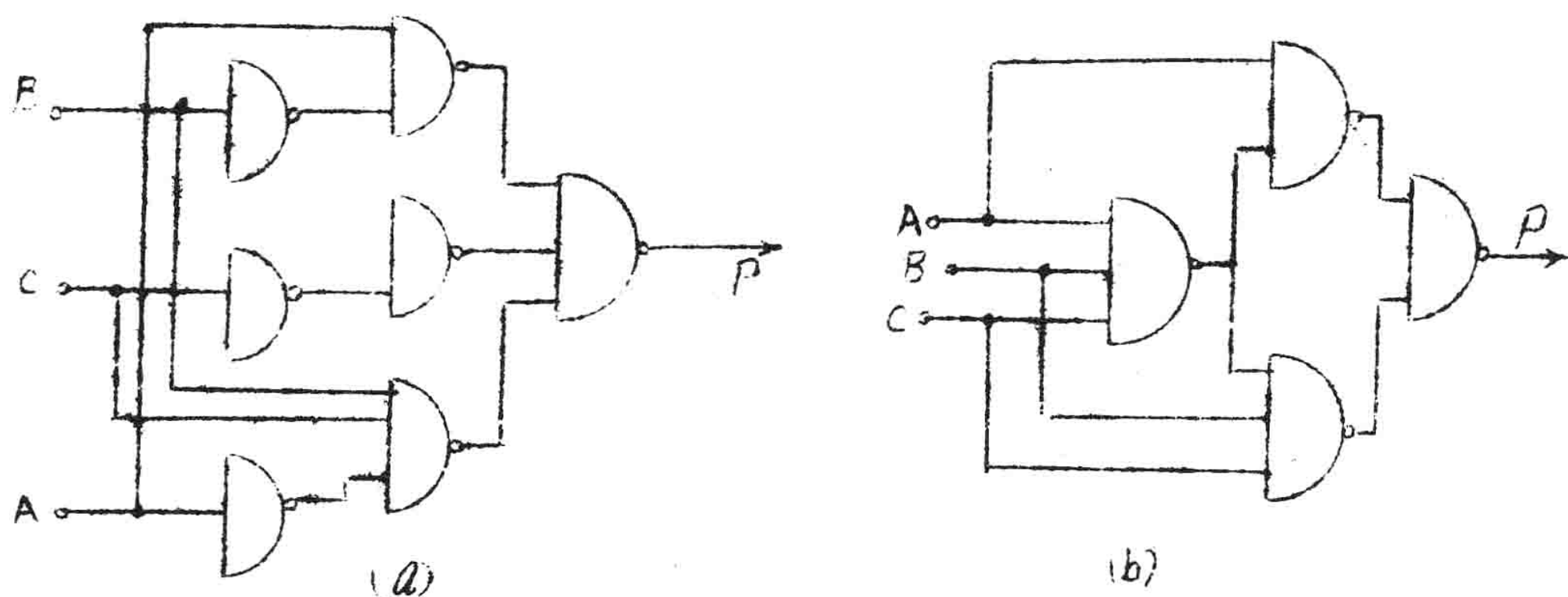


图 8-6

需要 7 个与非门电路。若考虑到与非门电路来实现此逻辑功能，函数式进行如下化简：

$$\begin{aligned}
 P &= A\bar{B} + A\bar{C} + \bar{A}BC = A(\bar{B} + \bar{C}) + \bar{A}BC \\
 &= A\bar{B}\bar{C} + \bar{A}BC = A(\bar{A} + \bar{B}\bar{C}) + BC(\bar{A} + \bar{B}\bar{C}) \\
 &= A \cdot \bar{A}\bar{B}\bar{C} + BC \bar{A}\bar{B}\bar{C} = \overline{A \cdot \bar{A}\bar{B}\bar{C} \cdot BC \bar{A}\bar{B}\bar{C}}
 \end{aligned}$$

其相应的逻辑图如图 8-6 (b) 所示，只要 4 个与非门电路就行了。

例 4，输入为 A、B、C 用与非元件实现 $L = ABC\bar{C} + A\bar{B}C + \bar{A}BC$ ，若不化简，相应的逻辑图就需 3 个反相器，4 个与非共 7 个门电路，若应用关系式：

$$\begin{aligned}
 ABC\bar{C} &= AB \cdot \overline{ABC} \\
 A\bar{B}C &= AC \cdot \overline{ABC} \\
 \bar{A}BC &= BC \cdot \overline{ABC}
 \end{aligned}$$

则只需 5 个与非门电路即够，它的逻辑图如图 8-7 所示。

归纳以上两个例子可知，凡输入只有 A、B、C 而要求输出端中有 $\bar{A}$ ， $\bar{B}$ ，

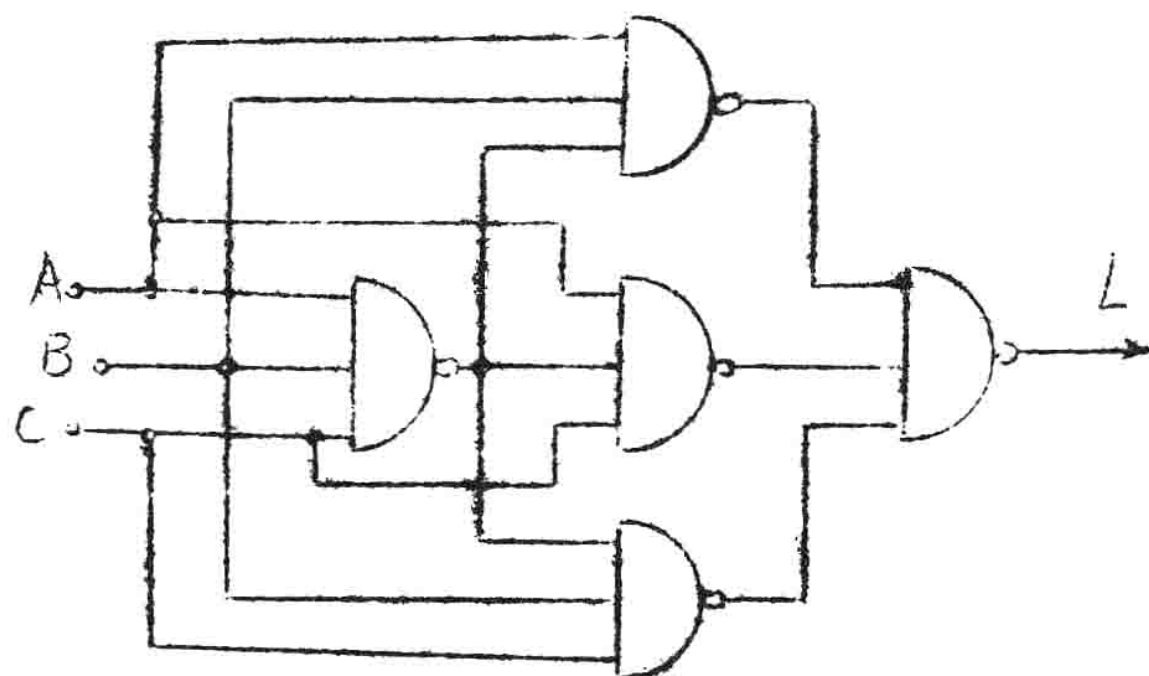


图 8-7

C 或 $\overline{AB}$, $\overline{BC}$, $\overline{AC}$ 等成分, 则可用 ABC 的“一束”信号来代替单个反相器, 从而节省门电路的个数。此 $\overline{ABC}$ 可称代用信号。

上面的几个例子说明, 按逻辑式画逻辑图时, 要对逻辑表达式进行适当地简化, 这对简化线路, 节省逻辑元件是很有益的。

二、逻辑线路设计举例

所谓逻辑线路的设计, 就是已知工作条件和所要求的逻辑功能, 求出描述它的逻辑函数, 并设计出最简单, 最经济的线路。下面举例说明之。

例 1, 设计一个逻辑线路, 该线路有两个输入端 A 、 B 和一个输出端 L , 要求当两个输入端同时为正信号 (即逻辑 1) 或者同时为负信号 (即逻辑 0) 时都能使机器动作一次, 其它输入状态机器不动作, 其框图如图 8-8 所示。

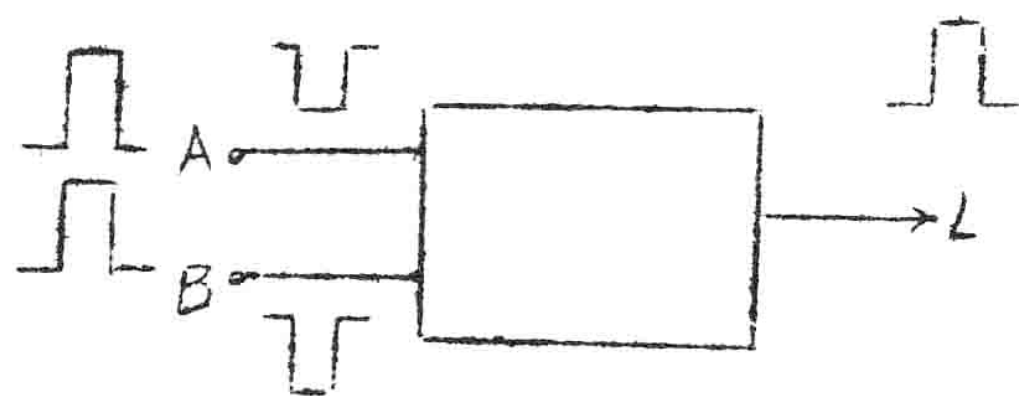


图 8-8

A	B	L
1	1	1
0	0	1
0	1	0
1	0	0

表 8-3

根据逻辑要求首先列出真值表如表 8-3。其次由真值表写出逻辑式。对应表的第一列 $A=1$, 与 $B=1$ 时 $L=1$, 根据逻辑乘的意义有 $L=A \cdot B$, 对应表的第二列 $A=0$ 与 $B=0$ 时 $L=1$, 换句话说 $\overline{A}=1$ 与 $\overline{B}=1$ 时 $L=1$, 于是有 $L=\overline{A}\overline{B}$, 而 L 与 AB , $\overline{A}\overline{B}$ 的关系又是“或”的关系, 因此 L 的逻辑式为:

$$L = AB + \overline{A} \cdot \overline{B}$$

其逻辑图 8-9 所示此图称“同或”线路。

例 2 设计一个以 A 、 B 输入, C 为输出的线路, 其真值表如表 8-4。

介法1 由表可见，对应于A、B所有可能取的值，在三种情况下，C均为1。

不难写出它的逻辑代数式

$$C = \bar{A}\bar{B} + A\bar{B} + AB$$

要构成逻辑图，首先将上式进行简化。

表 8-4

A	B	C
0	0	1
0	1	0
1	0	1
1	1	1

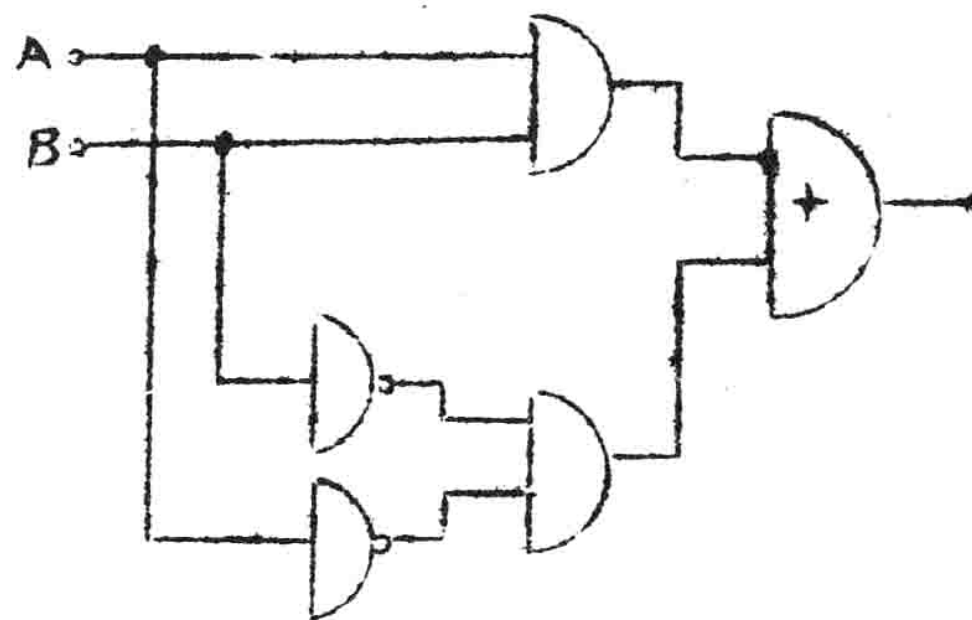


图 8-9

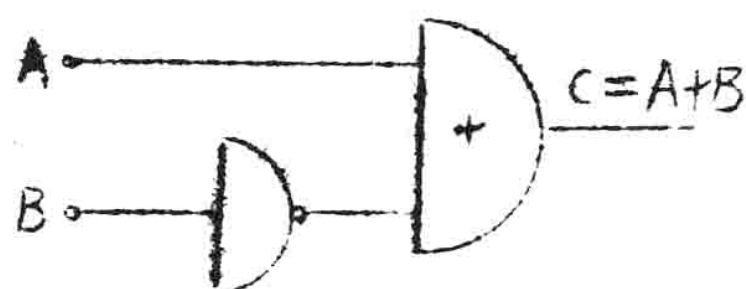


图 8-10

$$C = (\bar{A}\bar{B} + A\bar{B}) + AB = \bar{B} + AB = \bar{B} + A$$

解法2 由真值表 8-4 可知 $\bar{C} = \bar{A} \cdot B$

$\therefore C = \overline{\bar{A} \cdot B} = A + \bar{B}$ ，此式与上式是一致的。

其运用了对偶定理是十分方便的。

例3 半加器的逻辑设计。

二进制数具有“逢二进一”的特点，一位二进制数相加时，0加0得0，0加1得1，1加0得1，1加1得0，同时往高位进位，即1加1的结果是本位和为0，进位数为1，在计算机中，这种只考虑对应位之和的加法器，称为“半加器”。

假设A、B为两个加数，H'为本位加法运算的和，J'为A、B相加后向高位的进位，列出其真值表，如表 8-5。

根据真值表可写出逻辑表达式为：

$$H' = A\bar{B} + \bar{A}B$$

$$J' = AB$$

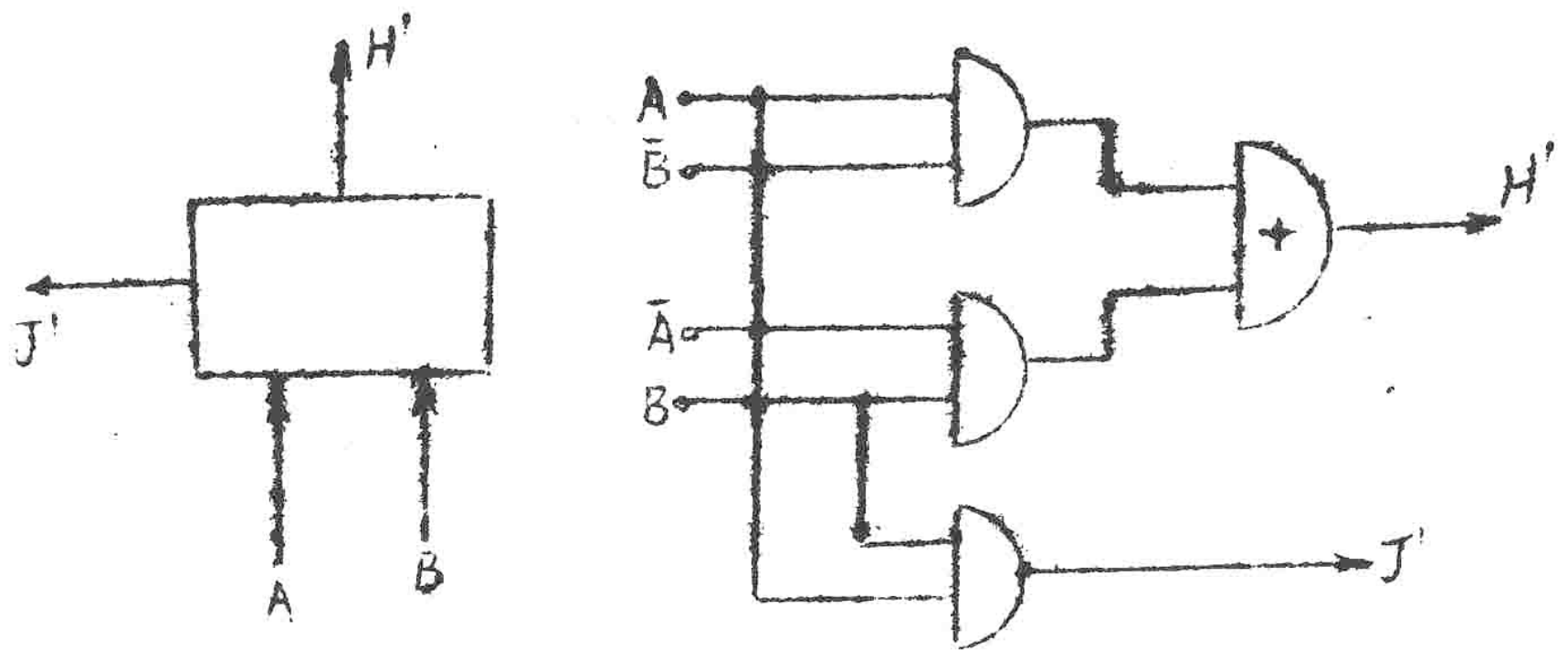


图 8-11

表 8-5

A	B	H'	J'
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

作出逻辑图如图 8-11 所示。由图可见，如不考虑门的个数，这个半加器由三个“与”门和一个“或”门组成。

这种方案由于存在着传递速度低，负载能力差和电平偏移变化的缺点，因此在实际系统中很少使用。

由于集成电路技术的迅速发展和使用，促使人们设计了使用“与非”门或“与或非”门所组成的半加器，用这些元件所组成的半加器，无论在传递速度，负载能力以及电平稳定等方面都有较好的性能。

下面我们借助逻辑代数把前述的 H' 、 J' 的表达式变为用 A 、 B 所组成的“与非”的形式。

$$H' = A\bar{B} + \bar{A}B = \overline{\overline{A\bar{B} + \bar{A}B}} = \overline{\overline{A\bar{B}} \cdot \overline{\bar{A}B}}$$

$$J' = AB = \overline{\overline{AB}}$$

图 8-12 即为相应的用“与非”门组成的半加器逻辑图，从图可见，用五个“与非”门就能组成半加器。当只有 A 、 B 两个输入信号

时，半加器的逻辑表达式又可改写成如下形式：

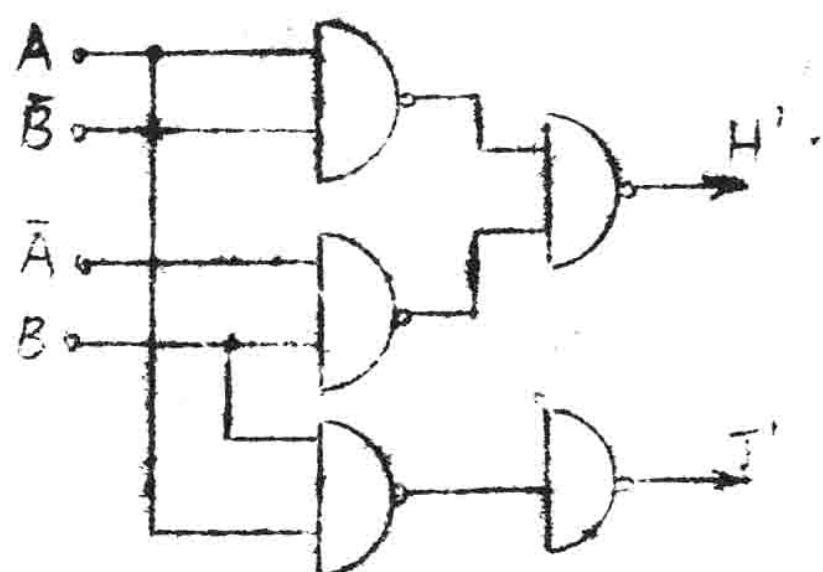


图 8-12

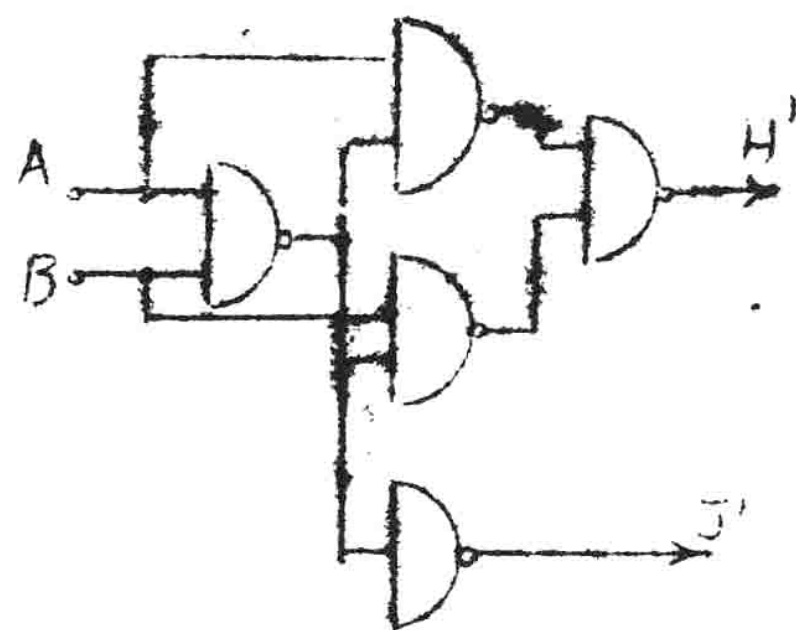


图 8-13

$$\begin{aligned} H' &= \overline{AB} \cdot \overline{AB} = (\overline{A+B}) \cdot (\overline{A+B}) \\ &= \overline{AB} + \overline{AB} \\ &= \overline{AB} \cdot \overline{AB} = (\overline{A+B}) \overline{AB} \\ &= A(\overline{AB}) + B(\overline{AB}) \\ &= \overline{A(\overline{B})} \cdot \overline{B(\overline{A})} \end{aligned}$$

$$J' = \overline{AB}$$

从而得到如图 8-13 所示的逻辑图。

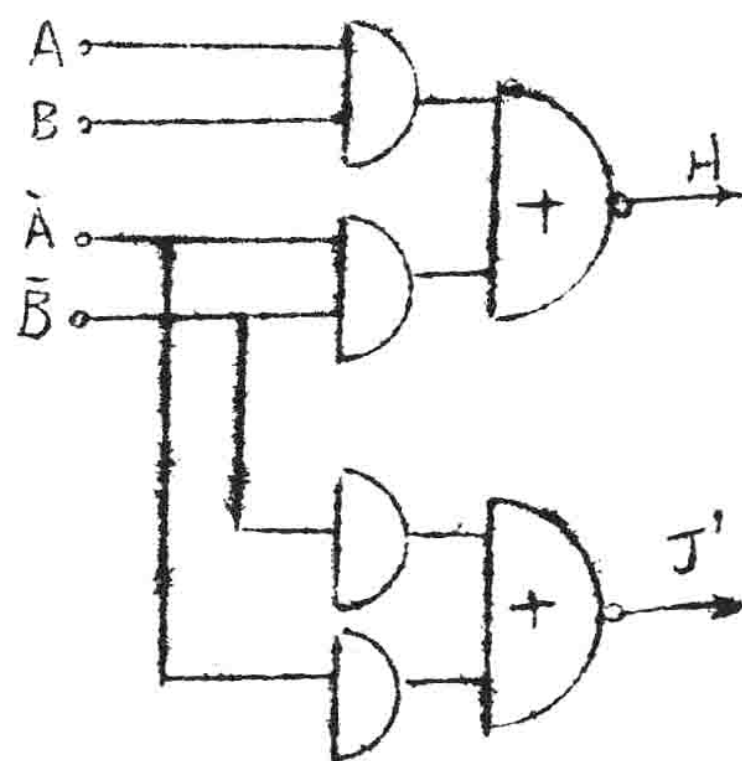


图8-14

图 8-12 与图 8-13 相比较，后者较前者少了两个输入信号，但前者形成 H' 只要经过两级“与非”门的翻门时间（即延迟时间），而后者却要经过三级“与非”门的翻门时间，因此后者比前者传输速度慢。

若具有“与或非”门元件时则逻辑表达式可写成：

$$H' = \overline{AB} + \overline{AB} = \overline{AB} + \overline{AB}$$

$$J' = \overline{AB} = \overline{AB} = \overline{A+B}$$

相应的逻辑图如图 8-14 所示。并用逻辑图可以看到，形成 H' 和 J' 的延迟时间较小，用的元件也较少。

从此例可知，对于一个具体的逻辑表达式进行简化时，要考虑到使用时的实际要求。