



超值赠送
DVD

针对书中每个章节的多媒体精彩视频讲解
书中所有项目案例的程序源代码倾囊相送

FPGA

数字信号处理 与工程应用实践

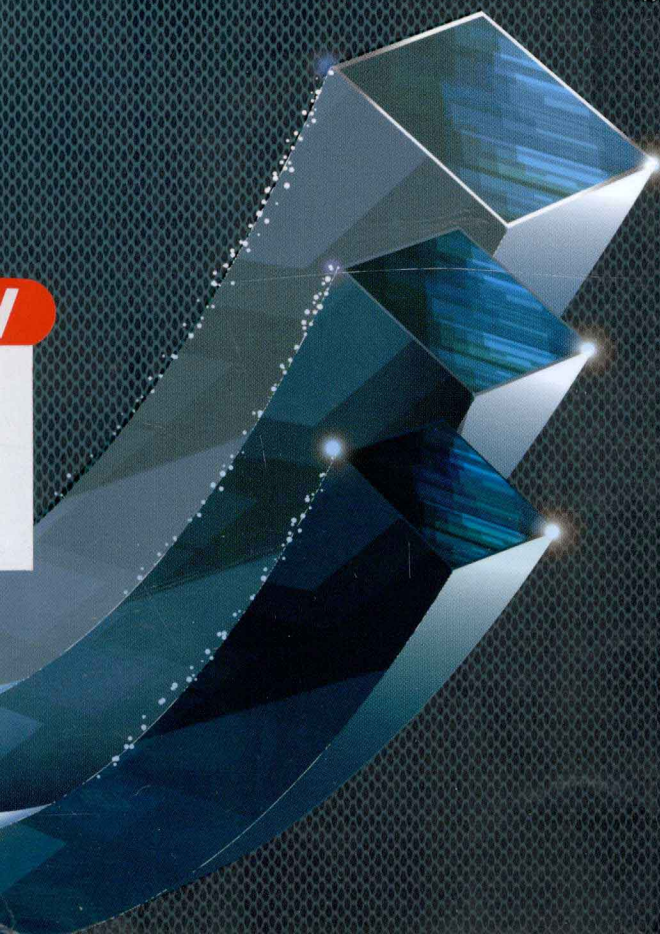
THE ENGINEERING APPLICATION AND DIGITAL
SIGNAL PROCESSING OF FPGA

张春生 苏开友 编著

Getting you the Best Book!

定位于主流数字逻辑系统设计方法，详细介绍FPGA
开发技术以及大型数字系统开发的应用实践。

全面、系统地介绍LDPC码的编译码原理，给出LDPC码的构造、
编译码算法的MATLAB软件实现代码以及FPGA硬件实现代码。



中国铁道出版社
CHINA RAILWAY PUBLISHING HOUSE

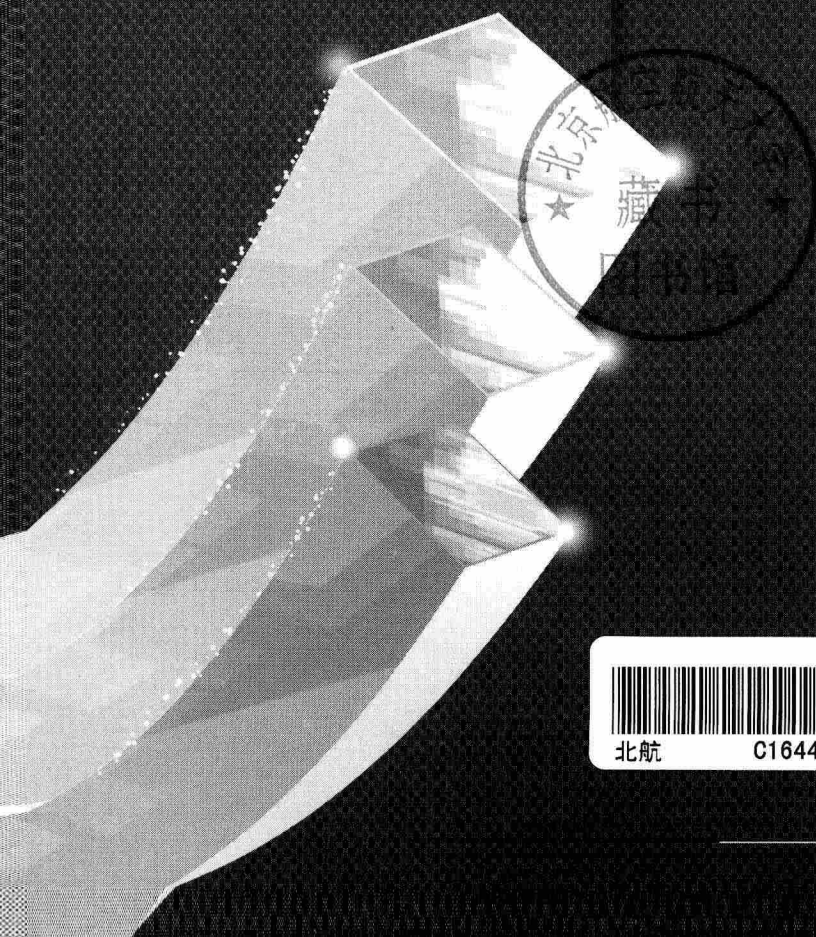
TN911.72
302

FPGA

数字信号处理 与工程应用实践

THE ENGINEERING APPLICATION AND DIGITAL
SIGNAL PROCESSING OF FPGA

张春生 苏开友 编著



北航

C1644099

中国铁道出版社
CHINA RAILWAY PUBLISHING HOUSE

88880810

内 容 简 介

本书全面、系统地介绍了宽带移动通信系统中先进的信道编码技术的软硬件实现,即 Turbo 码和 LDPC 码的 FPGA 实现。首先详细介绍了 FPGA 设计的基础知识,然后讲解信道编码技术中的码的构造、编译码算法和信道编码技术实现相关的软硬件知识,帮助读者建立巩固大型数字系统开发之道。为了帮助读者从了解到实践,书中每章都提供了大量针对性的实例,供读者实战练习。

本书内容介绍全面,注重实践,无论是 FPGA 的初学者、数字系统的开发者,以及希望了解信道编码技术的读者,还是具有一定基础的高级用户,本书都是一本难得的参考书。本书非常适合已经具备一定数字技术和通信技术开发基础,需要软硬件实现的高校本科生、研究生及教师学习使用,还适合作为广大学科和工程技术人员参考书。

图书在版编目(CIP)数据

FPGA 数字信号处理与工程应用实践 / 张春生, 苏开友编著. —北京: 中国铁道出版社, 2013. 6
ISBN 978-7-113-16100-2

I. ①F… II. ①张… ②苏… III. ①可编程序逻辑器件—应用—数字信号处理 IV. ①TN911. 72

中国版本图书馆 CIP 数据核字 (2013) 第 037914 号

书 名: FPGA 数字信号处理与工程应用实践
作 者: 张春生 苏开友 编著

责任编辑: 荆 波
特邀编辑: 赵树刚
责任印制: 赵星辰

读者服务热线: 010-63560056
封面设计: 多宝格·付巍

出版发行: 中国铁道出版社(北京市西城区右安门西街 8 号 邮政编码: 100054)
印 刷: 三河市华丰印刷厂
版 次: 2013 年 6 月第 1 版 2013 年 6 月第 1 次印刷
开 本: 787mm×1092mm 1/16 印张: 32.75 字数: 770 千
书 号: ISBN 978-7-113-16100-2
定 价: 69.80 元(附赠光盘)

版权所有 侵权必究

凡购买铁道版图书, 如有印制质量问题, 请与本社发行部联系调换。

FPGA 是 (Field Programmable Gata Array, 现场可编程门阵列) 当前非常流行的数字逻辑系统设计方法, 其程序设计语言是硬件描述语言 Verilog, 它与 C 语言非常的相似, 只要有 C 语言的基础, 就会非常容易上手。

有了 FPGA 技术, 我们设计硬件数字系统, 再也不用像过去手工连接小芯片形成一个系统, 直接像用 C 语言编写程序一样, 在一个大芯片内部实现所有的数字逻辑, 硬件开发也变成了程序设计, 这让硬件开发变得更加简单和高效率。同时也让数字系统更加稳定可靠, 人们可以用 FPGA 技术设计很多过去不可能设计实现的系统, 特别是在通信技术领域。本书就通过介绍 FPGA 的基础设计知识和一个通信技术领域的大型实例, 帮助读者学习掌握 FPGA 的基本方法和积累大型系统开发经验。

FPGA 因其硬件逻辑电路的并行计算的优势, 在国内, 广泛应用在嵌入式系统和通信系统的开发中, 是国内大型通信公司, 如华为、中兴、大唐等公司高级技术人员必须掌握的关键技术, 也是相关专业研究生、本科生、工程师必须学习的技术。

FPGA 非常适合信道编译码的硬件设计实现, 随着第三代移动通信 (3G) 在国内不断普及, 3G 技术 WCDMA 中信道编码采用的是 Turbo 码, 而 LDPC 码作为 4G 技术的后备编码也越来越受到国内外研究人员的重视, 这两种信道编码技术能提供很高的编码增益, 可用来降低无线设备的发射功率并减小天线尺寸, 因此研究 Turbo 码和 LDPC 码具有巨大的实际意义和经济价值。LDPC (Low Density Parity Check) 码是一种基于稀疏校验矩阵的线性分组码, 由 Gallager 博士于 1962 年发现。十多年来, 随着相关理论的不断发展完善, LDPC 码的实际应用也显得越来越重要。如今, 经过科研人员的努力, 开始在不同领域应用, 例如, 数字卫星电视新标准 DVB-S2 以及 IEEE 802.16e 标准都采用了 LDPC 码。

作为如今最先进的信道编码技术, 吸引着越来越多的科研人员研究该项技术。对于想要进入这一领域的读者而言, 有相关介绍 LDPC 码理论的书籍, 但 LDPC 码的软硬件实现相关实例较少, 阻碍了读者的进一步学习。为弥补这一点, 本书在全面、系统地介绍 LDPC 码的编译码原理等相关理论知识的同时, 给出 LDPC 码的构造、编译码算法的 MATLAB 软件实现代码以及 FPGA 硬件实现代码, 供读者参考。

本书的特点

1. 结构合理, 内容全面、系统

本书详细介绍了 FPGA 的开发技术知识, 以及大型数字系统开发的相关数学知识, 包括矩阵运算、数据可视化、Simulink 仿真、LDPC 码的构造、编译码算法、LDPC 码的 MATLAB 实现、性能分析, 以及 FPGA 从基础到算法的系统介绍, 包括硬件描述语言、器件的选择、FPGA 开发设计软件的使用以及数字逻辑系统的基本模块的实例练习, 最后介绍了简单信道编译码、

Turbo 码和 LDPC 码的 FPGA 设计实现。

从理论到实践，内容丰富全面，在章节编排上采用循序渐进的方法，从基础讲起，读者可根据自身理论水平，合理安排学习进度。

2. 叙述翔实，实例丰富

本书有详细的实例，对于容易出错的地方，都有相应的例子提示，具有很强的针对性。书中的程序都有完整的代码，而且代码非常简洁和高效，便于读者学习和调试。读者也可以直接重用这些代码来解决自己的问题。

3. 语言通俗，图文并茂

对于程序的运行结果，本书给出了大量的图片和数据分析。供读者在使用代码时进行比较，修改或改进代码，进而实现自己预定的目标。书中不仅详细讲解了相关的理论知识，更给出实例，便于读者迅速掌握 LDPC 码的的 FPGA 实现，并做到举一反三，能设计其他大型数字系统。

本书内容体系

本书共 14 章，分为三篇，各篇对应的章节和具体内容介绍如下。

第一篇包括第 1~5 章，主要介绍 FPGA 的基础知识，介绍可编程逻辑器件的基础硬件知识，FPGA 的历史和开发软件的简要介绍。

第二篇包括第 6~11 章，主要介绍与信道编码数学建模实现的相关基础知识，包括矩阵运算、数据可视化、函数的调用、流程控制、M 文件编程知识；同时也讲述了通信信道的 MATLAB 建模，包括有线信道和无线信道，重点讲解无线信道；然后，讲解 LDPC 码相关理论知识，包括码的构造、各种编译码算法；最后一章搭建通信系统模型，验证 LDPC 码的 BER 性能。

第三篇包括第 12~14 章，主要介绍一些简单的信道编译码的 FPGA 设计实现方法，已经很成熟的 Turbo 码编译码的 FPGA 设计实现方法和当前的研究热点 LDPC 码编译码的 FPGA 设计实现方法。从最基本的算法思想到功能模块的设计，从结构体系的设计到底层的每一个模块的设计，都进行细致的介绍。

随书附赠光盘

为了让本书的读者得到更好的学习效果，我们特地制作了光盘，光盘中包括书中每一章内容的精彩视频讲解以及书中所有案例的程序源代码。

本书读者对象

- FPGA 初学者。
- 通信技术初学者。
- 信道编码技术爱好者。
- 利用 FPGA 进行编程和开发的技术人员。
- 大中专院校的学生和老师。

编 者
2013 年 3 月

读者意见反馈表

亲爱的读者：

感谢您对中国铁道出版社的支持，您的建议是我们不断改进工作的信息来源，您的需求是我们不断开拓创新的基础。为了更好地服务读者，出版更多的精品图书，希望您能在百忙之中抽出时间填写这份意见反馈表发给我们。随书纸制表格请在填好后剪下寄到：北京市西城区右安门西街8号中国铁道出版社综合编辑部 荆波 收（邮编：100054）。或者采用传真（010-63549458）方式发送。此外，读者也可以直接通过电子邮件把意见反馈给我们，E-mail地址是：jb@163.jb18803242@yahoo.com.cn。我们将选出意见中肯的热心读者，赠送本社的其他图书作为奖励。同时，我们将充分考虑您的意见和建议，并尽可能地给您满意的答复。谢谢！

所购书名：_____

个人资料：

姓名：_____ 性别：_____ 年龄：_____ 文化程度：_____

职业：_____ 电话：_____ E-mail：_____

通信地址：_____ 邮编：_____

您是如何得知本书的：

☐书店宣传 ☐网络宣传 ☐展会促销 ☐出版社图书目录 ☐老师指定 ☐杂志、报纸等的介绍 ☐别人推荐

☐其他（请注明）_____

您从何处得到本书的：

☐书店 ☐邮购 ☐商场、超市等卖场 ☐图书销售的网站 ☐培训学校 ☐其他

影响您购买本书的因素（可多选）：

☐内容实用 ☐价格合理 ☐装帧设计精美 ☐带多媒体教学光盘 ☐优惠促销 ☐书评广告 ☐出版社知名度

☐作者名气 ☐工作、生活和学习的需要 ☐其他

您对本书封面设计的满意程度：

☐很满意 ☐比较满意 ☐一般 ☐不满意 ☐改进建议

您对本书的总体满意程度：

从文字的角度 ☐很满意 ☐比较满意 ☐一般 ☐不满意

从技术的角度 ☐很满意 ☐比较满意 ☐一般 ☐不满意

您希望书中图的比例是多少：

☐少量的图片辅以大量的文字 ☐图文比例相当 ☐大量的图片辅以少量的文字

您希望本书的定价是多少：

本书最令您满意的是：

1.

2.

您在使用本书时遇到哪些困难：

1.

2.

您希望本书在哪些方面进行改进：

1.

2.

您需要购买哪些方面的图书？对我社现有图书有什么好的建议？

您更喜欢阅读哪些类型和层次的计算机书籍（可多选）？

☐入门类 ☐精通类 ☐综合类 ☐问答类 ☐图解类 ☐查询手册类 ☐实例教程类

您在学习计算机的过程中有什么困难？

您的其他要求：



北航

C1644099

第一篇 FPGA 设计基础篇

第 1 章 FPGA 开发基础知识

1.1 可编程逻辑器件基础	2
1.1.1 可编程逻辑器件概述	2
1.1.2 FPGA 的发展历史	4
1.1.3 FPGA 器件开发工具	4
1.2 FPGA 器件的基础知识	5
1.2.1 FPGA 芯片的工作原理	5
1.2.2 FPGA 基本架构	7
1.3 FPGA 基本开发流程及其工具	12
1.3.1 功能定义和器件选型	14
1.3.2 设计输入	14
1.3.3 功能仿真	14
1.3.4 综合优化	14
1.3.5 综合后仿真	15
1.3.6 实现与布局布线	15
1.3.7 时序仿真	15
1.3.8 芯片编程与调试	15
1.4 FPGA 技术的优势及发展趋势	17
1.4.1 FPGA 技术的开发优势	17
1.4.2 FPGA 发展趋势	18
1.5 本章总结	19

第 2 章 基于 Verilog HDL 的设计流程

2.1 Verilog HDL 的基本知识	20
2.1.1 硬件描述语言 Verilog HDL 的历史	20
2.1.2 Verilog HDL 与其他硬件描述语言的比较	21
2.1.3 Verilog HDL 的主要功能	21
2.1.4 Verilog HDL 的设计流程简介	22

- 2.2 Verilog 的基本语法 24
 - 2.2.1 模块结构、数据类型、变量和基本运算符 24
 - 2.2.2 功能描述语句 30
 - 2.2.3 系统任务和预处理语句 33
- 2.3 Verilog 的高阶语法 39
 - 2.3.1 设计模型的不同抽象级别 39
 - 2.3.2 简单组合逻辑模块 44
 - 2.2.3 简单时序逻辑模块 47
 - 2.3.4 状态机的原理、结构和设计 49
- 2.4 本章总结 51

第 3 章 FPGA 器件选择

- 3.1 如何选择合适的器件 52
 - 3.1.1 FPGA 目标平台的选择和开发工具的支持 52
 - 3.1.2 器件的硬件资源 53
 - 3.1.3 电气接口标准 54
 - 3.1.4 器件的速度等级 54
 - 3.1.5 器件的温度等级 55
 - 3.1.6 器件的封装 55
 - 3.1.7 器件的价格 55
- 3.2 Xilinx 芯片 55
 - 3.2.1 Spartan-2 系列 55
 - 3.2.2 Spartan-2E 系列 56
 - 3.2.3 Spartan-3 系列 57
 - 3.2.4 Spartan-3E 系列 58
 - 3.2.5 Spartan-3A 系列 59
 - 3.2.6 Spartan-3A DSP 系列 60
 - 3.2.7 Spartan-3AN 系列 61
 - 3.2.8 Vitrex 系列 61
- 3.3 Xilinx PROM 芯片介绍 65
- 3.4 Altera 芯片 66
 - 3.4.1 Cyclone 系列 66
 - 3.4.2 Cyclone II 系列 68
 - 3.4.3 Stratix 系列 70
 - 3.4.4 Stratix GX 系列 72
 - 3.4.5 Stratix II 系列 74

3.5 Actel 芯片	76
3.5.1 ProASIC3 系列	76
3.5.2 ProASIC3L 系列	78
3.5.3 Fusion 系列	79
3.5.4 IGLOO 系列	81
3.5.5 IGLOO+ 系列	83
3.5.6 nano 系列	84
3.6 Lattice 芯片	87
3.6.1 LatticeECP4 系列	87
3.6.2 LatticeECP3 系列	89
3.6.3 LatticeECP2 系列	90
3.6.4 LatticeSC (System Chip) 系列	91
3.6.5 MachXO2 系列	93
3.6.6 MachXO 系列	94
3.6.7 LatticeXP2 系列	95
3.7 Atmel 芯片	96
3.8 本章总结	97

第 4 章 ISE 设计指南

4.1 ISE 套件概述	98
4.2 ISE 菜单操作	99
4.2.1 ISE 用户界面	99
4.2.2 File 菜单	100
4.2.3 Edit 菜单	100
4.2.4 View 菜单	101
4.2.5 Project 菜单	101
4.2.6 Source 菜单	102
4.2.7 Process 菜单	102
4.2.8 Windows 菜单	103
4.3 ISE 工程建立与设计输入	103
4.3.1 新建工程	103
4.3.2 HDL 输入	105
4.3.3 原理图输入	107
4.3.4 状态机输入	109
4.4 ISE 的 IP 核设计	117
4.4.1 IP 核简介	118

4.4.2 IP 核的应用	118
4.5 ISE 用户约束文件	122
4.5.1 约束文件的简述	122
4.5.2 UCF 文件的语法	123
4.5.3 引脚和区域约束语法	123
4.5.4 时序约束语法	124
4.6 ISE 设计综合和行为仿真	126
4.6.1 ISE 综合	126
4.6.2 ISE 行为仿真	130
4.7 ISE 设计实现和时序仿真	134
4.7.1 引脚约束	134
4.7.2 ISE 设计实现	136
4.8 ISE 设计下载	140
4.9 ISE 与第三方软件	142
4.9.1 ModelSim 软件	142
4.9.2 Synplify Pro 软件	143
4.10 ISE 高级组件	144
4.10.1 在线逻辑分析仪 Chipscope	144
4.10.2 平面布局规划器 PlanAhead	145
4.10.3 时序分析器 Timing Analyzer	146
4.10.4 底层编辑器 FPGA Editor	147
4.10.5 布局规划器 Floorplanner	148
4.11 本章总结	148

第5章 FPGA 开发实例

5.1 直接数字式频率合成器	149
5.1.1 DDS 基本原理	149
5.1.2 DDS 算法的 FPGA 实现	151
5.2 FIR 滤波器	154
5.2.1 数字滤波器的分类	155
5.2.2 设计指标及描述	155
5.2.3 FIR 滤波器的 FPGA 实现	156
5.3 QPSK 调制器	160
5.3.1 QPSK 基本原理	161
5.3.2 QPSK 调制系统	162

5.3.3 QPSK 调制解调器的 FPGA 实现	163
5.4 序列检测器	168
5.5 简化的 RISC_CPU 设计	173
5.6 简单卷积器的设计	189
5.7 利用 SRAM 设计一个 FIFO	201
5.8 本章总结	207

第二篇 数字系统的建模与仿真

第 6 章 MATLAB 概论

6.1 MATLAB R2012a 简介	211
6.1.1 MATLAB R2012a 的新特点	211
6.1.2 MATLAB 主要组成部分	212
6.1.3 MATLAB 对硬件和软件的要求	213
6.1.4 安装步骤	213
6.1.5 MATLAB R2012a 的其他操作	220
6.2 MATLAB 的开发环境	221
6.2.1 主菜单和工具栏	221
6.2.2 工作界面的各个窗口	222
6.2.3 MATLAB R2012a 通用命令	224
6.2.4 MATLAB 7.0 帮助系统	225
6.3 M 文件编辑器	228
6.3.1 M 文件的创建及界面	228
6.3.2 M 文件的运行和调试	228
6.3.3 M 文件的参数设置	229
6.4 本章总结	231

第 7 章 信道编译码仿真中 MATLAB 的相关基础知识

7.1 矩阵运算基础	232
7.1.1 矩阵的创建	232
7.1.2 矩阵信息的查询与获取	235
7.1.3 矩阵变换	238
7.1.4 矩阵和数组的数学运算	246
7.1.5 矩阵函数和矩阵元素的数学函数	252
7.2 MATLAB 的程序设计基础	257

7.2.1	变量.....	257
7.2.2	程序流程控制.....	258
7.2.3	程序的调试.....	262
7.2.4	程序的优化.....	263
7.3	MATLAB 的数据可视化	264
7.3.1	二维绘图.....	265
7.3.2	图形处理.....	268
7.4	Simulink 基础.....	272
7.4.1	Simulink 初识.....	272
7.4.2	Simulink 建模.....	275
7.4.3	Simulink 仿真实例——典型的数字通信系统.....	284
7.5	本章总结.....	286

第8章 通信信道建模与仿真

8.1	有线信道建模与仿真	288
8.1.1	光纤通信.....	288
8.1.2	光放大器噪声模型.....	289
8.2	无线信道建模与仿真	290
8.2.1	莱斯和瑞利衰落信道模型.....	291
8.2.2	莱斯和瑞利衰落信道模型的 MATLAB 实现.....	293
8.2.3	Jakes 衰落信道模型	296
8.2.4	多径非相关瑞利衰落信道仿真模型.....	298
8.2.5	COST207 信道模型	301
8.2.6	MATLAB 中的无线信道仿真函数.....	308
8.3	本章总结.....	310

第9章 LDPC 码

9.1	线性分组码	311
9.1.1	校验矩阵.....	312
9.1.2	生成矩阵.....	312
9.1.3	系统编码.....	313
9.2	LDPC 码的表示	313
9.2.1	LDPC 码的矩阵表示	313
9.2.2	LDPC 码的 Tanner 图表示	314
9.2.3	度数分布.....	315

9.3	LDPC 码的构造.....	315
9.3.1	校验矩阵的随机构造.....	315
9.3.2	校验矩阵的结构化构造.....	316
9.3.3	实用型的构造方法.....	318
9.3.4	IEEE 802.16e 标准 LDPC 码的构造.....	319
9.4	二进制 LDPC 码的编码方法.....	321
9.4.1	基于高斯消去的编码.....	321
9.4.2	基于近似下三角矩阵的编码.....	322
9.4.3	IEEE 802.16e 标准 LDPC 码的快速编码.....	322
9.5	二进制 LDPC 码的译码方法.....	324
9.5.1	概率 BP 算法.....	324
9.5.2	LLR BP 算法.....	326
9.5.3	UMP BP_Based 算法.....	328
9.5.4	其他改进算法.....	328
9.6	本章总结.....	329

第 10 章 LDPC 码的 MATLAB 仿真实现

10.1	Gallager 构造的 LDPC 码的 MATLAB 仿真实现.....	330
10.2	Block-LDPC 码的构造和编码算法仿真实现.....	331
10.2.1	Block-LDPC 码的构造.....	331
10.2.2	Block-LDPC 码基于近似下三角矩阵的编码算法.....	338
10.3	IEEE 802.16e 标准的 LDPC 码的 MATLAB 仿真实现.....	339
10.3.1	IEEE 802.16e 标准的 LDPC 码的构造.....	339
10.3.2	IEEE 802.16e 标准 LDPC 码的编码算法.....	341
10.4	LDPC 码译码算法仿真实现.....	343
10.4.1	LLR BP 算法仿真实现.....	343
10.4.2	UMP BP-Based 算法仿真.....	346
10.5	本章总结.....	347

第 11 章 LDPC 码在无线通信信道下的仿真实例

11.1	AWGN 信道中的 LDPC 码的性能分析.....	348
11.1.1	Block-LDPC 码的仿真.....	349
11.1.2	IEEE 802.16e 标准 LDPC 码的仿真.....	355
11.2	LDPC 码在瑞利和莱斯衰落信道中的性能分析.....	359
11.2.1	Block-LDPC 码在莱斯信道中的性能分析.....	359

11.2.2	Block-LDPC 码在瑞利信道中的性能分析	360
11.2.3	莱斯和瑞利信道的比较	361
11.3	IEEE 802.16e 标准 LDPC 码在瑞利信道和赖斯信道中的性能分析	362
11.3.1	IEEE 802.16e 标准 LDPC 码在莱斯信道中的性能分析	362
11.3.2	IEEE 802.16e 标准 LDPC 码在瑞利信道中的性能分析	363
11.4	两种 LDPC 码在 Jakes 衰落信道模型下的性能分析	363
11.5	多径非相关瑞利衰落信道下的性能分析	367
11.6	本章总结	368

第三篇 通信系统中的 FPGA 实现

第 12 章 简单信道编译码的 FPGA 实现

12.1	信道编码的作用	372
12.2	线性分组码	373
12.3	线性分组码的 FPGA 实现	375
12.4	RS 码	378
12.4.1	RS 码的原理	378
12.4.2	编码器分类	380
12.4.3	码型的选择	382
12.5	RS 码的 FPGA 实现	382
12.5.1	加法器	382
12.5.2	乘法器	383
12.5.3	编码电路的实现	385
12.5.4	顶层文件	386
12.5.5	编码控制模块	387
12.5.6	系数乘法模块	388
12.5.7	编码结果	391
12.6	CRC 校验码	392
12.7	CRC 码的 FPGA 实现	394
12.7.1	顶层模块	395
12.7.2	编码控制模块	395
12.7.3	并行计算等式模块	397
12.7.4	ModelSim 仿真结果	398
12.8	卷积码	400
12.9	卷积码的 FPGA 实现	403

12.10	Viterbi 译码	405
12.10.1	Viterbi 译码原理	406
12.10.2	Viterbi 算法的基本原理	407
12.11	Viterbi 译码的 FPGA 实现	408
12.11.1	顶层模块	409
12.11.2	控制模块	410
12.11.3	计算幸存路径模块	412
12.12	本章总结	420

第 13 章 Turbo 码编译码的 FPGA 实现

13.1	Turbo 码中的交织器	421
13.2	规则交织器	422
13.2.1	分组交织器	422
13.2.2	分组螺旋交织器	422
13.3	伪随机交织器	422
13.3.1	S 随机交织器	422
13.3.2	模 k 交织器	423
13.4	交织器的 FPGA 实现	423
13.4.1	交织器程序源码	424
13.4.2	双口 RAM 的 IP 核模块	426
13.4.3	ModelSim 仿真结果	427
13.5	Turbo 码编码器的算法	428
13.5.1	Turbo 码编码器结构	428
13.5.2	分量编码器	430
13.5.3	删余矩阵	431
13.6	Turbo 码编码的 FPGA 设计	432
13.6.1	顶层模块	432
13.6.2	交织器实现	434
13.6.3	ModelSim 仿真结果	436
13.7	分量编码器的 FPGA 实现	437
13.7.1	分量编码器顶层模块	437
13.7.2	并串转换实现	438
13.7.3	卷积码编码器实现	440
13.7.4	串并转换模块实现	443
13.7.5	删余器实现	445

13.7.6 控制模块.....	446
13.8 Turbo 码译码器的结构	450
13.8.1 软判决译码和硬判决译码.....	450
13.8.2 Turbo 码译码器结构	451
13.8.3 Turbo 码译码算法	452
13.9 Turbo 码译码器的 FPGA 实现.....	455
13.9.1 欧氏距离的计算.....	455
13.9.2 路径度量的计算.....	457
13.9.3 幸存路径的计算.....	458
13.9.4 软输出信息的计算.....	459
13.9.5 外信息的计算.....	462
13.9.6 迭代译码以及欧氏距离的更新.....	462
13.9.7 顶层程序.....	463
13.9.8 最后硬判决的解交织器.....	468
13.10 本章总结	475

第 14 章 LDPC 编译码的 FPGA 实现

14.1 IEEE 802.16e 标准 LDPC 码的构造.....	476
14.1.1 QC-LDPC 码的概念	476
14.1.2 校验矩阵的构造.....	477
14.2 LDPC 编码器的设计.....	479
14.2.1 传统的编码算法.....	479
14.2.2 基于 RU 算法的编码器结构	479
14.2.3 矩阵乘法器模块.....	481
14.2.4 前向置换模块.....	485
14.2.5 模块的端口定义和 ip 核调用	486
14.2.6 单位循环矩阵的存储.....	488
14.3 LDPC 译码器的设计.....	488
14.3.1 软判决译码算法 LLR BP	489
14.3.2 最小和算法 (MS)	490
14.4 LDPC 码译码器的 FPGA 实现.....	492
14.4.1 LDPC 码基于最小和 (MS) 算法的译码器结构	492
14.4.2 MS_LDPC 顶层模块	493
14.4.3 Control 控制单元模块	495
14.4.4 VNP 变量节点处理单元.....	497
14.4.5 CNP 校验节点处理单元.....	499

14.4.6	Mess_mem 中间信息存储器	505
14.4.7	Src_mem 初始数据寄存器	505
14.4.8	inter_rom 交织存储器	506
14.4.9	modelsim 结果图	507
14.5	本章总结	507