

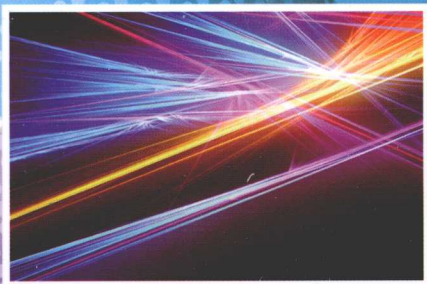


普通高等教育“十二五”规划教材

◎ 电子信息科学与工程类专业 规划教材

ARM Cortex-M3 微控制器原理与应用

◎ 张永辉 主编 ◎ 沈重 陈褒丹 白勇 副主编



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

013044970

TP332.3
357

电子信息科学与工程类专业规划教材

内容简介

本书介绍了ARM Cortex-M3微控制器的原理与应用。全书共分10章，主要内容包括：ARM Cortex-M3微控制器的体系结构、指令系统、中断系统、总线系统、外设接口、实时操作系统、应用开发、PCB设计、测试与调试等。本书可作为高等院校电子信息工程、通信工程、计算机科学与技术、集成电路设计与集成系统等专业及相关专业的教材，也可供从事微控制器应用开发的工程技术人员参考。

ARM Cortex-M3 微控制器原理与应用

张永辉 主编

沈重 陈褒丹 白勇 副主编



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING



北航 C1651640

TP332.3
357

内 容 简 介

本书从基础的理论知识到实际的应用开发，详细地介绍了 ARM Cortex-M3 微控制器的内核体系结构，包括其内核组件、总线结构、流水线、指令集、编程模型、存储器系统、电源管理、系统时钟和复位、异常模型以及调试系统等。本书选取恩智浦半导体（NXP）公司的 ARM Cortex-M3 系列芯片 LPC176x 微控制器为例，详细介绍了 LPC1700 系列微控制器的内核结构与高级外设的工作原理及应用开发方法，以及基于 CMSIS 接口标准软件设计方法。本书的例程已在 LPCXpresso 开发平台上调试通过，该平台可与本书配合使用。

本书内容丰富实用、层次清晰、叙述详尽，方便教学与自学，可作为高等院校电子信息类专业本科生及研究生“嵌入式系统”课程的入门教程，也可供从事嵌入式系统设计的研发人员参考。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目（CIP）数据

ARM Cortex-M3 微控制器原理与应用 / 张永辉主编. —北京：电子工业出版社，2013.3

电子信息科学与工程类专业规划教材

ISBN 978-7-121-19046-9

I. ①A… II. ①张… III. ①微控制器—高等学校—教材 IV. ①TP332.3

中国版本图书馆 CIP 数据核字（2012）第 281553 号

责任编辑：凌 毅 文字编辑：任欢欢

印 刷：涿州市京南印刷厂

装 订：涿州市京南印刷厂

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：787×1 092 1/16 印张：20 字数：538 千字

印 次：2013 年 3 月第 1 次印刷

印 数：3 000 册 定价：36.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zltz@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

前 言

随着新一代信息通信技术的迅猛发展，嵌入式系统的应用无处不在。ARM 公司是目前公认的业界领先的 32 位嵌入式 RISC（精简指令计算机）微控制器设计公司，目前全世界有 200 多家领先的半导体厂商获得了 ARM 授权，基于 ARM 内核的微控制器占领了 32 位嵌入式系统的大部分份额。ARM Cortex-M 微处理器系列是一系列可向上兼容的高能效、易操作的处理器，采用 ARM 公司最新的微控制器 ARMv7 版本内核体系结构。ARM Cortex-M3 作为 Cortex-M 系列的第一款微处理器，集 8 位单片机的价格和 32 位 ARM 处理器的性能于一身，毫不夸张地说，可以看做 MCS-51 单片机时代的终结者。

NXP 公司的 LPC1700 系列微控制器，采用的是第二代 Cortex-M3 内核，时钟速度可达 120MHz，可以实现更低的功耗和维持更久的电池寿命，在调试和解决疑难问题的过程中，具有更好的灵活性，在电子仪表、照明、工业网络、报警系统、白色家电和电机控制等领域中得到广泛的应用。本书主要以 LPC1700 系列微控制器为硬件平台，详细介绍 ARM Cortex-M3 微处理器的原理与应用开发技术。

第 1 章简要介绍 ARM Cortex-M3 内核的基础知识，包括 ARM Cortex-M3 体系结构和内核分类，并列举 NXP 公司的 Cortex-M3 系列产品，为处理器的选型提供参考。

第 2 章介绍 Cortex-M3 内核，包括 Cortex-M3 微控制器内核结构、编程模型和指令集知识，以及存储器映射、时钟、异常和电源管理等内容。通过本章的阅读，可使读者了解 Cortex-M3 的内部结构和基本工作原理。

第 3 章介绍 LPC1700 系列微控制器基本结构，包括系统控制单元、存储器总线结构、电源管理、时钟、引脚配置、嵌套中断向量控制器、定时器和调试接口等。

第 4 章介绍 LPC1700 系列微控制器高级接口，包括串行口 UART、SPI、I²C、PWM、正交编码接口 QEI、A/D 和 D/A 转换器、USB 总线等。

第 5 章介绍基于 CMSIS 接口标准软件设计，包括 Cortex 微控制器软件接口标准 CMSIS 的基本构架、如何在 LPCXpresso 软件中使用 CMSIS 等。通过本章的阅读，读者可以掌握基于 CMSIS 接口标准的函数的使用。

本书由张永辉博士组织编写和完成。在此感谢海南大学信息科学技术学院院长杜文才教授对于本书编写工作的大力支持，团队成员沈重教授、陈褒丹高级工程师、白勇博士、任佳博士和易家傅、丁洁等多位同事参与了本书的编写工作，蔡继兴、李青倩、金鑫、黄潇和潘奇等硕士研究生负责了本书编写过程中的资料整理工作。本书的出版得到了海南大学 211 工程专项资金支持，在编写过程中得到了 NXP 公司金宇杰先生、王朋朋女士、张宇先生以及北京胜创特公司罗光军先生的大力支持和帮助，在此表示感谢！

鉴于 Cortex-M3 的强大功能和 LPC1700 系列微控制器的丰富外设，限于篇幅，本书只对部分内容进行了介绍，关于通用 DMA、SSP、I²S、CAN 总线和以太网部分，请读者参考 LPC1700 用户手册。由于编者的水平有限，书中难免存在遗漏与不足之处，恳请读者批评指正。

编 者
2013 年 2 月

反侵权盗版声明

电子工业出版社依法对本作品享有专有出版权。任何未经权利人书面许可，复制、销售或通过信息网络传播本作品的行为；歪曲、篡改、剽窃本作品的行为，均违反《中华人民共和国著作权法》，其行为人应承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。

为了维护市场秩序，保护权利人的合法权益，我社将依法查处和打击侵权盗版的单位和个人。欢迎社会各界人士积极举报侵权盗版行为，本社将奖励举报有功人员，并保证举报人的信息不被泄露。

举报电话：(010) 88254396；(010) 88258888

传 真：(010) 88254397

E-mail: dbqq@phei.com.cn

通信地址：北京市万寿路 173 信箱

电子工业出版社总编办公室

邮 编：100036

目 录

第 1 章 ARM Cortex-M3 微处理器	1
1.1 ARM Cortex 系列微处理器简介	1
1.1.1 Cortex-A 系列	2
1.1.2 Cortex-R 系列	2
1.1.3 Cortex-M 系列	2
1.1.4 经典 ARM 处理器的 Cortex 替代方案	3
1.2 ARM Cortex-M3 微处理器	4
1.2.1 Cortex-M3 的版本	5
1.2.2 Cortex-M3 处理器应用领域	8
1.2.3 Cortex-M3 处理器的实现	8
1.3 从 ARM7 升级到 ARM Cortex-M3	9
1.4 NXP 公司 Cortex-M3 系列微处理器	10
1.4.1 LPC1300 系列	11
1.4.2 LPC1700 系列	11
1.4.3 LPC1800 系列	13
1.5 ARM Cortex-M3 微处理器开发工具	14
1.5.1 Cortex-M3 开发套件	15
1.5.2 嵌入式操作系统支持	20
习题 1	21
第 2 章 ARM Cortex-M3 内核体系结构	22
2.1 Cortex-M3 处理器组件	22
2.1.1 处理器内核	23
2.1.2 嵌套向量中断控制器 NVIC	23
2.1.3 总线矩阵	24
2.1.4 存储器保护单元 MPU	24
2.1.5 系统调试组件	24
2.1.6 调试端口 SW/SWJ-DP	26
2.1.7 AHB 访问端口 AHB-AP	27
2.1.8 唤醒中断控制器 WIC	27
2.1.9 ROM 表	27
2.2 总线结构	28
2.3 流水线	29
2.4 指令集	29
2.5 编程模型	30
2.5.1 工作模式	30
2.5.2 工作状态	30
2.5.3 特权访问和用户访问	30

2.5.4	主堆栈和进程堆栈	32
2.5.5	寄存器组	33
2.5.6	数据类型	38
2.6	存储器系统	38
2.6.1	存储器映射	38
2.6.2	位带操作	40
2.6.3	存储器格式	41
2.7	系统时钟和复位	43
2.7.1	时钟	43
2.7.2	复位	43
2.7.3	复位序列	45
2.8	电源管理	46
2.9	异常	47
2.9.1	异常模型	47
2.9.2	异常类型	48
2.9.3	异常优先级	49
2.9.4	异常处理	50
2.10	调试系统	52
	习题 2	53
第 3 章	LPC1700 系列微处理器基础	54
3.1	LPC1700 微处理器结构	54
3.2	存储器系统	55
3.2.1	存储器映射	55
3.2.2	APB 外设地址	56
3.2.3	存储器重映射	57
3.2.4	片上 Flash 存储器系统	57
3.2.5	片上静态 RAM	57
3.2.6	Flash 存储器加速器	57
3.2.7	Flash 存储器接口和编程	59
3.3	系统控制单元	60
3.3.1	复位电路	60
3.3.2	掉电检测	62
3.3.3	外部中断输入	62
3.3.4	系统控制和状态寄存器	64
3.4	系统时钟	65
3.4.1	振荡器	66
3.4.2	时钟源选择多路复用	68
3.4.3	锁相环 PLL0	68
3.4.4	锁相环 PLL1	76
3.4.5	时钟分频器	80
3.4.6	外部时钟输出引脚	82

3.5	实时时钟 RTC	83
3.5.1	RTC 引脚描述和配置	83
3.5.2	寄存器描述	84
3.5.3	RTC 中断	89
3.5.4	校准过程	89
3.5.5	RTC 基本操作	90
3.5.6	RTC 使用注意事项	92
3.6	电源管理	92
3.6.1	功率模式控制寄存器	92
3.6.2	外设功率控制寄存器	93
3.6.3	睡眠模式	95
3.6.4	深度睡眠模式	95
3.6.5	掉电模式	95
3.6.6	深度掉电模式	96
3.6.7	唤醒定时器	96
3.7	引脚及 I/O 功能配置	96
3.7.1	引脚布局	96
3.7.2	引脚连接模块	99
3.8	通用输入/输出 GPIO	108
3.8.1	GPIO 引脚描述	108
3.8.2	GPIO 寄存器描述	114
3.8.3	GPIO 使用示例	123
3.9	嵌套向量中断控制器 NVIC	123
3.9.1	中断源	124
3.9.2	向量表的重新映射	125
3.9.3	寄存器描述	126
3.10	定时器	134
3.10.1	通用定时器 0/1/2/3	135
3.10.2	重复中断定时器 RIT	142
3.10.3	看门狗定时器 WDT	145
3.10.4	系统节拍定时器	149
3.11	调试接口	153
3.11.1	概述	153
3.11.2	调试端口引脚	153
3.11.3	调试接口电路	154
3.11.4	调试注意事项	155
	习题 3	155
第 4 章	LPC1700 系列微处理器高级接口	156
4.1	通用异步收发器 UART	156
4.1.1	概述	156
4.1.2	UART 接口引脚与配置	156

4.1.3	UART 接口电路设计	157
4.1.4	寄存器功能描述	159
4.1.5	UART 基本操作	168
4.1.6	UART 程序示例	171
4.2	串行总线接口 SPI 和 I ² C	175
4.2.1	SPI 接口	175
4.2.2	I ² C 接口	179
4.3	脉宽调制器 PWM	193
4.3.1	概述	193
4.3.2	引脚描述和配置	194
4.3.3	寄存器描述	195
4.3.4	PWM 波形举例	200
4.3.5	PWM 程序示例	202
4.4	正交编码接口 QEI	203
4.4.1	QEI 简介	203
4.4.2	功能概述	203
4.4.3	引脚描述和配置	206
4.4.4	寄存器描述	207
4.4.5	QEI 基本操作	213
4.5	模数转换器和数模转换器	214
4.5.1	模数转换器	214
4.5.2	数模转换器	218
4.6	USB 总线接口	219
4.6.1	USB 设备控制器	220
4.6.2	USB 主机控制器	263
4.6.3	USB OTG 控制器	265
4.6.4	USB 固件库	282
	习题 4	289
第 5 章	基于 CMSIS 接口标准软件设计	290
5.1	CMSIS 标准简介	290
5.2	CMSIS 代码规范	292
5.3	CMSIS 文件结构	293
5.4	CMSIS 例子程序	298
	习题 5	300
附录 A	Cortex-M3 指令集	301
A.1	指令集汇总	301
A.2	内在函数	303
附录 B	缩写	305
附录 C	术语表	307
参考文献	310

第 1 章 ARM Cortex-M3 微处理器

ARM Cortex-M3 内核处理器是 ARM 公司最新体系架构的一个重要系列，本章简要介绍 ARM Cortex-M3 内核的基础知识，包括 ARM Cortex-M3 体系结构和内核分类，并列举 NXP 公司的 Cortex-M3 系列产品，为处理器的选型提供参考。

1.1 ARM Cortex 系列微处理器简介

ARM 是 32 位嵌入式微处理器的行业领先提供商，它已推出各种各样基于通用架构的处理器，这些处理器具有行业领先的高性能，而且系统成本也有所降低。与业界最广泛的体系（拥有超过 750 个可提供芯片、工具和软件的合作伙伴）相结合，已推出的一系列 20 多种处理器可以解决所有应用难题。迄今为止，ARM 已生产超过 200 亿个处理器，每天的销量超过 1000 万，是真正意义上的数字世界的架构（the Architecture for the Digital World）。

ARM 公司的经典处理器 ARM11、ARM9 和 ARM7 处理器系列在全球范围内被广泛授权，为众多应用领域提供性价比高的解决方案。在 ARM11 之后人们期待 ARM 公司会延续此前的命名方法推出更高性能的 ARM12、ARM13 等系列处理器，可是 ARM 公司一改常态，推出了全新的 ARMv7 架构的 ARM Cortex 系列微处理器，在这个版本中，内核架构首次从单一款式变成 3 种款式：Cortex-A 系列、Cortex-R 系列和 Cortex-M 系列。ARM 公司微处理器的架构如图 1-1 所示。

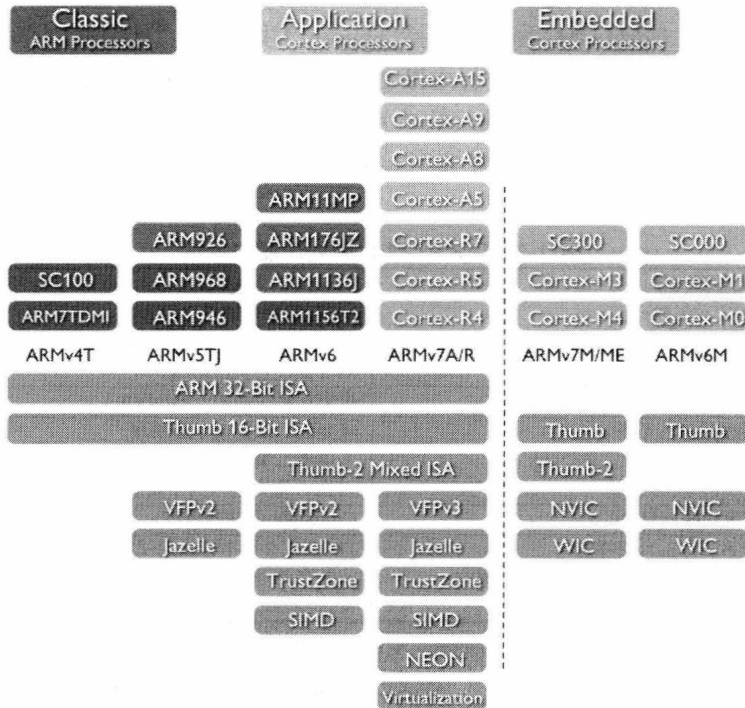


图 1-1 ARM 公司微处理器的架构图

1.1.1 Cortex-A 系列

Cortex-A 系列面向复杂的尖端应用程序，用于运行开放式的复杂操作系统，在 MMU（内存管理单元）、用于多媒体应用程序的可选 NEON 处理单元以及支持半精度、单精度和双精度运算的高级硬件浮点单元的基础上实现了虚拟内存系统架构，支持传统的 ARM、Thumb 指令集和新增的高性能紧凑型 Thumb-2 指令集，强调高性能与合理的功耗，存储器管理支持虚拟地址。它适用于高端消费电子设备、网络设备、移动 Internet 设备和企业市场。高性能的 Cortex-A15、可伸缩的 Cortex-A9、经过市场验证的 Cortex-A8 处理器和高效的 Cortex-A5 处理器均共享同一体系结构，具有完整的应用兼容性。

1.1.2 Cortex-R 系列

Cortex-R 系列是针对实时系统的嵌入式处理器。在 MPU（内存保护单元）的基础上实现了受保护内存系统架构，主要着重于在各种功耗敏感型应用中提供具有高确定性的实时行为。Cortex-R 处理器通常执行实时操作系统(RTOS)和用户开发的应用程序代码，因此只需内存保护单元 MPU，而不需要应用程序处理器中提供的 MMU，适用于高性能实时控制系统。Cortex-R 处理器是为要求严格的实时解决方案设计的，通常用于 ASIC、ASSP 和 MCU 片上系统应用，支持 ARM、Thumb 和 Thumb-2 指令集，强调实时性，存储器管理只支持物理地址。目前此系列包含 3 个成员：Cortex-R4、Cortex-R5 和 Cortex-R7，以下是 Cortex-R 所特别针对的市场：智能手机、硬盘驱动器、网络和打印机、机顶盒、数字电视、媒体播放器、相机以及医疗行业、工业、汽车行业的可靠系统的嵌入式微处理器等。

1.1.3 Cortex-M 系列

Cortex-M 系列是针对价格敏感应用领域的嵌入式处理器，为成本控制和微控制器应用提供优化，其特性见表 1-1。Cortex-M 系列只支持 Thumb-2 指令集，具有存储器保护单元 MPU 和嵌套中断向量控制器 NVIC，可快速进行中断处理，强调操作的确定性以及性能、功耗和价格的平衡性。Cortex-M 系列应用于深度嵌入的单片机风格的系统中，其为面向传统单片机的应用而量身定制。在这些应用中，尤其是对于实时控制系统，低成本、低功耗、极速中断反应及高处理效率都是至关重要的。

表 1-1 Cortex-M 系列处理器的特性

RISC 处理器内核	Thumb-2 技术
高性能 32 位 CPU 具有确定性的运算 低延迟 3 级流水线	16/32 位指令的最佳混合 小于 8 位设备 3 倍的代码大小 对性能没有负面影响
低功耗模式	嵌套向量中断控制器(NVIC)
集成的睡眠状态支持 多电源域 基于架构的软件控制	低延迟、低抖动中断响应 不需要汇编编程 以纯 C 语言编写的中断服务例程
工具和 RTOS 支持	CoreSight 调试和跟踪
广泛的第三方工具支持 Cortex 微控制器软件接口标准(CMSIS) 最大限度地增加软件成果重用	JTAG 或 2 针串行线调试 SWD 连接 支持多处理器 支持实时跟踪

Cortex-M 系列可针对成本和功耗敏感的 MCU 以及终端应用的混合信号设备进行优化，适用于高确定性的场合以及最少门数的成本敏感型设备。每个 Cortex-M 系列处理器都有特定的优点，但都受一些基本技术的支持，这些技术使 Cortex-M 处理器能胜任多种嵌入式应用，如智能测量、人机接口设备、汽车和工业控制系统、大型家用电器、消费性产品和医疗器械等。

Cortex-M 系列微处理器目前包含 4 个成员：Cortex-M0 (M0+)、Cortex-M1、Cortex-M3 和 Cortex-M4,如图 1-2 所示。Cortex-M0 和 Cortex-M1 处理器属于 ARMv6-M 架构,其中 Cortex-M1 处理器是第一个专为 FPGA 中的编程实现设计的 ARM 处理器。Cortex-M3 和 Cortex-M4 属于真正的 ARMv7-M 架构,采用哈佛总线结构,具有高效的数字信号处理能力,同时具备低功耗、低成本,同时具备易于使用的优点。

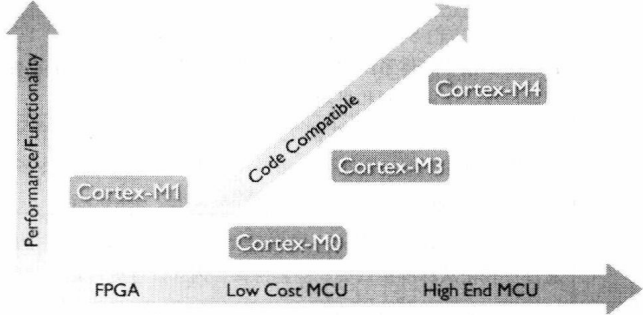


图 1-2 Cortex-M 系列微处理器

ARM Cortex-M 处理器是全球微控制器标准,已许可给 40 个以上的 ARM 合作伙伴,包括 NXP Semiconductors、STMicroelectronics、Texas Instruments 和 Toshiba 等领先供应商,如图 1-3 所示。使用标准处理器使 ARM 合作伙伴可以创建具有一致体系结构的设备,同时使它们可以专注于创建优秀的设备实现。



图 1-3 部分 Cortex-M 系列微处理器授权厂商

1.1.4 经典 ARM 处理器的 Cortex 替代方案

经典 ARM 处理器由 3 个处理器系列组成,包括 ARM11、ARM9 和 ARM7 处理器系列。这些处理器在全球范围内仍被广泛授权于众多应用领域,为当今众多应用领域提供性价比高的解决方案。

经典 ARM 处理器 3 个处理器系列,共包含 9 个处理器,这些处理器是:

- ARM7 系列: ARM7TDMI-S 和 ARM7EJ-S 处理器;
- ARM9 系列: ARM926EJ-S、ARM946E-S 和 ARM968E-S 处理器;
- ARM11 系列: ARM1136J(F)-S、ARM1156T2(F)-S、ARM1176JZ(F)-S 和 ARM11MPCore 处理器。

Cortex 系列属于 ARMv7 架构,这是 ARM 公司最新的指令集架构,针对 3 个经典 ARM 系列处理器都有相应的替代方案,详见表 1-2。

表 1-2 经典 ARM 处理器的 Cortex 替代方案

系列	处理器	说明	Cortex 替代产品
ARM11	ARM11MPCore	该处理器率先采用了多核技术,并为各种不同的应用场合授权,包括手机、导航设备以及智能本应用	Cortex-A15 Cortex-A9 Cortex-A7

续表

系列	处理器	说明	Cortex 替代产品
ARM11	ARM1176JZ(F)-S	ARM1176JZ(F)-S 是经典 ARM 系列中的最高性能单核处理器，它引入了 TrustZone 技术，从而可以在恶意代码所及范围之外安全执行操作。可广泛用于当今主流品牌的手机、机顶盒、数字电视、高端相机和其他众多应用领域	Cortex-A9 Cortex-A8 Cortex-A5
	ARM1156T2(F)-S	ARM1156T2(F)-S 是最高性能的实时经典 ARM 处理器，它首次引入了 Thumb-2 指令集体系结构。该处理器可以用于高性能、确定性控制系统，例如汽车、工业控制和机器人解决方案	Cortex-R4
	ARM1136J(F)-S	除扩展管道、频率和性能之外，ARM1136J(F)-S 在许多方面都与 ARM926EJ-S 相似。该处理器还引入了基本 SIMD（单指令多数据）指令来提高编解码器性能，并提供可选浮点支持	Cortex-A5
ARM9	ARM968E-S	面积最小、功耗最低的 ARM9 处理器是众多实时类型应用的理想之选。通过可轻松从标准接口集成的紧密耦合内存，该处理器可高效工作	Cortex-R4
	ARM946E-S	包含可选高速缓存接口以及完整的内存保护单元的实时处理器。对于大部分代码位于主存储器中的应用，该处理器非常有用，它按需加载到高速缓存中，同时关键的异常处理代码和数据仍保留在本地紧密耦合内存中	Cortex-R4
	ARM926EJ-S	ARM926EJ-S 是入门级处理器，可支持完整版操作系统，包括 Linux、Windows CE 和 Symbian。因此，该处理器是众多需要完整图形用户界面的应用的理想之选	Cortex-A5
ARM7	ARM7TDMI-S	该处理器是出色的重负荷处理器，适用于众多应用领域。该处理器通常用于手机，现在广泛用于移动和非移动应用领域	Cortex-M4 Cortex-M3 Cortex-M0

1.2 ARM Cortex-M3 微处理器

Cortex-M3 是首款基于 ARMv7-M 架构的处理器，具有门数少、低功耗、中端延迟时间短、调试的开销低等特点，能实现快速的中断响应，是专门为了在微控制器、汽车车身系统、工业控制系统和无线网络等对功耗和成本敏感的深度嵌入式应用领域实现高系统性能而设计的，它大大简化了可编程的复杂性，使 ARM 架构成为各种应用方案的上佳选择。

Cortex-M3 处理器整合了以下组件：

① 处理器内核。这款门数目少，中断延迟短的处理器的具备以下特性：

- ARMv7-M 构架：Thumb-2 指令集（ISA）子集；
- 只有分组的 SP 堆栈指针；
- 硬件除法指令，SDIV 和 UDIV（Thumb 32 位指令）；
- 处理模式（Handler mode）和线程模式（Thread mode）；
- Thumb 状态和调试状态；
- 可中断-可继续（Interruptible-continued）的 LDM/STM，PUSH/POP 指令，实现低中断延迟；
- 自动保存和恢复处理器状态，可以实现低延迟地进入和退出中断服务程序 ISR；
- 支持 ARMv6 架构 BE8/LE（字节不变大端/小端）访问；
- 支持 ARMv6 非对齐访问。

② 嵌套向量中断控制器（NVIC）。它与处理器内核紧密结合实现低延迟中断处理，并具有以下特性：

- 外部中断可配置为 1~240 个；

- 优先级位可配置为 3~8 位；
 - 中断优先级可动态地重新配置；
 - 优先级分组，分为占先中断等级和非占先中断等级；
 - 支持末尾连锁（Tail-chaining）和迟来（Late arrival）中断；
 - 处理器状态在进入中断时自动保存，中断退出时自动恢复，不需要多余的指令。
- ③ 存储器保护单元（MPU）。MPU 功能可选，用于对存储器进行保护，它具有以下特性：
- 8 个存储器区；
 - 子区禁止功能(SRD)，实现对存储器区的有效使用；
 - 可使能背景区，执行默认的存储器映射属性。
- ④ 总线接口：
- AHB-Lite I-Code、D-Code 和系统总线接口；
 - 基于 APB 总线接口的专用外设总线 PPB；
 - 位带（Bit band）支持，位带的原子写和读访问；
 - 存储器访问对齐；
 - 写缓冲区，用于缓冲写数据；
 - 多处理器系统的独占访问传送器（Exclusive access transfers）。
- ⑤ 低成本调试解决方案。其具有以下特性：
- 对系统中包括存储器映像设备、内核寄存器在内的所有存储器和寄存器进行调试访问；
 - 串行线（SW-DP）或串行线 JTAG(SWJ-DP)调试访问，或两种都包括；
 - Flash 修补和断点单元（FPB），实现断点和代码修补；
 - 数据观察点和触发单元（DWT），实现观察点、触发源和系统分析；
 - 仪表跟踪宏单元（ITM），支持对 printf 类型的调试；
 - 跟踪端口的接口单元（TPIU），用来连接跟踪端口分析仪（TPA）；
 - 可选的嵌入式跟踪宏单元（ETM），实现指令跟踪。

1.2.1 Cortex-M3 的版本

Cortex-M3 处理器的版本号使用 *rn**pn* 的形式来表示。这里：

rn 表示产品的主版本号。

pn 表示产品的从版本号或者修改状态。

到本书出版前为止，Cortex-M3 处理器的主版本有三个：r0、r1、r2，每个主版本又包含不同的从版本，最新的版本是 r2p1。为了判定使用的处理器使用了哪个版本的 Cortex-M3 内核，可以使用 NVIC 中的 CPUID 寄存器，Revision 和变种位段指出了具体使用的 Cortex-M3 版本，见表 1-3。

表 1-3 CPUID 基寄存器（地址：0xE000_ED00）

版本号	实现者[31:24]	变种[23:20]	常数[19:16]	PartNo[15:4]	Revision[3:0]
版本 0(r0p0)	0x41	0x0	0xF	0xC23	0x0
版本 1(r1p0)	0x41	0x0	0xF	0xC23	0x1
版本 1(r1p1)	0x41	0x1	0xF	0xC23	0x1
版本 2(r2p0)	0x41	0x2	0xF	0xC23	0x0
版本 2(r2p1)	0x41	0x2	0xF	0xC23	0x1

1. Cortex-M3 处理器 r0 版本与 r1 的版本区别

早期的 Cortex-M3 产品是基于 Cortex-M3 处理器 r0 版本的。在 2006 年第 3 季度之后的 Cortex-M3 产品可以使用 r1 版本。了解自己使用的芯片基于哪个版本是很重要的，因为在 r1 版本中作出了许多重要的改变和改进。

在编程模型中显著的改变包括如下内容：

- 从 r1 版本开始，响应异常时的寄存器操作可以被配置成强制对齐到双字边界，这可以通过置位 NVIC_CCR.STKALIGN 来启用；

- 因为上面的原因，NVIC_CCR 中加入了 STKALIGN 位；
- r1 版本中引入了新的 AUXFAULT（辅助 fault）状态寄存器（可选）；
- DWT 中添加了诸如数值匹配的新功能；
- ID 寄存器的值因版本号位段变化而改变。

在编程模式中隐含的改变更多，它们是：

代码存储空间的存储器被硬线连接到可缓存、已分配、不可缓冲、不可共享 4 种属性。这会影响到 I-Code AHB 和 D-Code AHB，但是不会影响系统总线接口。

支持在 I-Code AHB 和 D-Code AHB 间的总线复用操作。在此操作模式下，可以使用一个简单的总线复用器来把 I-Code 和 D-Code 归并，这可以降低总门数，旧版本中则必须使用 ADK 总线矩阵组件。

新添加了用于连接 AHB 跟踪单元(HTM)的输出端口。AHB 是 CoreSight 中定义的一个调试组件，服务于复杂的数据跟踪操作。

调试组件或调试寄存器可以在系统复位期间访问，只有在上电复位时才无法访问。

在 r1 版本中，NVIC_ICSR.VECTPENDING 位段会受 NVIC_DHCSR.C_MASKINTS 位的影响：当 C_MASKINTS 置位时，如果屏蔽了一个悬起的中断，会使 VECTPENDING 的值为零。

JTAG-DP 调试接口被 SWJ-DP 模块取代。但是仍然允许芯片厂商使用 JTAG-DP，因为它也是 CoreSight 家庭中的成员。串行线 JTAG 调试端口（SWJ-DP）把 SW-DP 和 JTAG-DP 的功能合二为一，并且支持自动协议检测。使用这个组件，Cortex-M3 设备可以支持 SW 和 JTAG 接口。

因为 r0 版本的 Cortex-M3 在响应异常时没有双字对齐堆栈的功能，有些编译器，如 ARM 的 RVDS 和 Keil 的 RVMDK，都提供了特殊的编译选项以决定是否允许软件调整入栈，以使开发出来的产品是 EABI 兼容的，当软件需要与其他 EABI-兼容开发工具时，这是相当重要的。

2. Cortex-M3 处理器 r1 版本与 r2 版本的区别

在 2008 年中后期，Cortex-M3 的 r2 版本开始发布。r2 版本新增了很多特性，这些特性大多都致力于降低功耗以及提高调试的灵活性。

在 r2 版本中，编程模式有以下的更新：

(1) 双字堆栈对齐方式成为默认值

影响异常入栈顺序和内存使用的双字堆栈对齐方式，在 r2 版本中成为默认使用的方式。使用此方式，会给大多数 C 程序减少启动代码的额外开销（无须再在 NVIC 配置控制寄存器中置位 STKALIGN 位）。

(2) 新增辅助控制寄存器

为了更精细地调校处理器的行为方式，新增了辅助控制寄存器。比如，为了调试方便，通过设置此寄存器，可以关闭 Cortex-M3 的写缓冲，从而使总线 Faults 总是能与存储器访问指令同步，也就是确保总线 Faults 总是精确的。

(3) 调试功能

r2 版本对调试功能有以下 3 处改进：

① DWT 中的观察点数据跟踪目前支持两种新的跟踪方式：仅跟踪读传送，以及仅跟踪写传送。这样就可以仅在数据被改变或被读时才产生跟踪数据流，于是降低了数据跟踪所需的带宽。

② 在实现调试特性时提供了更高的灵活性。例如，允许裁减可用的断点和观察点数，这样就降低了所设计产品的尺寸，这对于超低功耗的设计非常有帮助。

③ 对多核系统的调试支持力度更大。为了实现多核同时重启和单步执行，新增了一个多处理器系统的独占访问传送器。

(4) 睡眠特性

在系统级设计层上，现有的睡眠特性也得到了改进。在 r2p0 中，对处理器的唤醒可以延迟，从而使芯片中可以更大面积地掉电，并且在系统中所有其他部件都就绪后才继续执行程序。这个改进主要是为了兼顾某些应用，在这些应用中，有一些硬件在低功耗模式下需要关闭，但是重新打开这些硬件需要的时间较长。

在睡眠功能的扩展之外，为降低功耗还有新方法。在旧版的 Cortex-M3 中，为了让内核能醒来，在睡眠期间，依然不能停止送往内核的“自由运行时钟”。尽管该时钟消耗的能量很低，但依然是关了更省电。

为解决这个问题，可以在处理器外面布设一个简单的中断控制器。将这个控制器取名为“唤醒中断控制器 (WIC)”。在深度睡眠期间，它要提供在 NVIC 中的“中断屏蔽功能”的镜像，并且负责告知电源管理系统何时需要唤醒。这样，就可以在深度睡眠期间关断所有送往 Cortex-M3 处理器的时钟了。

除了可以停止时钟外，r2 版本还可以使处理器的大多数部分都掉电，把它们的状态存储在若干特殊的逻辑单元中。在中断到达时，WIC 向电源管理单元 (PMU) 发送一个唤醒请求。在处理器重新上电后，先前的状态从特殊的逻辑单元中恢复，然后就可以响应这个中断了。

可见，有了 r2 版本中这个新的掉电功能，Cortex-M3 可以在深度睡眠期间进一步降低功耗。不过，这个特性还需要内核外的单元配合，因此不一定在所有 r2 版本的产品中都支持。

2010 年 7 月份发布的 r2p1 版本 Cortex-M3 相对于 r2p0 版本又有了很多新的改进：

- 增加了新的执行选项，以确保在等待状态传输期间 AHB 的不间断控制。
- 增加了移除 bit-banding 逻辑的执行选项。
- 增加 MPUDISABLE 输入，可以通过硬件禁用 MPU。
- 增加一条 DBGGEN 输入作为主调试使能，如果上拉为高电平，调试被禁用。
- ETM 从 ARM ETM 架构 V3.4 升级到 V3.5，包括了全局的时间戳。
- 位于地址 0xE00ED08 的向量表偏移寄存器已从 29:7 增加两位至 31:7。
- ROM 表的标识寄存器已被更新。
- Verilog 文件和模块名已被修改。现在为大写字母的：CORTEXM3、CORTEXM3INTEGRATION Cortex-M3 和集成层的顶层模块名。

• ETM 许可证定义名称已更改为 ARM_CM3_ETM_LICENSE，并且定义在 cm3_lic_defs.v 中，而不是定义在集成级别。

- 如果处理被 MPU 中止，观察点将不再出现。
- 修正了 r2p0 版本中的错误。

1.2.2 Cortex-M3 处理器应用领域

Cortex-M3 是 32 位处理器，适用于具有高确定性的实时应用，主要应用领域有：

① 替代 8 位、16 位单片机：Cortex-M3 与生俱来就适合制作单片机，甚至简单到用于制作玩具和小电器的单片机，都能使用 Cortex-M3 作为内核。这本是 8 位机和 16 位机统治最牢固的领域，但是由于 Cortex-M3 更便宜、更高性能、更易使用，所以值得开发者转到这个新的 32 位 ARM 系统中来。

② 汽车电子：Cortex-M3 也是汽车电子的最佳选择。Cortex-M3 同时拥有非常高的性能和极低的中断延迟，实时性好。Cortex-M3 处理器能支持多达 240 个外部中断，内建了嵌套向量中断控制器，还可以选配存储器保护单元 MPU，使它非常适用于高集成度低、成本的汽车应用。

③ 数据通信：Cortex-M3 的低成本、高效率，再加上 Thumb-2 的强大位操作指令，使 Cortex-M3 非常适合于很多数据通信应用，尤其是无线数传和 Ad-Hoc 网络，如 ZigBee 和蓝牙等。

④ 工业控制：在工控场合，关键的要素是简洁性、快速响应性以及可靠性。Cortex-M3 处理器的中断处理能力、低中断延迟和强大的异常处理能力，足以让它能广泛地应用于工业控制领域。

⑤ 消费类产品：以往，在许多消费产品中，都必须使用一块甚至好几块高性能的微处理器。Cortex-M3 处理器的高性能和 MPU 机制可是足以让复杂的软件运行起来，同时提供健全的存储器保护。

目前在市场上已经存在很多基于 Cortex-M3 内核的处理器产品，最便宜的还不到 1 美元，让 ARM 最终实现比很多 8 位单片机更便宜。

1.2.3 Cortex-M3 处理器的实现

Cortex-M3 处理器的结构如图 1-4 所示。Cortex-M3 处理器内核是单片机的中央处理单元（CPU），完整的基于 Cortex-M3 的 MCU 还需要很多其他组件。在芯片制造商得到 Cortex-M3 处理器内核的使用授权后，它们就可以把 Cortex-M3 内核用在自己的硅片设计中，然后添加存储器、外设、I/O 以及其他功能块。不同厂家设计出的单片机会有不同的配置，包括存储器容量、类型、外设等都各具特色。

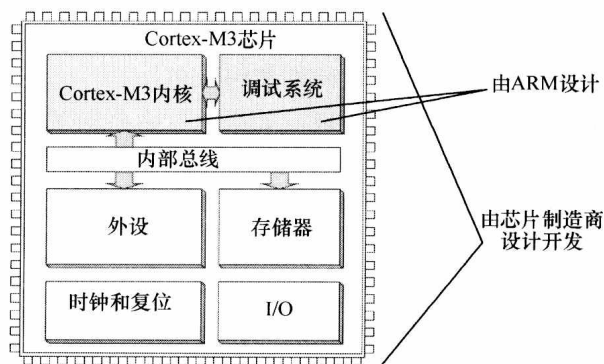


图 1-4 Cortex-M3 处理器的结构

在根据自己的应用选择具体的 Cortex-M3 芯片时，除了要考虑存储器、外设配置以及最高主频之外，其他一些因素也会使一款 Cortex-M3 芯片与众不同，Cortex-M3 的设计允许下列参数是可配置的：