

“十二五”普通高等教育本科国家级规划教材·姊妹篇

● 普通高等教育电路设计系列规划教材

EDA技术与 Verilog HDL设计

◎ 王金明 徐志军 苏勇 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

“十二五”普通高等教育本科国家级规划教材·姊妹篇
普通高等教育电路设计系列规划教材

EDA 技术与 Verilog HDL 设计

王金明 徐志军 苏 勇 编著



电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书与“十二五”普通高等教育本科国家级规划教材、普通高等教育“十一五”国家级规划教材《EDA技术与VHDL设计》(07755)为姊妹篇。本书根据教学和实验基本要求,以提高动手实践能力和工程设计能力为目的,对EDA技术和FPGA设计的相关知识进行系统和完整的介绍。全书共11章,主要内容包括:EDA技术概述,可编程逻辑器件基础,典型FPGA/CPLD的结构与配置,Quartus II集成开发工具,Verilog HDL语法与要素,行为语言,设计的层次与风格,设计进阶,仿真与测试,数字设计实例和数字通信用模块设计实例。本书配套电子课件、实验与设计、程序代码。

本书可作为高等学校电子、通信、雷达、计算机应用、工业自动化、仪器仪表、信号与信息处理等学科本科生、研究生的EDA技术或数字系统设计课程的教材和实验指导书,也可作为相关行业领域科技工作者的重要参考资料。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

EDA技术与Verilog HDL设计 / 王金明, 徐志军, 苏勇编著. —北京: 电子工业出版社, 2013.7

普通高等教育电路设计系列规划教材

ISBN 978-7-121-20481-4

I. ①E… II. ①王… ②徐… ③苏… III. ①电子电路—计算机辅助设计—应用软件—高等学校—教材 ②硬件描述语言—程序设计—高等学校—教材 IV. ①TN702 ②TP312

中国版本图书馆CIP数据核字(2013)第105859号

策划编辑: 王羽佳

责任编辑: 王羽佳 文字编辑: 王晓庆

印刷: 涿州市京南印刷厂

装订: 涿州市京南印刷厂

出版发行: 电子工业出版社

北京市海淀区万寿路173信箱 邮编: 100036

开本: 787×1092 1/16 印张: 23 字数: 664千字

印次: 2013年7月第1次印刷

印数: 4000册 定价: 45.00元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010)88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010)88258888。

前 言

本书与“十二五”普通高等教育本科国家级规划教材、普通高等教育“十一五”国家级规划教材《EDA 技术与 VHDL 设计》(07755)为姊妹篇,本书介绍 Verilog HDL 语言的开发,后者则介绍 VHDL 语言的开发。

目前 EDA 技术已经成为电子信息类专业的一门重要专业基础课程,并且在教学、科研及大学生电子设计竞赛等活动中起着越来越重要的作用,成为电子信息类本科生和研究生必须掌握的专业基础知识与基本技能。随着教学改革的深入,对 EDA 课程教学的要求也不断提高,必须对教学内容进行更新和优化,与 EDA 技术的发展相适应,正是基于以上考虑,作者编写了本书。

在 EDA 教学中应注意如下几点。首先要明确最基本的教学内容,并突出重点。EDA 技术教学的目的是使学生掌握一种通过软件的方法来高效地完成硬件设计的方法与技术,因此应以培养学生的创新思维和设计思想为主,同时使学生掌握基本的设计工具和设计方法。其次要改善教学方法。EDA 教学应主要以引导性教学为主,合理安排理论教学和实验教学的学时比例,使学生能够理论联系实际,提高实际动手能力和工程设计能力。再次要注重实验教学。EDA 课程具有很强的实践性,针对性强的实验应该是教学的重要环节,应格外重视 EDA 实验的质量。

作者基于以上的认识,合理安排了本书的章节,本书是以 FPGA 器件、EDA 设计工具、Verilog HDL 硬件描述语言三方面内容为主线展开的,贯穿其中的则是现代数字设计的新思想、新方法。本书内容新颖、技术先进、由浅入深,既有关于 EDA 技术、FPGA 器件和 Verilog HDL 硬件描述语言的系统介绍,又有丰富的设计实例。

全书共 11 章。第 1 章对 EDA 技术做了综述,解释了有关概念;第 2 章介绍 PLD 器件的发展、分类、编程工艺及设计流程等;第 3 章具体介绍典型 FPGA/CPLD 器件的结构与配置;第 4 章介绍用 Quartus II 软件进行设计开发的流程,以及基于宏功能模块的设计开发过程;第 5 章介绍 Verilog HDL 的语法与要素;第 6 章介绍 Verilog HDL 行为语句;第 7 章讨论 Verilog HDL 设计的层次与风格,以及常用组合电路、时序电路的 Verilog HDL 描述方法;第 8 章结合具体实例,介绍用 Verilog HDL 语言进行数字设计的方法;第 9 章介绍用 Verilog HDL 进行仿真和验证;第 10 章是用 Verilog HDL 语言进行数字电路与系统设计的实例;第 11 章是数字通信用模块的设计实例。

为适应教学模式、教学方法和手段的改革,本书提供配套多媒体电子课件、实验与设计和程序代码,请登录华信教育资源网(<http://www.hxedu.com.cn>)注册下载。

在本书的编写过程中,王金明编写了本书多数章节并负责统稿,徐志军编写了本书第 1、2 章,潘克修编写了第 3 章,苏勇编写了第 10、11 章,周顺编写了第 11 章的实验与设计部分内容。

本书是几位老师在多年 EDA 课程教学经验的基础上精心编写而成的,虽经很大努力,但由于作者水平有限,加之时间仓促,书中错误与疏漏之处在所难免,敬请广大读者批评指正。

作 者

2013 年 7 月于解放军理工大学

目 录

第 1 章 EDA 技术概述	1	2.2.3 PROM	34
1.1 EDA 技术及其发展历程	1	2.2.4 PLA	35
1.2 EDA 技术的特征和优势	3	2.2.5 PAL	36
1.2.1 EDA 技术的特征	3	2.2.6 GAL	36
1.2.2 EDA 技术的优势	5	2.3 CPLD/FPGA 器件概述	38
1.3 EDA 设计的目标和流程	7	2.3.1 Lattice 的 CPLD/FPGA	38
1.3.1 EDA 设计的目标	7	2.3.2 Xilinx 的 CPLD/FPGA	39
1.3.2 EDA 设计的流程	8	2.3.3 Altera 的 CPLD/FPGA	40
1.3.3 数字集成电路的设计	8	2.3.4 CPLD 和 FPGA 的异同	42
1.3.4 模拟集成电路的设计	10	2.4 可编程逻辑器件的基本资源	43
1.4 EDA 技术与 ASIC 设计	10	2.4.1 功能单元	43
1.4.1 ASIC 的特点与分类	10	2.4.2 I/O 引脚	43
1.4.2 ASIC 的设计方法	11	2.4.3 布线资源	44
1.4.3 SoC 设计	13	2.4.4 片内 RAM	46
1.5 硬件描述语言	16	2.5 可编程逻辑器件的编程元件	46
1.5.1 VHDL	16	2.5.1 熔丝型开关	47
1.5.2 Verilog HDL	17	2.5.2 反熔丝型开关	47
1.5.3 ABEL-HDL	18	2.5.3 浮栅编程元件	48
1.5.4 Verilog HDL 和 VHDL 的比较	18	2.5.4 基于 SRAM 的编程元件	50
1.6 EDA 设计工具	19	2.6 可编程逻辑器件的设计与开发	51
1.6.1 EDA 设计工具分类	19	2.6.1 CPLD/FPGA 设计流程	51
1.6.2 EDA 公司及其工具介绍	21	2.6.2 CPLD/FPGA 开发工具	53
1.7 EDA 技术的发展趋势	23	2.6.3 CPLD/FPGA 的应用选择	55
习题 1	25	2.7 可编程逻辑器件的测试技术	57
第 2 章 可编程逻辑器件基础	26	2.7.1 边界扫描测试原理	58
2.1 概述	26	2.7.2 IEEE1149.1 标准	58
2.1.1 可编程逻辑器件的发展历程	26	2.7.3 边界扫描策略及相关工具	62
2.1.2 可编程逻辑器件的分类	27	习题 2	62
2.1.3 可编程逻辑器件的优势	29	第 3 章 典型 FPGA/CPLD 的结构与配置	63
2.1.4 可编程逻辑器件的发展趋势	30	3.1 Stratix 高端 FPGA 系列	63
2.2 PLD 器件的基本结构	31	3.1.1 Stratix 器件	63
2.2.1 基本结构	31	3.1.2 Stratix II 器件	65
2.2.2 电路符号	32	3.2 Cyclone 低成本 FPGA 系列	68

3.2.1 Cyclone 器件	68	5.8 运算符	147
3.2.2 Cyclone II 器件	73	习题 5	152
3.3 典型 CPLD 器件	79	实验与设计	152
3.3.1 MAX II 器件	79	第 6 章 Verilog HDL 行为语句	157
3.3.2 MAX 7000 器件	80	6.1 过程语句	157
3.4 FPGA/CPLD 的配置	82	6.1.1 always 过程语句	158
3.4.1 CPLD 器件的配置	83	6.1.2 initial 过程语句	161
3.4.2 FPGA 器件的配置	83	6.2 块语句	162
习题 3	88	6.2.1 串行块 begin-end	162
第 4 章 Quartus II 集成开发工具	89	6.2.2 并行块 fork-join	163
4.1 Quartus II 原理图设计	89	6.3 赋值语句	163
4.1.1 半加器原理图设计输入	89	6.3.1 持续赋值与过程赋值	163
4.1.2 编译与仿真	92	6.3.2 阻塞赋值与非阻塞赋值	165
4.1.3 1 位全加器编译与仿真	96	6.4 条件语句	166
4.2 Quartus II 的优化设置	97	6.4.1 if-else 语句	166
4.2.1 分析与综合设置	97	6.4.2 case 语句	168
4.2.2 优化布局布线	99	6.5 循环语句	172
4.2.3 设计可靠性检查	104	6.5.1 for 语句	172
4.3 Quartus II 的时序分析	105	6.5.2 repeat、while、forever 语句	173
4.3.1 时序设置与分析	105	6.6 编译指示语句	175
4.3.2 时序逼近	106	6.7 任务与函数	177
4.4 基于宏功能模块的设计	108	6.7.1 任务	177
4.4.1 Megafunctions 库	108	6.7.2 函数	178
4.4.2 Maxplus2 库	113	6.8 顺序执行与并发执行	181
4.4.3 Primitives 库	114	习题 6	182
习题 4	115	实验与设计	183
实验与设计	117	第 7 章 Verilog HDL 设计的层次与风格	187
第 5 章 Verilog HDL 语法与要素	132	7.1 Verilog HDL 设计的层次	187
5.1 Verilog HDL 简介	132	7.2 门级结构描述	187
5.2 Verilog HDL 模块的结构	133	7.2.1 Verilog HDL 内置门元件	188
5.3 Verilog HDL 语言要素	136	7.2.2 门级结构描述	190
5.4 常量	138	7.3 行为描述	191
5.4.1 整数	138	7.4 数据流描述	192
5.4.2 实数	139	7.5 不同描述风格的设计	193
5.4.3 字符串	140	7.5.1 半加器设计	193
5.5 数据类型	141	7.5.2 1 位全加器设计	194
5.5.1 net 型	141	7.5.3 4 位加法器设计	196
5.5.2 variable 型	142	7.6 多层次结构电路的设计	196
5.6 参数	144	7.7 基本组合电路设计	199
5.7 向量	145	7.7.1 编译码器	199

7.7.2 其他组合电路	201	第 10 章 Verilog HDL 数字设计实例	290
7.8 基本时序电路设计	201	10.1 加法器的 Verilog HDL 设计实例	290
7.8.1 触发器	201	10.1.1 全加器的设计	290
7.8.2 锁存器与寄存器	202	10.1.2 行波加法器的设计	291
7.8.3 计数器与串/并转换器	204	10.1.3 超前进位加法器的设计	292
7.8.4 简易微处理器	204	10.1.4 流水线技术在加法器设计中的 应用	294
7.9 三态逻辑设计	206	10.2 乘法器的 Verilog HDL 设计实例	297
习题 7	208	10.2.1 移位相加乘法器设计原理	297
实验与设计	208	10.2.2 移位相加乘法器的 Verilog HDL 实现	298
第 8 章 Verilog HDL 设计进阶	213	10.2.3 布斯乘法器设计原理	299
8.1 小数分频	213	10.2.4 布斯乘法器的 Verilog HDL 实现	301
8.2 Verilog HDL 有限状态机设计	215	10.3 汉明编解码器的 Verilog HDL 设计 实例	302
8.2.1 有限状态机的 Verilog HDL 描述	215	10.3.1 汉明编码原理	302
8.2.2 状态编码	221	10.3.2 汉明编码的译码原理	304
8.2.3 状态编码的定义	222	10.3.3 汉明编译码的 Verilog HDL 实现	305
8.3 字符液晶显示控制	224	10.4 ST-BUS 总线接口设计	306
8.3.1 字符液晶 H1602B	224	10.4.1 ST-BUS 总线时序关系	306
8.3.2 用状态机实现字符显示控制	227	10.4.2 ST-BUS 总线接口实例	308
8.4 VGA 图像的显示与控制	230	习题 10	311
8.4.1 VGA 图像显示原理与时序	230	实验与设计	311
8.4.2 VGA 图像显示与控制的实现	234	第 11 章 Verilog HDL 数字通信用模块 设计实例	322
8.5 点阵式液晶显示控制	239	11.1 信号音发生器的 Verilog HDL 设计 实例	322
8.6 乐曲演奏电路	244	11.1.1 线性码、A 律码转换原理	322
习题 8	249	11.1.2 信号音发生器 Verilog HDL 实例	325
实验与设计	251	11.2 比特同步的 Verilog HDL 设计 实例	329
第 9 章 Verilog HDL 仿真与测试	268	11.2.1 锁相功能的自同步法原理	329
9.1 系统任务与系统函数	268	11.2.2 锁相比特同步的 EDA 实现 方法	331
9.2 用户自定义元件	272	11.3 基带差分编码的 Verilog HDL 设计 实例	335
9.2.1 组合电路 UDP 元件	273		
9.2.2 时序逻辑 UDP 元件	274		
9.3 延时模型的表示	276		
9.3.1 时间标尺定义 timescale	276		
9.3.2 延时的表示与延时说明块	277		
9.4 测试平台	278		
9.5 组合电路和时序电路的仿真	281		
9.5.1 组合电路的仿真	281		
9.5.2 时序电路的仿真	283		
习题 9	283		
实验与设计	284		

11.3.1 PSK 调制和差分编码原理.....	335	习题 11	351
11.3.2 PSK 差分编码设计.....	338	实验与设计.....	351
11.4 GMSK 调制电路的 Verilog HDL		附录 A Verilog HDL (IEEE Std 1364—1995)	
设计实例	341	关键字	358
11.4.1 GMSK 调制基本原理.....	341	附录 B Verilog HDL (IEEE Std 1364—2001)	
11.4.2 GMSK 调制实现的基本方法.....	343	关键字	359
11.4.3 GMSK 基带调制实现的 Verilog		参考文献.....	360
HDL 实例.....	344		

第 1 章 EDA 技术概述

信息社会的发展离不开集成电路，现代电子产品在性能提高、复杂度增大的同时，价格却一直呈下降趋势，而且产品更新换代的步伐也越来越快。当前集成电路正朝着速度快、容量大、体积小、功耗低的方向发展，实现这种进步的主要原因是生产制造技术和电子设计技术的发展。前者以微细加工技术为代表，目前已进展到超深亚微米阶段，可以在几平方厘米的芯片上集成上亿个晶体管；后者的核心是 EDA 技术，目前已经渗透到电子产品设计的各环节，成为电子学领域的重要学科，形成了一个独立的产业。

没有 EDA 技术的支持，想要完成上述超大规模集成电路的设计制造是不可想象的，反过来，生产制造技术的不断进步又必将对 EDA 技术提出新的要求。本章将简要回顾电子设计技术的发展历程，主要介绍 EDA 基本概念、EDA 技术的实现目标、EDA 设计流程和设计工具、EDA 技术的发展趋势和所面临的挑战。

1.1 EDA 技术及其发展历程

EDA 是电子设计自动化 (Electronic Design Automation) 的英文缩写，是随着集成电路和计算机技术的飞速发展应运而生的一种快速、有效、高级的电子设计自动化工具。换句话说，EDA 就是立足于计算机工作平台而开发出来的一整套先进的电子设计软件工具。EDA 工具是融合了应用电子技术、计算机技术和智能化技术的最新成果，主要能辅助进行三方面的设计工作：集成电路 (IC) 设计、电子电路设计以及印刷电路板 (PCB) 设计。采用 EDA 技术，用计算机进行模拟、检验、布图和测试，不但能大大减少人工劳动量，缩短设计周期，提高设计的可靠性，而且可以在产品生产之前进行各种设计方案的比较、参数的优选，从而提高了设计的质量。

EDA 技术的发展历程同大规模集成电路技术、计算机技术、可编程逻辑器件以及电子设计技术和工艺技术的发展是同步的。回顾四十多年来电子技术的发展历程，可将电子设计自动化技术大致分为三个发展阶段，如图 1.1 所示。

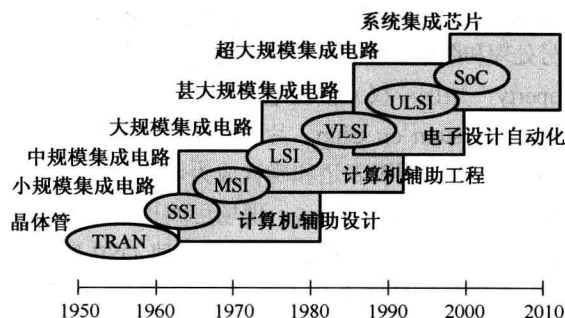


图 1.1 EDA 技术的不同发展阶段

20 世纪 70 年代到 80 年代初为 CAD 阶段，也是 EDA 技术发展的初级阶段。这一阶段由于受到计算机的运行速度、存储量和图形功能等方面的限制，电子 CAD 和 EDA 技术没有形成系统，而仅仅是一些孤立的软件程序。这些软件程序在逻辑仿真、印刷电路板 (PCB) 布局布线和 IC 版图编辑等方面

取代了设计人员烦琐的手工计算和操作，大大提高了电子系统和集成电路设计的效率和可靠性，从而产生了计算机辅助设计的概念。但这些软件一般只有简单的人机交互能力，能处理的电路规模不是很大，计算和绘图的速度都受到限制，而且由于没有采用统一的数据库管理技术，程序之间的数据传输和交换也不方便。

20 世纪 80 年代中后期为 CAE 阶段，也是 EDA 技术发展的中级阶段。在这一阶段，计算机与集成电路技术得到了高速发展，CAD 软件主要用来实现模拟与数字电路仿真、集成电路的布局布线、IC 版图参数提取与验证、印刷电路板的布图与检验以及设计文档制作等各设计阶段的自动设计。将这些工具软件集成为一个有机的 EDA 系统，在工作站或超级微机上运行，具有直观、友好的图形界面，可以用电路原理图的形式输入，以图形菜单的方式选择各种仿真工具和不同的模拟功能。每个工具软件都有自己的元件库，工具之间由统一的数据库进行数据存放、传输和管理。与初期的 CAD 相比，这一阶段的软件除了具有纯粹的图形绘制功能外，又增加了电路功能设计和结构设计，并且通过电气连接网络表将两者结合在一起，以实现工程设计，这就是计算机辅助工程(Computer Aided Engineering, CAE)的概念。

20 世纪 90 年代以后是设计自动化阶段，也是 EDA 技术发展的高级阶段。在这个时期，微电子技术以惊人的速度发展，一个芯片上可以集成几千万只晶体管，超高速数字集成电路的工作速率已经达到 10Gbps，射频集成电路的最高工作频率已超过 6GHz。电子系统朝着多功能、高速度、智能化的趋势发展，如数字声广播(DAB)与音响系统、高清晰度电视(HDTV)、多媒体信息处理与传播、光通信等电子系统，它们对集成电路和专用集成电路(ASIC)的容量、速度、频带等都提出了更高的要求，要在短时间内正确地设计成功这种高难度的 IC，必须将 EDA 技术提高到一个更高的水平。另一方面，随着集成度的提高，一个复杂的电子系统可以在一个集成电路芯片上实现，这就要求 EDA 系统能够从电子系统的功能和行为描述开始，综合设计出逻辑电路，并自动地映射到可供生产的 IC 版图，称之为集成电路的高级设计。因此 20 世纪 90 年代后的 EDA 系统真正具有了自动化设计能力，将 EDA 技术推向了成熟和实用。用户只要给出电路的性能指标要求，EDA 系统就能对电路结构和参数进行自动化处理和综合，寻找最佳设计方案，通过自动布局布线功能将电路直接形成集成电路的版图，并对版图的面积及电路延时特性做优化处理。

进入 21 世纪以后，EDA 技术得到了更大的发展，开始步入了一个崭新的时期，突出地表现在以下几个方面。

(1) 电子技术各领域全方位融入 EDA 技术，除了日益成熟的数字技术外，传统的电路系统设计建模理念发生了重大的变化：软件无线电技术的崛起，模拟电路硬件描述语言的表达和设计标准化，系统可编程模拟器件的出现，数字信号处理和图像处理的全硬件实现方案的推出，软硬件技术的进一步融合等。

(2) IP (Intellectual Property, 知识产权) 核在电子产业的产业领域、技术领域和设计领域得到了广泛的应用，基于 IP 核的 SoC (System on Chip, 片上系统) 高效低成本设计技术趋向成熟，使得电子设计成果以自主知识产权的方式得以明确表达和确认成为可能。

(3) 在 FPGA (Field Programmable Gate Array, 现场可编程门阵列) 实现 DSP (数字信号处理) 应用成为可能，用纯数字逻辑进行 DSP 模块的设计，使得高速 DSP 实现成为现实，并有力地推动了软件无线电技术的实用化。基于 FPGA 的 DSP 技术为高速数字信号处理算法提供了实现途径。

(4) 嵌入式微处理器软核的出现，更大规模的 FPGA/CPLD 器件的不断推出，使得 SOPC (System on Programmable Chip, 可编程片上系统) 步入了大规模应用阶段，使得在一片 FPGA 芯片中实现一个完备的数字信号处理系统成为可能。

(5) 在仿真和设计两方面支持标准硬件描述语言的 EDA 软件不断推出，系统级、行为验证级硬件描述语言的出现(如 System C)使得复杂电子系统的设计和验证趋于简单。

(6) EDA 技术使得电子领域各学科的界限更加模糊,更加相互包容和渗透,如模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA、行为与结构等,基于 EDA 工具的 ASIC 设计标准单元已涵盖大规模电子系统及 IP 核模块。

EDA 技术为现代电子学理论和设计理念的表达与实现提供了可能性。在硬件实现方面,EDA 技术融合了大规模集成电路制造技术、IC 版图设计技术、ASIC 测试和封装技术、FPGA/CPLD 编程下载技术、自动测试技术等;在工程实现方面融合了计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)、计算机辅助工程(CAE)技术以及多种计算机语言的设计概念;而在现代电子学方面则容纳了更多的内容,如电路基础理论、数字信号处理技术、数字系统建模、优化设计技术等。因此,现代 EDA 技术已经不是某一学科的分支或某种新的技能技术,而应该是一门综合性学科。它融合多学科于一体,又渗透于各学科之中,打破了软件与硬件间的壁垒,使计算机的软件技术与硬件实现、设计效率和产品性能合二为一,代表了现代电子设计技术和应用技术的发展方向。

1.2 EDA 技术的特征和优势

在现代电子设计领域,EDA 技术已经成为电子系统设计的重要手段。无论是设计数字系统还是集成电路芯片,其设计作业的复杂程度都在不断增加,仅仅依靠手工进行设计已经不能满足要求,所有的设计工作都需要在计算机上借助于 EDA 软件工具进行。在 EDA 软件的支持下,设计者只需完成对系统功能的描述,就可以由计算机软件进行处理,得到设计结果,修改设计如同修改软件一样方便。利用 EDA 设计工具,设计者可以预知设计结果,减少设计的盲目性,极大地提高设计的效率。

1.2.1 EDA 技术的特征

现代 EDA 技术的基本特征是采用高级语言描述,具有系统级仿真和综合能力,具有开放式的设计环境,具有丰富的元件模型库等。EDA 技术依赖功能强大的计算机,在 EDA 工具软件的平台上,对以硬件描述语言 HDL (Hardware Description Language) 为系统逻辑描述手段完成的设计文件自动地完成逻辑编译、逻辑化简、逻辑分割、逻辑综合、布局布线和仿真测试,直至实现既定的电子线路系统功能。EDA 技术使得设计者的工作仅限于利用软件的方式,即利用硬件描述语言和 EDA 软件来完成对系统硬件功能的实现。

1. 硬件描述语言设计输入

用硬件描述语言进行电路与系统的设计是当前 EDA 技术的一个重要特征,硬件描述语言输入是现代 EDA 系统的主要输入方式。统计资料表明,在硬件描述语言和原理图两种输入方式中,前者约占 70%以上,并且这个趋势还在继续增长。与传统的原理图输入设计方法相比较,硬件描述语言更适合于规模日益增大的电子系统,同时,它还是进行逻辑综合优化的重要工具。硬件描述语言使得设计者可以在比较抽象的层次上描述设计的结构和内部特征,其突出优点是:语言的公开可利用性,设计与工艺的无关性,宽范围的描述能力,便于组织大规模系统的设计,便于设计的复用和继承等。

2. “自顶向下”的设计方法

近十年来,电子系统的设计方法发生了很大的变化。过去,电子产品设计的基本思路一直是先选用标准通用集成电路芯片,再由这些芯片和其他元件自下而上地构成电路、子系统和系统。这样设计出的电子系统所用元件的种类和数量均较多、体积功耗大、可靠性差。随着集成电路技术的不断进步,半导体集成电路也由早期的单元集成、部件电路集成发展到整机电路集成和系统电路集成。电子系统

的设计方法也由过去的那种集成电路厂家提供通用芯片，整机系统用户采用这些芯片组成电子系统的“Bottom-up”（自底向上）设计方法改变为一种新的“Top-down”（自顶向下）设计方法。在这种新的设计方法中，由整机系统用户对整个系统进行方案设计和功能划分，系统的关键电路用一片或几片专用集成电路 ASIC 来实现，且这些专用集成电路是由系统和电路设计师亲自参与设计的，直至完成电路到芯片版图的设计，再交由 IC 工厂投片加工，或者用可编程 ASIC（CPLD 和 FPGA）现场编程实现。图 1.2 所示为电子系统的两种不同的设计步骤。

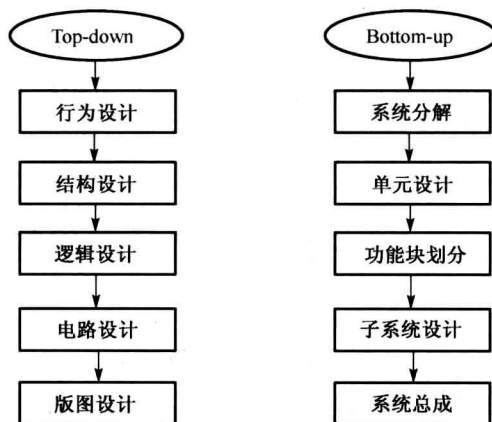


图 1.2 “自顶向下”与“自底向上”设计

“自顶向下”法是一种概念驱动的设计方法。该方法要求在整个设计过程中尽量运用概念（即抽象）去描述和分析设计对象，而不要过早地考虑实现该设计的具体电路、元器件和工艺，以便抓住主要矛盾，避免纠缠在具体细节上，这样才能控制住设计的复杂性。整个设计在概念上的演化从顶层到底层应当逐步由概括到展开，由粗略到精细。只有当整个设计在概念上得到验证与优化后，才能考虑采用什么电路、元器件和工艺去实现该设计的具体问题。

在进行“自顶向下”的设计时，首先从系统级设计入手，在顶层进行功能方框图的划分和结构设计；在方框图一级进行仿真、纠错，并用硬件描述语言对高层次的系统行为进行描述；在功能一级进行验证，然后用逻辑综合优化工具生成具体的门级逻辑电路的网表，其对应的物理实现级可以是印刷电路板或专用集成电路。而“自底向上”的设计方法一般是在系统划分和分解的基础上先进行单元设计，在单元的精心设计后逐步向上进行功能块设计，然后再进行子系统的设计，最后完成系统的总成设计。“自顶向下”的设计方法有利于在早期发现结构设计中的错误，提高设计的一次成功率，因而在现代 EDA 系统中被广泛采用。

3. 逻辑综合与优化

逻辑综合是 20 世纪 90 年代电子学领域兴起的一种新的设计方法，是以系统级设计为核心的高层次设计。逻辑综合是将最新的算法与工程界多年积累的设计经验结合起来，自动地将用真值表、状态图或 VHDL 硬件描述语言等所描述的数字系统转化为满足设计性能指标要求的逻辑电路，并对电路进行速度、面积等方面的优化。

逻辑综合的特点是将高层次的系统行为设计自动翻译成门级逻辑的电路描述，做到了设计与工艺的相互独立。逻辑综合的作用是根据一个系统的逻辑功能与性能的要求，在一个包含众多结构、功能和性能均已知的逻辑元件的逻辑单元库的支持下，寻找出一个逻辑网络结构最佳的（至少是较佳的）实现方案。逻辑综合的过程主要包含以下两个方面。

(1) 逻辑结构的生成与优化。进行逻辑化简与优化, 达到尽可能地用较少的元件和连线形成一个逻辑网络结构(逻辑图), 满足系统逻辑功能的要求。

(2) 逻辑网络的性能优化。利用给定的逻辑单元库, 对已生成的逻辑网络进行元件配置, 进而估算实现该逻辑网络的芯片的性能与成本。性能主要指芯片的速度, 成本主要指芯片的面积与功耗。速度与面积、速度与功耗是矛盾的。这允许使用者对速度与面积或速度与功耗相矛盾的指标进行性能与成本的折中, 以确定合适的元件配置, 完成最终的、符合要求的逻辑网络结构。

4. 开放性和标准化

开放式的设计环境也称为框架结构(Framework)。框架是一种软件平台结构, 它在 EDA 系统中负责协调设计过程和管理设计数据, 实现数据与工具的双向流动, 为 EDA 工具提供合适的操作环境。框架结构的核心是可以提供与硬件平台无关的图形用户界面以及工具之间的通信、设计数据和设计流程的管理等, 还包括各种与数据库相关的服务项目。

任何一个 EDA 系统只要建立了一个符合标准的开放式框架结构, 就可以接纳其他厂商的 EDA 工具一起进行设计工作。框架结构的出现使国际上许多优秀的 EDA 工具可以合并到一个统一的计算机平台上, 成为一个完整的 EDA 系统, 充分发挥每个设计工具的技术优势, 实现资源共享。在这种环境下, 设计者可以更有效地运用各种工具, 提高设计质量和效率。

近年来, 随着硬件描述语言等设计数据格式的逐步标准化, 不同的设计风格和应用要求导致各具特色的 EDA 工具被集成在同一个工作站上, 从而使 EDA 框架标准化。新的 EDA 系统不仅能够实现高层次的自动逻辑综合、版图综合和测试码生成, 而且可以使多个仿真器对同一个设计进行协同仿真, 从而进一步提高了 EDA 系统的工作效率和设计的正确性。

5. 库(Library)

EDA 工具必须配有丰富的库(元器件图形符号库、元器件模型库、工艺参数库、标准单元库、可复用的电路模块库、IP 库等), 才能够具有强大的设计能力和较高的设计效率。

在电路设计的每个阶段, EDA 系统需要各种不同层次、不同种类的元器件模型库的支持。例如, 在原理图输入时需要元器件外形库, 在逻辑仿真时需要逻辑单元的功能模型库, 在电路仿真时需要模拟单元和器件的模型库, 在版图生成时需要适应不同层次和不同工艺的底层版图库, 在测试综合时需要各种测试向量库等。每一种库又分为不同层次的单元或元素库, 如逻辑仿真的库又按照行为级、寄存级和门级分别设库。VHDL 语言输入所需的库则更为庞大和齐全, 几乎包括了上述所有库的内容。各种模型库的规模和功能是衡量 EDA 工具优劣的一个重要标志。

1.2.2 EDA 技术的优势

传统的数字系统设计一般采用搭“积木块”的手工设计方式, 即由器件搭成电路板, 再由电路板搭成电子系统。数字系统最初的“积木块”是标准的集成电路, 如 74/54 系列(TTL)、4000/4500 系列(CMOS)芯片和一些固定功能的大规模集成电路。在设计数字电路时, 一般先按照数字系统的具体功能要求进行功能划分, 然后对每个子模块画出逻辑真值表和状态转换真值表, 用卡诺图进行手工逻辑化简和状态化简, 写出布尔表达式, 画出相应的逻辑线路图, 再据此选择合适的器件, 并按照器件推荐的电路设计电路板, 最后进行实测与调试。

手工设计方法有很多缺点: 如对于复杂电路的设计, 调试十分困难; 对于设计过程中出现的错误, 查找和修改十分不便; 在设计过程中产生大量文档, 不易管理; 只有在设计出样机或生产出芯片后才能进行实测等。相比之下, 采用 EDA 技术进行电子系统的设计有很大的优势。

(1) 采用硬件描述语言, 便于复杂系统的设计

从电子设计方法学来看, EDA 技术的最大优势是能够将所有的设计环节纳入统一的自顶向下的设计方案中。用 HDL 对数字电子系统进行结构描述、功能描述和行为描述, 从而可以在电子设计的各阶段、各层进行计算机模拟验证, 保证了设计过程的正确性, 降低了设计成本, 缩短了设计周期。此外, 某些硬件描述语言 (如 VHDL) 也是文档型的语言, 可以极大地简化设计文档的管理。

(2) 强大的系统建模和电路仿真功能

EDA 技术中最为瞩目的功能是日益强大的仿真测试技术。EDA 仿真测试技术只需通过计算机就能对所设计的电子系统进行不同层次的性能测试和逻辑仿真, 在实际系统完成后, 还能对系统上的目标器件进行边界扫描测试, 极大地提高了大规模电子系统的设计自动化程度。

(3) 具有自主知识产权

无论传统的应用电子系统设计得如何完美, 使用了多么先进的功能部件, 都掩盖不了一个不争的事实, 即该系统对于设计者来说, 没有任何的知识产权可言。因为系统中的关键器件往往并非出自设计者之手, 这将导致该系统在许多情况下的应用受到直接限制, 而且有时是致命的 (如系统中某些关键器件失去供货来源、应用于军事电子装备中的关键器件等)。基于 EDA 技术的设计则不同, 由于用 HDL 表达的设计在实现目标方面有很大的可选性, 它既可以用不同来源的 FPGA 器件实现, 也可以直接以 ASIC 来实现, 设计者拥有完全的自主权, 再也不会受制于人。

(4) 开发技术的标准化和规范化

传统的电子设计方法至今没有任何标准规范加以约束, 设计效率低, 系统性能差, 开发成本高, 市场竞争能力弱。EDA 技术的设计语言是标准化的, 不会由于设计对象的不同而改变; EDA 开发工具是规范化的, 它支持任何标准化的设计语言; EDA 技术的设计成果是通用性的, IP 核具有规范的接口协议和良好的可移植性与可测试性, 为系统开发提供了可靠的保证。

(5) 全方位地利用计算机的自动设计、仿真和测试技术

EDA 不但在整个设计流程上充分利用计算机的自动设计能力, 在各设计层次上利用计算机完成不同内容的仿真模拟, 而且在系统板设计结束后仍可利用计算机对硬件系统进行完整的测试。对于传统的设计方法, 如单片机仿真器的使用仅能在最后完成的系统上进行局部的软件仿真调试, 在整个设计的中间过程中是无能为力的。至于硬件系统测试, 由于现在的许多系统主板不但层数多, 而且许多器件都是 BGA (Ball-Grid Array) 封装, 所有引脚都在芯片的底面, 焊接后普通的仪器仪表无法接触到所需要的信号点, 因此无法测试。

(6) 对设计者的硬件知识和硬件经验要求低

传统的电子设计对于电子工程师的要求似乎很高: 他在电子技术理论和设计实际方面必须是行家; 他不但应该是软件高手, 同时还是经验丰富的硬件设计能工巧匠; 他必须熟悉针对不同单片机或 DSP 器件开发系统的使用方法和性能, 还必须知道许多器件的封装形式和电气特性, 知道不同的在线测试仪表的使用方法和性能指标; 他要熟练掌握大量的与设计理论和优化技术毫无关系的技能技巧, 不得不事无巨细, 事必躬亲。

所有这一切显然不符合现代电子技术的发展需求, 首先不符合快速换代的产品市场要求, 不符合需求巨大的人才市场的要求。EDA 技术的标准化和 HDL 设计语言与设计平台对具体硬件的无关性, 使设计者能更大程度地将自己的才能和创造力集中在设计项目性能的提高和成本的降低上, 而将更具体的硬件实现工作交给专业部门来完成。显然, 高技术人才比经验性人才的培养效率要高得多。

1.3 EDA 设计的目标和流程

EDA 技术的范畴包括电子工程师进行产品开发的全过程,以及在电子产品生产的全过程中期望由计算机提供的各种辅助工作。从一个角度看,EDA 技术可粗略分为系统级、电路级和物理实现级三个层次的辅助设计过程;从另一个角度来看,EDA 技术应包括电子电路设计的各领域,即从低频电路到高频电路、从线性电路到非线性电路、从模拟电路到数字电路、从分立电路到集成电路的全部设计过程。EDA 技术的范畴如图 1.3 所示。

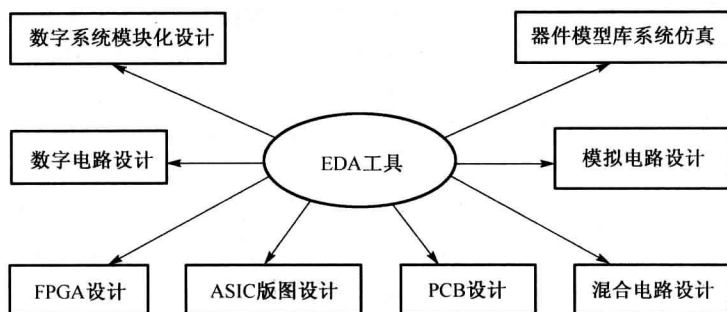


图 1.3 EDA 技术的范畴

1.3.1 EDA 设计的目标

一般来说,利用 EDA 技术进行电子系统设计,归纳起来主要有以下 4 个应用领域:印刷电路板 (PCB) 设计、集成电路 (IC 或 ASIC) 设计、可编程逻辑器件 (FPGA/CPLD) 设计和混合电路设计。

印刷电路板的设计是 EDA 技术最初的实现目标。电子系统大多采用印刷电路板的结构,在系统实现过程中,印刷电路板设计、装配和测试占据了很大的工作量。印刷电路板设计是一个电子系统进行技术实现的重要环节,也是一个很具有工艺性、技巧性的工作。利用 EDA 工具来进行印刷电路板的布局布线设计和验证分析是早期 EDA 技术最基本的应用。

集成电路是指通过一系列特定的加工工艺,将晶体管、二极管等有源器件和电阻、电容等无源器件,按照一定的电路互连,“制作”(集成)在一块半导体单晶薄片上,经过封装而形成的具有特定功能的完整电路。集成电路一般要通过“掩膜”来制作,按照实现的工艺,又分为全定制或半定制的集成电路。集成电路设计包括逻辑(或功能)设计、电路设计、版图设计和工艺设计多个环节。随着大规模和超大规模集成电路的出现,传统的手工设计方法遇到的困难越来越多,为了保证设计的正确性和可靠性,必须采用先进的 EDA 软件工具来进行集成电路的逻辑设计、电路设计和版图设计。集成电路设计是 EDA 技术的最终实现目标,也是推动 EDA 技术推广和发展的一个重要源泉。

可编程逻辑器件 PLD (Programmable Logic Device) 是一种由用户根据需要而自行构造逻辑功能的数字集成电路,其特点是直接面向用户,具有极大的灵活性和通用性,使用方便,开发成本低,工作可靠性好。可编程逻辑器件目前主要有两大类:复杂可编程逻辑器件 CPLD (Complex PLD) 和 FPGA (Field Programmable Gate Array)。它们的基本设计方法是借助 EDA 软件,用原理图、状态机、布尔表达式和硬件描述语言等方法,生成相应的目标文件,最后通过编程器或下载电缆由目标器件实现。可编程逻辑器件的开发与应用是 EDA 技术将电子系统设计与硬件实现进行有机融合的一个重要体现。

随着集成电路复杂程度的不断提高,各种不同学科技术、不同模式、不同层次的混合设计方法已被认为是 EDA 技术所必须支持的方法。不同学科的混合设计方法 (Mixed-discipline) 主要指电子技术

与非电学科学技术的混合设计方法；不同模式的混合方法（Mixed-mode）主要指模拟电路与数字电路的混合、模拟电路与 DSP 技术的混合、电路级与器件级的混合方法等；不同层次的混合方法（Multi-level）主要指逻辑设计中行为级、寄存器级、门级以及开关级的混合设计方法。目前在各种应用领域，如数字电路、模拟电路、DSP 专用集成电路、多芯片模块（Multi-Chip Module, MCM）以及印刷电路系统的设计都需要采用各种混合设计方法。

1.3.2 EDA 设计的流程

利用 EDA 技术进行电路设计的大部分工作是在 EDA 软件平台上进行的。一个典型的 EDA 设计流程主要包括设计准备、设计输入、设计处理、设计验证和器件编程这 5 个基本步骤，如图 1.4 所示。

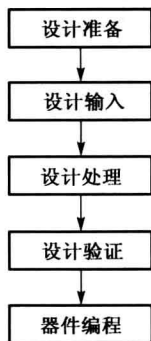


图 1.4 典型的 EDA 设计流程

设计输入有多种方式，包括采用硬件描述语言（如 AHDL、VHDL 和 Verilog HDL 等）进行设计的文本输入方式、图形输入方式和波形输入方式，或者采用文本、图形两者混合的设计输入方式。也可以采用自顶向下的层次结构设计方法，将多个输入文件合并成一个设计文件等。

设计处理是 EDA 设计中的核心环节。在设计处理阶段，编译软件将对设计输入文件进行逻辑化简、综合和优化，并适当地用一片或多片器件自动地进行适配，最后产生编程用的编程文件。设计处理主要包括设计编译和检查、逻辑优化和综合、适配和分割、布局和布线、生成编程数据文件等过程。

设计验证过程包括功能仿真和时序仿真，这两项工作是在设计处理过程中同时进行的。功能仿真是在设计输入完成以后，在选择具体器件进行编译之前进行的逻辑功能验证，因此又称为前仿真。此时的仿真没有延时信息或者只有由系统添加的微小标准延时，这对于初步的功能检测非常方便。在仿真前，先要利用波形编辑器或硬件描述语言等建立波形文件或测试向量（即将所关心的输入信号组合成序列），仿真结果将会生成报告文件和输出信号波形，从中可以观察到各节点信号的变化。若发现错误，则返回设计输入方式，修改逻辑设计。时序仿真是在选择了具体器件并完成布局、布线之后进行的时序关系仿真，因此又称为后仿真或时延仿真。由于不同器件的内部延时不一样，不同的布局、布线方案也会给延时造成不同的影响，因此在设计处理以后，对系统的各模块进行时序仿真、分析其时序关系、估计设计的性能以及检查和消除竞争冒险等是非常必要的。

器件编程是将设计处理中产生的编程数据文件通过软件放到具体的可编程逻辑器件中去。对于 CPLD 器件来说，就是将熔丝图 JED 文件下载（DOWN）到 CPLD 器件中；对 FPGA 器件来说，就是将位流数据文件配置到 FPGA 器件中。

设计验证可以在 EDA 硬件开发平台上进行。EDA 硬件开发平台的核心是一片可编程逻辑器件 FPGA 或 CPLD，再附加一些输入/输出设备，如按键、数码显示器、指示灯、扬声器等，还提供时序电路需要的脉冲信号源。将设计电路编程下载到 FPGA 或 CPLD 中后，根据 EDA 硬件开发平台的操作模式要求，进行相应的输入操作，然后检查输出结果，验证设计电路。

1.3.3 数字集成电路的设计

数字集成电路的 EDA 设计流程如图 1.5 所示。首先由系统描述开始，在这个阶段中要对用户的需求、市场前景以及互补产品进行充分的调研与分析；对设计模式和制造工艺的选择进行认证；最终目标是用工程化语言将待设计 IC 的技术指标、功能、外形尺寸、芯片面积、工作速度与功耗等描述出来，形成这一步的文档。

下一步是功能设计，这一阶段的工作是根据用户提出的系统指标要求，将该系统划分成若干子系

统，在行为级上将 IC 的功能及其各组成子系统的功能关系正确而完整地描述出来。然后是进行逻辑设计，这一阶段的主要任务是得到一个实现系统功能的逻辑结构（通常用逻辑图、HDL 文本或布尔表达式来表示），并对它进行逻辑模拟，验证其正确性。接着是进行电路设计，这一阶段的主要任务是将逻辑图中的各逻辑部件细化成由一些基本门电路互连的结构，最后转变成由晶体管互连构成的电子电路。在电路设计中要考虑电路的速度和功耗，要注意所使用的元件性能。

最后是进行物理设计，包括版图设计与版图验证两方面的任务。版图设计是将电路的表示转化为几何表示（制造芯片所用的掩膜版图）；版图验证是保证集成电路版图设计正确性和可靠性的重要手段。版图的设计应符合与制造工艺有关的设计要求；版图的验证内容包括几何设计规则检查（DRC）、电学规则检查（ERC）、版图与电路原理图一致性检查（LVS）以及版图的电参数提取（LPE）以及后模拟。

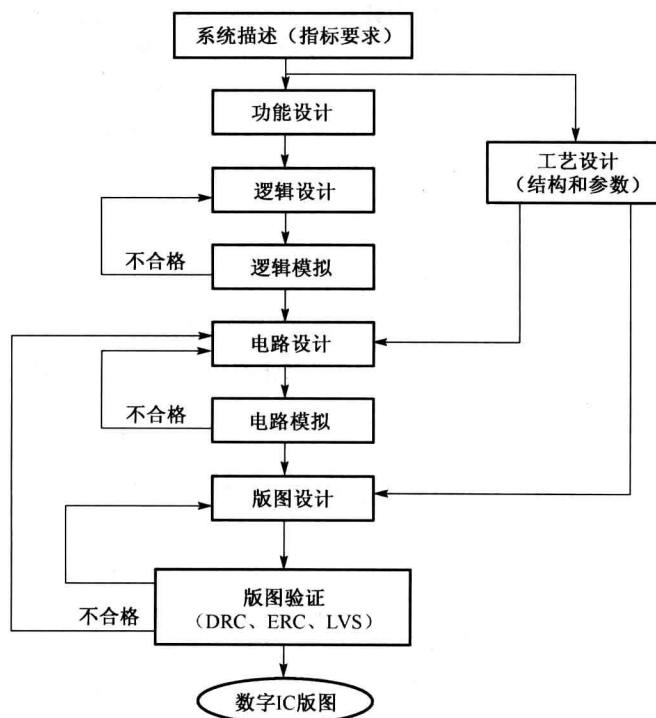


图 1.5 数字集成电路的 EDA 设计流程

需要指出的是：在逻辑设计完成后要进行逻辑模拟，在电路设计完成后要进行电路模拟，在版图设计的全过程中以及完成后均需进行版图验证，以保证所设计的版图满足制造工艺要求和符合系统的设计规范。当不满足要求时，在后模拟与版图设计之间将会发生一个多次迭代过程。逻辑模拟十分重要，因为任何逻辑设计上的错误如果一直到芯片做出来以后才能发现（有时往往很难分清是否是逻辑设计上的错误），就要花费很多的时间和成本去纠正，而且每纠正一次都需要重新进行电路设计、版图设计和工艺流水。

经过验证的版图就可送去制作掩膜版并制造芯片，最后进行封装测试，整个设计流程结束。上述设计流程的每一步骤均需要相应 EDA 工具的支持，实际的数字 IC 设计可能会在某个步骤中或者几个步骤之间反复进行，运用 EDA 工具进行设计的目标就是要尽量减少反复的次数，以缩短产品进入市场的时间。