

高等院校信息技术规划教材

数字逻辑与数字系统设计

——基于Proteus VSM和Verilog HDL

卢建华 邵平凡 编著

//



清华大学出版社

013062717

TP302.2

36

内容简介

高等院校信息技术规划教材

数字逻辑与数字系统设计

——基于Proteus VSM和Verilog HDL

卢建华 邵平凡 编著



北航

C1670396

清华大学出版社
北京

TP302.2

36

717530810

内 容 简 介

本书比较全面地介绍了数字电路的基本概念和工作原理,并以 Proteus ISIS 为辅助工具,用可视化方式实现数字逻辑电路的分析和设计,有利于加深读者对数字逻辑电路和数字系统设计的理解和掌握。与此同时,通过大量实例将目前数字系统设计中常用的 Verilog 硬件描述语言引入数字逻辑电路的设计过程中,使读者尽可能早地接触到新的设计方法,不仅为本课程的教学开拓新路,同时也为将此类方法用于后续课程的学习打下良好基础。本书内容包括基础知识、逻辑代数基础、逻辑门电路、组合逻辑基础、组合逻辑电路、时序逻辑基础、时序逻辑电路、脉冲数字电路、转换电路、可编程逻辑基础、数字系统设计基础等。

本书可作为计算机类、电子类、自动化类等相关专业的本科生教材或教学参考书,也可供相关专业的工程技术人员参考。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

数字逻辑与数字系统设计——基于 Proteus VSM 和 Verilog HDL/卢建华等编著. —北京:清华大学出版社,2013.8

高等院校信息技术规划教材

ISBN 978-7-302-32878-0

I. ①数… II. ①卢… III. ①数字逻辑—逻辑设计—高等学校—教材 ②数字系统—系统设计—高等学校—教材 IV. ①TP302.2 ②TP271

中国版本图书馆 CIP 数据核字(2013)第 136392 号

责任编辑:白立军 顾 冰

封面设计:常雪影

责任校对:梁 毅

责任印制:刘海龙

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:北京市清华园胶印厂

经 销:全国新华书店

开 本:185mm×260mm

印 张:21

字 数:525 千字

版 次:2013 年 8 月第 1 版

印 次:2013 年 8 月第 1 次印刷

印 数:1~2000

定 价:39.00 元

产品编号:044750-01

清华大学出版社
北京

第1章 数字逻辑与数字系统设计——Proteus ISIS和Verilog HDL

前言

foreword

前言

第1章 数字逻辑与数字系统设计——Proteus ISIS和Verilog HDL

“数字逻辑与数字系统设计”是计算机及其相关专业的一门非常重要的专业基础课,该课程的实践性很强,为此,本书从数字逻辑单元电路到数字系统设计,均结合 Proteus ISIS 和 Verilog HDL 进行描述。

本书共分 11 章。第 1 章主要介绍数制、码制、常用编码以及 Proteus ISIS 的基本用法。第 2 章主要介绍逻辑运算和逻辑门的基本特性、逻辑代数的运算规则,以及逻辑函数的表达和化简方法。第 3 章重点介绍 CMOS 门电路和 TTL 门电路的内部结构和工作特性,并在 Proteus ISIS 环境中进行了仿真测试。第 4、5 章详细介绍组合逻辑电路,包括各种典型组合逻辑电路的工作原理、分析和设计方法。第 6、7 章详细介绍时序逻辑电路,包括各类触发器的工作原理、逻辑功能以及典型时序逻辑电路的分析和设计方法。第 8 章主要介绍多谐振荡器、单稳态触发器、施密特触发器等数字脉冲电路的结构和工作原理。第 9 章主要讲解数/模、模/数转换电路的构成和工作原理,并结合常用的集成芯片,分析了其工作过程和使用方法。第 10 章简要介绍 GAL、CPLD 和 FPGA 器件的电路结构和工作原理。第 11 章主要通过几个典型实例在 Proteus ISIS 环境中的实现,介绍数字系统的设计方法和设计步骤。附录部分对 Proteus ISIS 仿真工具的用法和 Verilog HDL 语言进行了简单的介绍,方便读者参考。本书各章都配有作者精选的习题,供读者思考及练习,以巩固相关知识。

本书由卢建华和邵平凡共同编写。其中,第 1~5 章、第 11 章和附录由邵平凡编写;第 6~10 章由卢建华编写。本书建议学时 72 学时,其中理论学时 60,实验学时 12。课程学习结束建议安排为时

1.5 周的课程设计,以提高学生综合运用数字系统设计方法的能力。第 10、11 章可根据实际情况适当选修。

本书是作者结合多年的教学经验,并在查阅大量参考文献的基础上编写的,力求做到语言通俗易懂、内容严谨、重点突出、分析透彻,但由于作者水平有限,书中难免出现疏漏或不妥之处,衷心地希望广大读者和专家批评指正。

编者

2012 年 10 月

目录

Contents

第1章 基础知识	1
1.1 概述	1
1.1.1 数字信号与模拟信号	1
1.1.2 数字系统的基本结构	2
1.2 常用数制及其转换	3
1.2.1 十进制	3
1.2.2 二进制	4
1.2.3 二进制与十进制之间的相互转换	4
1.2.4 八进制数和十六进制数及其与二进制数之间的转换	5
1.2.5 八进制在数制转换中的桥梁作用	7
1.2.6 不同数制数据的后缀表示	8
1.3 带符号二进制数的表示方法	8
1.3.1 原码	8
1.3.2 反码	9
1.3.3 补码	10
1.3.4 二进制数的加、减法运算	11
1.4 常用编码	12
1.4.1 二-十进制编码(BCD 码)	12
1.4.2 格雷码	14
1.4.3 ASCII 码	14
1.5 Proteus 软件简介	15
1.5.1 Proteus 简介	15
1.5.2 Proteus ISIS 简介	16
1.5.3 Proteus ISIS 实用快捷键	18
本章小结	18
思考题与习题	19

第 2 章 逻辑代数基础	20
2.1 逻辑变量与逻辑函数	20
2.2 基本逻辑运算与基本逻辑门	21
2.2.1 逻辑与运算和与门	21
2.2.2 逻辑或运算和或门	22
2.2.3 逻辑非运算和非门	23
2.2.4 基本逻辑门的其他符号表示	24
2.2.5 由基本逻辑门构成的其他复合门	24
2.3 逻辑代数的公式与规则	25
2.3.1 基本公式	25
2.3.2 常用公式	26
2.3.3 关于等式的基本规则	26
2.4 逻辑函数的表示方法	27
2.4.1 逻辑真值表	27
2.4.2 逻辑函数表达式	28
2.4.3 逻辑图	28
2.4.4 卡诺图	29
2.4.5 波形图	29
2.5 逻辑函数的标准形式	29
2.5.1 常用的逻辑函数式	29
2.5.2 逻辑函数的与-或式和或-与式	30
2.5.3 最小项和最大项	30
2.5.4 逻辑函数的标准与-或式和标准或-与式	32
2.6 逻辑函数的化简方法	34
2.6.1 逻辑函数的公式法化简	34
2.6.2 逻辑函数的卡诺图法化简	35
本章小结	43
思考题与习题	43
第 3 章 逻辑门电路	46
3.1 基本逻辑门电路	46
3.1.1 二极管门电路	46
3.1.2 三极管非门电路	48
3.2 CMOS 管门电路	50
3.2.1 CMOS 反相器	50
3.2.2 CMOS 与非门	51

3.2.3	CMOS 或非门	52
3.2.4	其他类型 CMOS 门	52
3.3	TTL 门电路	54
3.3.1	TTL 与非门的基本结构和工作原理	54
3.3.2	TTL 与非门的电压传输特性与抗干扰能力	56
3.3.3	TTL 与非门的 I/O 特性与带负载能力	57
3.3.4	TTL 与非门的动态特性	60
3.3.5	TTL 与非门的主要性能参数	61
3.4	CMOS 和 TTL 集成逻辑门电路简介	62
3.4.1	CMOS 集成逻辑门电路	62
3.4.2	TTL 集成逻辑门电路	64
	本章小结	65
	思考题与习题	65
第 4 章	组合逻辑基础	67
4.1	概述	67
4.2	组合逻辑电路的分析	68
4.3	组合逻辑电路的设计	69
4.4	组合逻辑电路中的竞争-冒险	71
4.4.1	竞争-冒险的产生	71
4.4.2	竞争-冒险的判断	72
4.4.3	竞争-冒险的消除方法	73
4.5	组合逻辑电路的 Verilog HDL 编程入门	74
4.5.1	可编程逻辑器件与硬件描述语言简介	74
4.5.2	Verilog HDL 组合逻辑电路设计实例	74
	本章小结	80
	思考题与习题	80
第 5 章	组合逻辑电路	82
5.1	译码器	82
5.1.1	二进制译码器	82
5.1.2	二-十进制译码器	85
5.1.3	半导体数码管和七段字形码译码器	86
5.2	编码器	88
5.2.1	二进制编码器	88
5.2.2	二进制优先编码器	90
5.2.3	二-十进制编码器	92

5.3	数据分配器与数据选择器	93
5.3.1	数据选择器	93
5.3.2	数据分配器	95
5.4	数值比较电路	96
5.4.1	比较原理	97
5.4.2	4 位比较器	97
5.5	算术运算电路	98
5.5.1	二进制加法器	98
5.5.2	二进制减法器	101
5.6	奇偶校验电路	101
5.6.1	奇偶校验的基本原理	101
5.6.2	集成电路奇偶校验发生器/校验器	103
5.7	中规模集成电路构成组合电路的分析与设计	104
5.7.1	分析方法	104
5.7.2	设计方法	106
	本章小结	108
	思考题与习题	108
第 6 章	时序逻辑基础	111
6.1	时序逻辑电路概述	111
6.1.1	时序逻辑电路的特点	111
6.1.2	时序逻辑电路的结构模型	111
6.1.3	时序逻辑电路的分类	112
6.1.4	时序逻辑电路的表示方法	112
6.2	触发器	114
6.2.1	RS 触发器	114
6.2.2	D 触发器	121
6.2.3	JK 触发器	124
6.2.4	T 触发器	129
6.2.5	不同类型触发器间的转换	130
6.2.6	集成触发器及其参数	131
6.3	基于触发器时序逻辑电路的分析	138
6.3.1	基于触发器时序逻辑电路的分析步骤	139
6.3.2	基于触发器时序逻辑电路的分析举例	139
6.4	基于触发器时序逻辑电路的设计	142
6.4.1	基于触发器时序逻辑电路的设计步骤	142
6.4.2	基于触发器时序逻辑电路的设计举例	143
	本章小结	149

思考题与习题	149
第 7 章 时序逻辑电路	153
7.1 寄存器	153
7.1.1 数码寄存器	153
7.1.2 锁存器	154
7.1.3 移位寄存器	156
7.2 计数器	161
7.2.1 计数器分类	162
7.2.2 同步集成计数器	163
7.2.3 异步集成计数器	167
7.2.4 基于 MSI 计数器的任意 M 进制计数器	170
7.2.5 移位寄存器型计数器	177
7.3 顺序脉冲发生器	180
7.3.1 由计数器和译码器构成的顺序脉冲发生器	180
7.3.2 环形计数器作为顺序脉冲发生器	182
7.4 基于 MSI 时序逻辑电路的分析与设计	182
7.4.1 基于 MSI 时序逻辑电路的分析	182
7.4.2 基于 MSI 时序逻辑电路的设计	186
本章小结	189
思考题与习题	189
第 8 章 脉冲数字电路	193
8.1 多谐振荡器	193
8.1.1 TTL 环形多谐振荡器	193
8.1.2 CMOS 多谐振荡器	200
8.2 单稳态触发器	201
8.2.1 微分型单稳态触发器	202
8.2.2 积分型单稳态触发器	204
8.2.3 集成单稳态触发器	206
8.2.4 单稳态触发器的应用	208
8.3 施密特触发器	210
8.3.1 施密特触发器的特性	210
8.3.2 门电路构成的施密特触发器	211
8.3.3 集成施密特触发器	213
8.3.4 施密特触发器的应用举例	213
8.4 555 定时器及其应用	215

8.4.1	555 定时器	215
8.4.2	555 定时器构成单稳态触发器	216
8.4.3	555 定时器构成多谐振荡器	218
8.4.4	555 定时器构成施密特触发器	219
	本章小结	220
	思考题与习题	221
第 9 章	转换电路	224
9.1	数/模转换电路	224
9.1.1	数/模转换的基本概念	224
9.1.2	权电阻网络 DAC	225
9.1.3	倒 T 型电阻网络 DAC	226
9.1.4	DAC 的主要技术指标	227
9.1.5	集成 DAC 及应用举例	228
9.2	模/数转换电路	234
9.2.1	逐次逼近型 ADC	236
9.2.2	并行比较型 ADC	238
9.2.3	双积分型 ADC	239
9.2.4	ADC 的主要技术指标	241
9.2.5	集成 ADC 及应用举例	241
9.3	压/频转换电路	247
9.3.1	电压/频率转换器 LM331	247
9.3.2	基于 LM331 的电压/频率转换电路	249
9.3.3	基于 LM331 的频率/电压转换电路	251
	本章小结	253
	思考题与习题	254
第 10 章	可编程逻辑基础	256
10.1	可编程逻辑概述	256
10.1.1	PLD 分类	256
10.1.2	PLD 的开发流程	257
10.1.3	PLD 的逻辑表示	258
10.2	通用阵列逻辑 GAL	260
10.2.1	GAL 的结构及工作原理	260
10.2.2	GAL 的编程	264
10.3	复杂可编程逻辑器件 CPLD	264
10.3.1	MAX7000 系列 CPLD	265

10.3.2	Altera MAX II 系列 CPLD	267
10.4	现场可编程门阵列 FPGA	273
10.4.1	FPGA 简介	273
10.4.2	Altera Cyclone 系列 FPGA	274
10.4.3	Cyclone FPGA 器件的编程	279
10.4.4	Altera 在 Cyclone 系列之后推出的新产品简介	284
	本章小结	286
	思考题与习题	287
第 11 章	数字系统设计基础	288
11.1	数字系统概述	288
11.1.1	数字系统的基本概念	288
11.1.2	数字系统设计的一般过程	289
11.2	数字频率计的原理与设计	290
11.2.1	数字频率计的原理	290
11.2.2	数字频率计的设计与实现	291
11.3	十字路口交通灯控制系统设计	296
11.3.1	设计要求	296
11.3.2	设计原理	296
11.3.3	Proteus ISIS 环境下的设计与仿真	297
11.3.4	基于 Verilog HDL 的设计	300
	本章小结	307
	思考题与习题	307
附录 A	Proteus ISIS 用法简介	309
附录 B	Verilog HDL 语言简介	311
B.1	文字规则	311
B.2	数据类型	312
B.3	运算符	313
B.4	基本语句	314
附录 C	Quartus II 9.1 集成开发环境用法简介	317
附录 D	常用 IC 引脚图	321
	参考文献	323

chapter 1

用法,掌握 ISIS 在虚拟仿真平台中的基本应用。

4. 醇本基团强亲水性

取值。

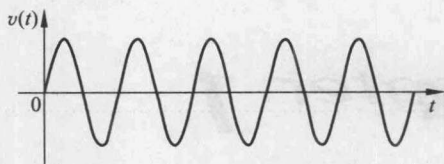


图 1.1 交流电压的波形图

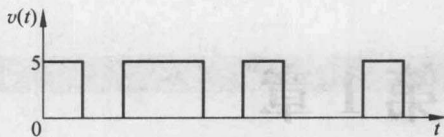


图 1.2 二值数字电压信号的波形图

2. 模拟电路与数字电路

处理模拟信号的电路称为模拟电路(analog circuit),如音频功率放大电路就属于模拟电路。处理数字信号的电路称为数字电路(digital circuit),如编码器、译码器、计数器等都属于数字电路。

相对于模拟电路,数字电路具有如下主要特点:

- (1) 最基本的数字电路只有“与”、“或”、“非”3种基本逻辑门电路,其电路结构简单,容易实现。
- (2) 数字电路易于实现集成化,数字集成电路(IC)具有体积小、功耗低、可靠性高等特点。
- (3) 数字电路只需要用0和1两种状态来表示信息,便于信息的存储、传输和处理。
- (4) 数字电路能够对输入的数字信号进行各种算术运算和逻辑运算。能按照人们设计好的规则,进行逻辑推理和逻辑判断,得出相应的输出结果,即数字电路具有逻辑判断功能,它是计算机以及智能控制系统中的基础。

1.1.2 数字系统的基本结构

1. 数字系统

一个数字系统是指能对数字信号进行输入、存储、加工和传输的实体,它是由若干个实现各种功能的数字逻辑电路相互连接而成,是具有按一定的时序完成逻辑操作功能的系统,如数字频率计、交通灯控制系统、智能游戏机、数控机床等。

2. 数字系统的基本结构

数字系统的基本功能包括:接收现实世界的信息输入,并将其转换成数字系统可理解的二进制“语言”;仅用数字0和1完成所要求的计算和操作;将操作结果以用户可以理解的方式返回给现实世界。其基本模型如图1.3所示。

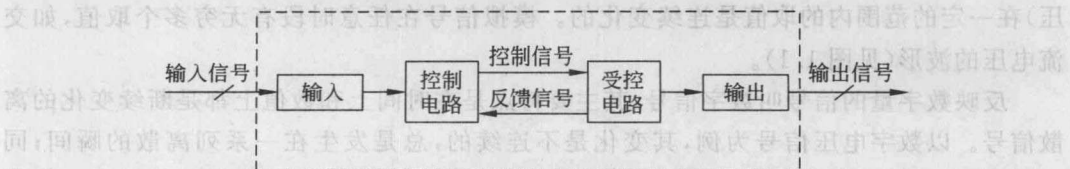


图 1.3 数值系统结构模型

整个系统划分为控制电路和受控电路两大部分。控制电路根据输入要求和受控对象的状态发出控制信号给受控电路,受控电路根据控制信号产生输出,同时反馈状态信

息到控制电路,两者都是由组合逻辑电路和时序逻辑电路构成。

3. 数字系统的分析与设计

数字系统的分析是针对已知的数字系统,分析其工作原理、确定输入与输出信号之间的对应关系、明确整个系统中的各个组成部件的逻辑功能和系统整体的功能,以便对系统进行学习、改进、提高系统的实用性能。

数字系统的设计是针对特定的需求,采用一定的设计方法和手段,构造一个符合需要的系统。数字系统的设计可以分为系统级和模块级。系统级设计是对数字系统整体功能的描述,又称为行为级描述,通常不关心具体的实现方式。系统级设计,将整个数字系统分解为若干个相互关联的功能模块,并描述各模块的外部属性。系统级设计通常采用硬件描述语言(Hardware Description Language, HDL)实现,以程序设计的方式描述系统各模块的行为。模块级设计是在系统级设计基础上,进一步分解各功能模块,描述其行为和功能。模块级设计既可以用 HDL 编程实现,也可以用标准逻辑组件实现。

1.2 常用数制及其转换

数制是进位记数制的简称,是采用进位方式进行计数的一种方法,它通过一组计数符号的组合来表示任意数。数制有两个基本要素:一是基数(base 或 radix),基数是数制中使用的数码(计数符号)个数,如十进制的基数就是 10,在计数过程中的进位规则是逢基数则进位。二是权(right),权是基数的整数幂,是数码在其所在位序上表示的单位值,如十进制数 1232,个位的 2 表示 2×10^0 ,即为 2,而百位的 2 则表示 2×10^2 ,即 200。可见,在任意一个数码序列中,每一个数位上的数码所表示的数值大小等于该数码自身的值乘以该数位的权值。

常用的数制有十进制(decimal)、二进制(binary)、八进制(octal)和十六进制(hexadecimal)。

1.2.1 十进制

十进制是人们日常习惯使用的数制,其基数是 10,有 10 个数码:0,1,2,...,9。进位规则是逢十进一。

在十进制中,人们将小数点左边的数位依次称为个位、十位、百位...,小数点右边的位依次称为十分位、百分位...,实际上就是各位的权值。对于形如 $d_2 d_1 d_0 . d_{-1} d_{-2}$ 的十进制数 N ,写出其按权展开的表达式为

$$N = d_2 \times 10^2 + d_1 \times 10^1 + d_0 \times 10^0 + d_{-1} \times 10^{-1} + d_{-2} \times 10^{-2}$$

一个有着 n 位整数、 m 位小数的十进制数 N 可以表示为

$$N = \sum_{i=-m}^{n-1} d_i \times 10^i \quad (1.1)$$

其中 d_i 是第 i 位数码(或称为系数),可以取 0,1,2,...,9 中的任何一个值; 10^i 是第 i 位的权。至此,可以将十进制按照进位计数法的含义归纳为:基数是 10;使用 0~9 这 10 个数码;第 i 位的权是 10^i ;计数时逢 10 进 1。

1.2.2 二进制

二进制是数字系统中采用的数制,其基数是 2,有两个数码: 0,1。进位规则是逢二进一。数字系统采用二进制的主要原因有二:一是具有两种稳定状态,可用来表示二进制数 0 和 1 的电路设计简单,二是运算非常方便。

在二进制中,对于形如 $b_2b_1b_0.b_{-1}b_{-2}$ 的二进制数 N ,其写出其按权展开表达式为

$$N = b_2 \times 2^2 + b_1 \times 2^1 + b_0 \times 2^0 + b_{-1} \times 2^{-1} + b_{-2} \times 2^{-2}$$

一个有着 n 位整数、 m 位小数的二进制数 N 可以表示为

$$N = \sum_{i=-m}^{n-1} b_i \times 2^i \quad (1.2)$$

其中 b_i 是第 i 位数码,可以取 0、1 中的任何一个值, 2^i 是第 i 位的权。至此,可以将二进制按照进位计数法的含义归纳为:基数是 2,使用 0 和 1 这两个数码;第 i 位的权是 2^i ;计数时逢 2 进 1。

1.2.3 二进制与十进制之间的相互转换

1. 十进制数转换为二进制数

十进制数转换为二进制数可将整数部分和小数部分分别转换,整数部分采用除 2 倒取余数的方法来实现,小数部分采用乘 2 顺取整数的方法来实现。

1) 整数转换——除 2 倒取余数

将十进制整数 N_{10} 转换为二进制数时,该二进制数也必然是整数。设与十进制整数 N_{10} 对应的二进制整数为 $b_{n-1}b_{n-2} \cdots b_1b_0$,按权展开表达式可写为:

$$N_{10} = b_{n-1} \times 2^{n-1} + b_{n-2} \times 2^{n-2} + \cdots + b_1 \times 2^1 + b_0 \times 2^0 \quad (1.3)$$

等式两边同时除以 2,则两边分别得到的商和余数应分别相等,右边的余数一定是 b_0 ,即 b_0 就是 N_{10} 除以 2 的第一个余数;再将两边的商继续除以 2,第二个余数一定是 b_1 ;依此类推,直到商为 0,可以得到 $b_2 \sim b_{n-1}$,这种方法称为“除 2 倒取余”,即最先得到的余数是最低位,最后得到的余数是最高位。

例 1.1 将十进制数 213 转换为二进制数。

解:采用长除法,用 213 长除以 2,然后倒取余数即可得相应的二进制数。

2		213	余数
2		106	1 (LSb)
2		53	0
2		26	1
2		13	0
2		6	1
2		3	0
2		1	1
		0	1 (MSb)

最先产生的余数是二进制数的最低有效位(Least Significant bit, LSb),最后产生的余数是最高有效位(Most Significant bit, MSb),转换结果为: $(213)_{10} = (11010101)_2$ 。

2) 小数转换——乘2顺取整数

将十进制小数 N_{10} 转换为二进制数时,该二进制数也必然是小数。设与十进制小数 N_{10} 对应的二进制小数为 $0.b_{-1}b_{-2}\cdots b_{-m}$,按权展开表达式为

$$N_{10} = b_{-1} \times 2^{-1} + b_{-2} \times 2^{-2} + \cdots + b_{-m} \times 2^{-m} \quad (1.4)$$

等式两边同时乘以2,则两边得到的整数部分和小数部分应分别相等,第一次乘以2后,右边的整数就是 b_{-1} ,即 b_{-1} 是 N_{10} 对应的二进制小数的第一位小数;将两边剩余的小数部分再乘以2,所得的整数一定是 b_{-2} ,也就是说, b_{-2} 是 N_{10} 对应的二进制小数的第二位小数;以此类推可以得到 $b_{-3} \sim b_{-m}$,这种方法称为“乘2顺取整”。

例 1.2 将十进制数 0.6875 转换为二进制数。

解: 乘2,然后顺取整。

		整数部分	0.6875		
			$\times 2$		
		(MSb)	1	.3750	
			$\times 2$		
			0	.750	
			$\times 2$		
			1	.50	
			$\times 2$		
		(LSb)	1	.0	

因此, $(0.6875)_{10} = (0.1011)_2$ 。

注意: 大多数十进制小数转换为二进制数时,不会像例 1.2 那样有精确的二进制小数与之对应,可能会出现循环小数,只能按需要的精度取近似值,比如十进制小数 0.4 和 0.9 就不可能有精确的二进制小数与之对应,转换成二进制数时,只能按精度取有限位小数近似表示。

2. 二进制数转换为十进制数

二进制数转换成十进制数,只需将二进制数中的每一位非 0 值按权累加。

例 1.3 将二进制数 101101.11 转换成十进制数。

$$\begin{aligned} \text{解: } (101101.11)_2 &= 2^5 + 2^3 + 2^2 + 2^0 + 2^{-1} + 2^{-2} \\ &= 32 + 8 + 4 + 1 + 0.5 + 0.25 \\ &= (45.75)_{10} \end{aligned}$$

1.2.4 八进制数和十六进制数及其与二进制数之间的转换

八进制数和十六进制数与二进制数之间存在简单的对应关系,可以缩短二进制数的书写长度,所以在数字系统的数据表示中经常使用。