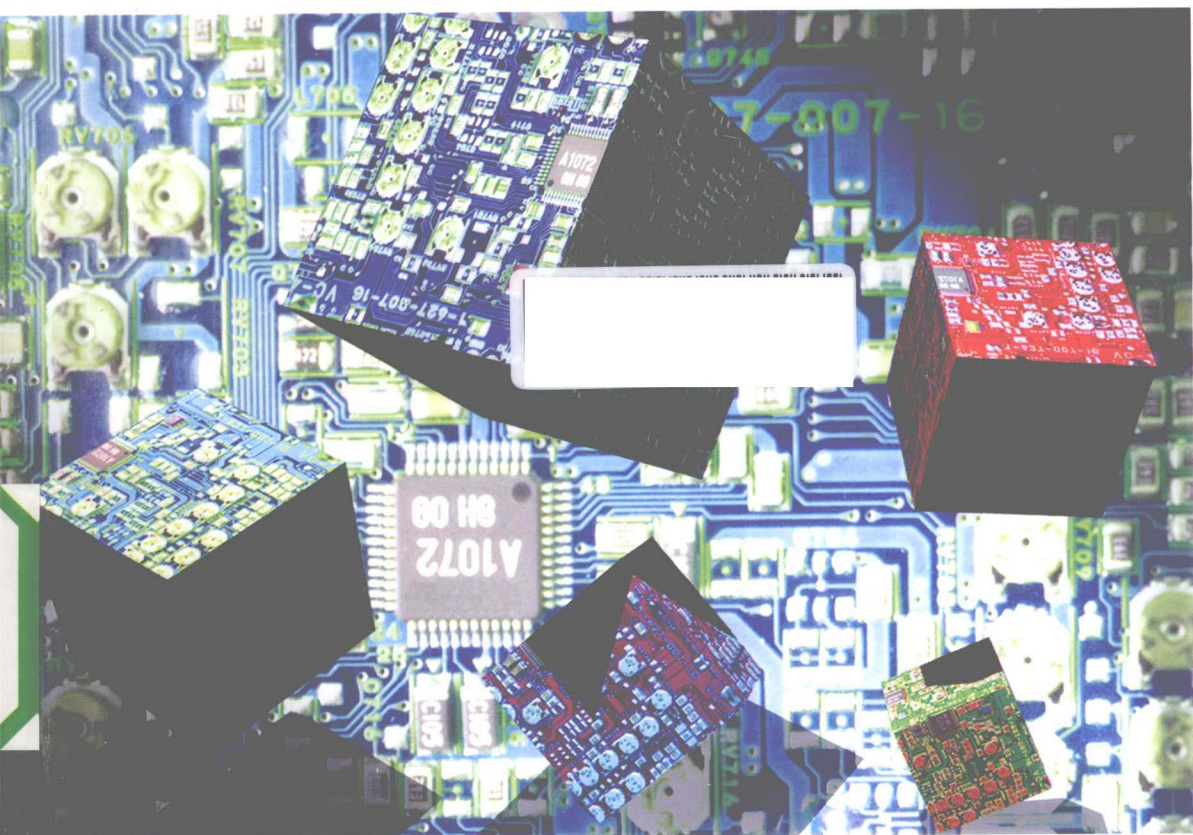


高等院校电子信息科学与工程规划教材

EDA技术与 Verilog HDL

(第2版)

潘松 陈龙 黄继业 ● 编著



清华大学出版社

高等院校电子信息科学与工程规划教材

EDA 技术与 Verilog HDL

(第 2 版)

潘 松 陈 龙 黄继业 编 著

清华大学出版社

北 京

内 容 简 介

本书系统地介绍了 EDA 技术和 Verilog HDL 硬件描述语言, 将 Verilog HDL 的基础知识、编程技巧和实用方法与实际工程开发技术在先进的 EDA 设计平台——Quartus II 上很好地结合起来, 使读者通过本书的学习能迅速了解并掌握 EDA 技术的基本理论和工程开发实用技术, 为后续的深入学习和发展打下坚实的理论与实践基础。

作者依据高校课堂教学和实验操作的规律与要求, 并以提高学生的实际工程设计能力和自主创新能力为目的, 恰当编排了全书内容。全书共分为 7 个部分: EDA 技术的概述、Verilog HDL 语法知识及其实用技术、Quartus II 及 LPM 宏模块的详细使用方法、基于 Verilog 的有限状态机设计技术、基于 Verilog 的 16 位实用 CPU 设计技术及创新实践项目、基于 ModelSim 的 Test Bench 仿真技术, 以及基于 MATLAB 和 DSP Builder 平台的 EDA 设计技术及大量实用系统设计示例。除个别章节外, 其余各章都安排了相应的习题和大量针对性强的实验与设计项目。书中列举的 Verilog HDL 示例都经编译通过或经硬件测试通过。

本书主要面向高等院校本、专科的 EDA 技术和 Verilog HDL 语言基础课, 推荐作为电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等学科专业和相关实验指导课的教材用书或主要参考书, 同时也可作为电子设计竞赛、FPGA 开发应用的自学参考书。

与此教材配套的还有 CAI 教学课件、实验指导课件、实验源程序和实验设计项目相关的详细技术资料等, 读者都可免费索取。

本书封面贴有清华大学出版社防伪标签, 无标签者不得销售。

版权所有, 侵权必究。侵权举报电话: 010-62782989 13701121933

图书在版编目(CIP)数据

EDA 技术与 Verilog HDL/潘松, 陈龙, 黄继业编著. —2 版. —北京: 清华大学出版社, 2013.4
高等院校电子信息科学与工程规划教材

ISBN 978-7-302-31551-3

I. ①E… II. ①潘… ②陈… ③黄… III. ①电子电路-计算机辅助设计-应用软件-高等学校-教材
②硬件描述语言-程序设计-高等学校-教材 IV. ①TN702 ②TP312

中国版本图书馆 CIP 数据核字(2013)第 030636 号

责任编辑: 钟志芳

封面设计: 刘超

版式设计: 文森时代

责任校对: 张彩凤

责任印制: 王静怡

出版发行: 清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址: 北京清华大学学研大厦 A 座 邮 编: 100084

社 总 机: 010-62770175 邮 购: 010-62786544

投稿与读者服务: 010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈: 010-62772015, zhiliang@tup.tsinghua.edu.cn

印 刷 者: 北京富博印刷有限公司

装 订 者: 北京市密云县京文制本装订厂

经 销: 全国新华书店

开 本: 185mm×260mm 印 张: 24 字 数: 554 千字

版 次: 2010 年 4 月第 1 版 2013 年 4 月第 2 版 印 次: 2013 年 4 月第 1 次印刷

印 数: 1~5000

定 价: 39.80 元

前 言

与第1版相比,新版的内容与结构都有了较大变化,主要表现在以下几个方面。

(1) 为了突出重点、精简篇幅,将有关 EDA 技术、硬件描述语言导言的内容、EDA 工具基本知识及 FPGA 与 CPLD 结构原理等基本概念的内容都放在了第1章。

(2) 对硬件描述语言的讲述,改用了比较系统和循序渐进的讲述方法,确保了 HDL 基本内容的完整性和系统性。为了便于理解和提高学习效率,给出了大量有针对性的 HDL 设计示例。这部分内容主要包括在第2、第3和第5章中。

(3) 为了能使读者尽快学到 HDL 知识并付诸实践,更好地从结合工程实际的层面来检验学习效果,本书在较早阶段就安排了对应的硬件设计技术的学习和丰富的实验内容,同时将 HDL 知识的学习有机地融入了实践中。这部分内容主要包括在第4和第6章中。

(4) 第7章主要对之前章节内容进行了归纳综合,期待为后续的学习奠定更坚实的基础。其中许多内容是新加入的。

(5) 第8章的内容有所扩充,主要是围绕有限状态机的设计,介绍了更为实用的 EDA 技术和 HDL 编程设计方法,其中增加了许多新的、更贴近工程实际的状态机设计与应用方面的实用知识。

(6) 第9章的内容基本是新加入的。其中介绍了一个较大的设计项目,即一个有实用意义的16位CPU的设计。这对于之前的理论知识和实践能力的综合运用是一个很好的训练项目,特别是还可以将此章的内容作为一个创新设计竞赛项目。这其中首先给出一个完整的CPU设计原型和详细的设计流程,然后在这个基础上向参赛者提出不同层次要求的创新设计方案和系统设计。此类教学和实践内容在国外高等院校同类课程和教材中经常出现。

(7) 第10章主要介绍基于 ModelSim 的 Test Bench 仿真技术。这部分内容也是新加入的,这主要考虑到 Quartus II 10.0 后不再支持内置的门级仿真器,而 Test Bench 仿真技术在 EDA 技术中更具一般性,适用领域更广,更实用。

(8) 第11和第12章主要介绍基于 DSP-Builder 和 MATLAB/Simulink 的 EDA 技术,其中包括了大量设计示例和对应的实验。这部分内容主要是面向涉及复杂算法的 EDA 系统设计,如数字通信领域中的系统功能模块的设计和高速 DSP 硬件系统的设计,为 EDA 技术和复杂数字系统的设计和验证拓展了更广阔和更一般的领域,使不同的 EDA 工具轻易地融为一体,从而强化了各类 EDA 工具的优势。随着 Quartus II 和 DSP-Builder 版本的升级,这部分内容也有很大的变化和扩充,本书对原有的内容做了更新。

与本书的 Verilog HDL 内容相对应的 VHDL 教材是清华大学出版社出版的《EDA 技术与 VHDL》。

基于工程领域中的 EDA 技术的巨大实用价值,以及对 EDA 教学中实践能力和创新意识培养的极端重视,本书的特色主要体现在如下两个方面。



1. 注重实践能力和创新能力的培养

在绝大部分章节中都安排了针对性较强的实验与设计项目,使学生对每一章的课堂教学内容和教学效果能及时通过实验得以消化和强化,并尽可能地从一开始学习就有机会将理论知识与实践、自主设计紧密联系起来。

全书包含数十个实验及其相关的设计项目,这些项目涉及的 EDA 工具软件类型较多、技术领域也较宽、知识涉猎密集、针对性强,而且自主创新意识的启示性好。与书中的示例相同,所有的实验项目都通过了 EDA 工具的仿真测试及 FPGA 平台的硬件验证。每一个实验项目除给出详细的实验目的、实验原理和实验报告要求外,都有 2~5 个子项目或子任务。它们通常分为:第一个层次的实验是与该章某个阐述内容相关的验证性实验,并通常提供详细的且被验证的设计源程序和实验方法。学生只需将提供的设计程序输入计算机,并按要求进行编译仿真,在实验系统上实现即可;使学生有一个初步的感性认识,这也提高了实验的效率;第二个层次的实验任务是要求在上一实验基础上做一些改进和发挥;第三个层次的实验通常是提出自主设计的要求和任务;第四、第五个实验层次则是在仅给出一些提示的情况下提出自主创新性设计的要求。因此,教师可以根据学时数、教学实验的要求以及不同的学生对象,布置不同层次含不同任务的实验项目。

2. 注重教学选材的灵活性和完整性相结合

本教材的结构特点决定了授课学时数可十分灵活,即可长可短,应视具体的专业特点、课程定位及学习者的前期教育程度等因素而定,大致在 30~54 学时。考虑到 EDA 技术课程的特质和本教材的特色,具体教学可以是粗放型的,其中多数内容,特别是实践项目,都可放手让学生更多地自己去查阅资料、提出问题、解决问题,乃至创新与创造;而授课教师只需做一个启蒙者、引导者、鼓励者和学生成果的检验者与评判者。授课的过程多数情况只需点到为止,大可不必拘泥细节、面面俱到。但有一个原则,即安排的实验学时数应多多益善。

事实上,任何一门课程的学时数总是有限的,为了有效增加学生的实践和自主设计的时间,可以借鉴清华大学的一项教改措施,即其电子系本科生从一入学就每人获得一块 FPGA 实验开发板,可从本科一年级一直用到研究生毕业。这是因为 EDA 技术本身就是一个可把全部实验和设计带回家的课程。

我校对于这门课程也基本采用了这一措施,即每个上 EDA 课的同学都可借出一套 EDA 实验板,使他们能利用自己的计算机在课余时间完成自主设计项目,强化学习效果。实践表明,这种安排使得实验课时得到有效延长,教学成效自然显著。

我们建议积极鼓励学生利用课余时间尽可能学完本书的全部内容,掌握本书介绍的所有 EDA 工具软件和相关开发手段,并尽可能多地完成本书配置的实验和设计任务,甚至能参考教材中的要求,安排相关的创新设计竞赛,进一步激发同学的学习积极性和主动性,并强化他们的动手能力和自主创新能力的培养。

还有一个问题有必要在此探讨,即自主创新能力的培养尽管重要,但对其有效提高绝非一朝一夕之事。多年的教学实践告诉我们,针对这一问题的教改必须从两方面入手,一



是教学内容，二是设课时间。二者密切联系，不可偏废。

前者主要指建立一个内在相关性好、设课时间灵活且易于将创新能力培养寓于知识传播之中的课程体系。

后者主要指在课程安排的时段上，将这一体系的课程尽可能地提前。这一举措是成功的关键，因为我们不可能到了本科三、四年级才去关注能力培养，并期待奇迹发生，更不可能指望一两门课程就能解决问题。

尤其是以卓越工程师为培养目标的工科高等教育，自主创新能力的培养本身就是一项教学双方必须投入密集实践和探索的创新活动。我校的 EDA 技术国家级精品课程正是针对这一教改目标建立的课程体系，而“数字电子技术基础”是这一体系的组成部分和先导课程。它的提前设课是整个课程体系提前的必要条件。

通过数年的试点教学实践和经验总结，现已成功在部分本科学生中将此课程的设课时间从原来的第四或第五学期提前到了第一或第二学期。而这一体系的其他相关课程，如 EDA 技术、单片机（相关教材是清华大学出版社的《单片机原理与应用技术》，潘明、黄继业等编著）、SOC 片上系统、计算机接口、嵌入式系统和 DSP 等也相应提前，从而使学生到本科二年级时就具备了培养工程实践和自主开发能力的条件了。

不可否认，数字电路课程的大幅提前必须要以其教学内容改革为前提，否则将传统的教学内容强行提前必将归于失败。为此，在总结了数字电路多年教改成果的基础上，我们推出了适应新需求的教材，即电子工业出版社出版的《实用数字电子技术基础》一书。此书创新性地解决了传统教材中的手工数字技术与现代自动化数字技术间的关系，使此二者能平稳过渡且有机融合，在有效促进理论与实践紧密结合的同时，强化实践训练，突显了创新意识启蒙的良好效果，同时实现了与后续课程的良好衔接性，很好地适应了当前的教改目标。尽管这一切尚处于我校的局部教学实践中，但已清晰地展示了诸多颇具说服力的证明。

例如，相比于其他同类情况（如同年级、同专业、同授业课程等），那些曾经参加这一课程体系的同学在大学生电子设计竞赛、飞思卡尔车模大赛以及一些国外企业主导的自主设计赛事中，都获得了更多的奖项和更好的成绩。而且这些学生的获奖比例逐年提高，例如，在 2011 年我校的全国大学生电子设计竞赛的一、二等奖项（分别是 3 个和 6 个）的获奖同学中，本科二年级学生的比例高达 80%（同年我校多数本科三年级学生选择考研复习，未参赛）。若按传统的工科本科教学流程，二年级学生就有能力获全国一等奖是不可想象的！

其实，类似的教改活动和教改成绩，我校远非唯一。国内早有不少院校将数字电路放在第一或第二学期，其实践训练的内容包括超过数万至数十万逻辑门规模的数字系统自主设计训练，不少受益的学生在各类电子设计竞赛中也都获得了好成绩。前面提到的清华大学的教改活动也说明，他们至少有部分学生于本科一年级就有数字系统设计方面的训练；后来的调研也证明了这一点，如该校计算机专业本科二年级学生就能自主设计出各种极具创新特色的数字系统，如语音处理及数字立体声播放、硬件超级玛丽游戏显示与控制系统等；又如东南大学在一次省级数字电路课程电子设计竞赛中，有一组同学完成了指纹识别数字锁的设计而获一等奖；再如美国 Michigan 大学本科一年级学生就能设计数字电子琴这



样的复杂系统,其中包括用 FPGA 控制 VGA 显示五线谱,PS/2 键盘作为琴键及数字立体声音乐播放等。

另外有两个问题必须在此说明。

第一是关于本教材对于 Quartus II 版本选择的问题。尽管目前 Altera 早已颁布了 Quartus II 12.0,但本教材中示例的说明仍然选择 Quartus II 9.x,这是因为 Altera 已将 Quartus II 10.0 及此后版本软件中曾经一贯内置的门级波形仿真器移除了,并推荐使用接口于 Quartus II 的 ModelSim-Altera 仿真器。然而这一举措对于初学者未必是一个好消息,因为必须承认,Quartus II 9.x 及之前版本软件中一直内置的波形仿真器的易学、高效和便捷的巨大优势,对于 EDA 教学和初学者的学习是十分重要的。况且 Quartus II 9.x 与 Quartus II 12.0 相比,总体上变化不大,又好在本书在第 10 章中针对 Test Bench 仿真,重点介绍了 ModelSim-Altera 的使用方法。

第二是针对本教材中的实验和实践项目所能提供的演示示例原设计文件的问题。本书中多数实验都能提供经硬件验证调试好的演示示例原设计,目的是为读者能顺利完成实验验证和设计;有的示例的目的是希望能启发或引导读者完成更有创意的设计,其中一些示例尽管看上去颇有创意,但都不能说是最佳或最终结果,这给读者留有許多改进和发挥的余地。此外还有少数示例无法提供源代码(只能提供演示文件),是考虑到本书作者以外的设计者的著作权,但这些示例仍能在设计的可行性、创意和创新方面给读者以宝贵的启示。所有与此教材相关的设计示例和实验项目的原设计程序和工程项目(包括第 9 章的 CPU 设计和第 11、第 12 章基于 DSP-Builder/MATLAB 的设计)都可浏览相关网址或与作者联系而免费索取。

为了尽可能降低本书的成本和售价,就不再配置光盘了。与本书相关的其他资料,包括本书的配套课件、实验示例源程序资料、相关设计项目的参考资料和附录中提到的 mif 文件编辑生成软件等文件资料都可免费索取;此外对于一些与本教材相关的工具软件,包括 Quartus II、Synplify Pro、ModelSim-Altera 和 DSP-Builder/MATLAB 等 EDA 软件的安装使用问题都可咨询 www.kx-soc.com,或与作者探讨(pmr123@sina.cn);或直接与出版社联系(主要是索取教学课件)。

为了本书的顺利出版,杭州康芯公司的高级工程师姜兆刚先生在 IP 核的应用、大量实验设计项目的验证和各种 EDA 软件工具的安装调试等方面完成了大量的和无可替代的工作,在此表示诚挚的谢意!

清华大学出版社的网址和联系方式是:www.tup.com.cn,zzfangcn@vip.163.com。

编者

于杭州电子科技大学

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术	1
1.2 EDA 技术应用对象	2
1.3 常用 HDL 和 Verilog HDL	3
1.4 EDA 技术的优势	5
1.5 面向 FPGA 的 EDA 开发流程	6
1.5.1 设计输入	6
1.5.2 综合	7
1.5.3 适配 (布线布局)	9
1.5.4 仿真	10
1.5.5 RTL 描述	10
1.6 可编程逻辑器件	11
1.6.1 PLD 的分类	11
1.6.2 PROM 可编程原理	12
1.6.3 GAL	14
1.7 CPLD 的结构与可编程原理	15
1.8 FPGA 的结构与工作原理	18
1.8.1 查找表逻辑结构	18
1.8.2 Cyclone III 系列器件的结构原理	19
1.9 硬件测试技术	22
1.9.1 内部逻辑测试	22
1.9.2 JTAG 边界扫描测试	22
1.10 编程与配置	23
1.11 Quartus II	24
1.12 IP 核	25
1.13 EDA 的发展趋势	26
习题	27
第 2 章 Verilog 程序结构与数据类型	29
2.1 Verilog 程序结构	29
2.1.1 Verilog 的模块的表达方式	30
2.1.2 Verilog 模块的端口信号名和端口模式	30



2.1.3	Verilog 信号类型定义	31
2.1.4	Verilog 模块功能描述	32
2.2	Verilog 数据类型	32
2.2.1	net 网线类型	33
2.2.2	wire 网线型变量的定义方法	33
2.2.3	register 寄存器类型	34
2.2.4	reg 寄存器型变量的定义方法	34
2.2.5	integer 整数型寄存器类型变量定义方法	35
2.2.6	存储器类型	35
2.3	Verilog 基本要素与文字规则	37
2.3.1	Verilog 的 4 种逻辑状态	37
2.3.2	Verilog 的数字表达形式	37
2.3.3	数据类型表示方式	38
2.3.4	常量	39
2.3.5	标识符、关键词及其他文字规则	40
2.3.6	参数定义关键词 parameter 和 localparam 的用法	42
	习题	42
第 3 章	Verilog 行为语句	44
3.1	过程语句	44
3.1.1	always 语句	44
3.1.2	always 语句在 D 触发器设计中的应用	46
3.1.3	多过程应用与异步时序电路设计	47
3.1.4	简单加法计数器及其 Verilog 表述	47
3.1.5	initial 语句	48
3.2	块语句	50
3.3	case 条件语句	50
3.4	if 条件语句	52
3.4.1	if 语句的一般表述形式	52
3.4.2	基于 if 语句的组合电路设计	53
3.4.3	基于 if 语句的时序电路设计	55
3.4.4	含异步复位和时钟使能的 D 触发器的设计	56
3.4.5	含同步复位控制的 D 触发器的设计	57
3.4.6	含清零控制的锁存器的设计	58
3.4.7	时钟过程表述的特点和规律	59
3.4.8	实用加法计数器设计	60
3.4.9	含同步预置功能的移位寄存器设计	62
3.4.10	关注 if 语句中的条件指示	63



3.5	过程赋值语句.....	64
3.6	循环语句.....	65
3.6.1	for 语句.....	65
3.6.2	while 语句.....	66
3.6.3	repeat 语句.....	67
3.6.4	forever 语句.....	67
3.7	任务与函数语句.....	68
	习题.....	70
第 4 章	时序仿真与硬件实现.....	72
4.1	Verilog 程序输入与仿真测试.....	72
4.1.1	编辑和输入设计文件.....	72
4.1.2	创建工程.....	73
4.1.3	全程编译前约束项目设置.....	74
4.1.4	全程综合与编译.....	75
4.1.5	仿真测试.....	77
4.1.6	RTL 图观察器应用.....	79
4.2	引脚锁定与硬件测试.....	79
4.2.1	引脚锁定.....	79
4.2.2	编译文件下载.....	81
4.2.3	JTAG 间接编程模式.....	82
4.2.4	USB-Blaster 驱动程序安装方法.....	83
4.3	电路原理图设计流程.....	83
4.3.1	用原理图输入方式设计半加器.....	84
4.3.2	完成全加器顶层设计.....	85
4.3.3	对全加器进行时序仿真和硬件测试.....	86
4.4	利用属性表述实现引脚锁定.....	87
4.5	宏模块逻辑功能查询.....	88
4.6	SignalTap II 的使用方法.....	88
4.7	编辑 SignalTap II 的触发信号.....	93
	习题.....	94
	实验与设计.....	95
实验 4-1	多路选择器设计实验.....	95
实验 4-2	十六进制 7 段数码显示译码器设计.....	95
实验 4-3	8 位硬件乘法器设计实验.....	97
实验 4-4	应用宏模块设计数字频率计.....	97
实验 4-5	计数器设计实验.....	101
实验 4-6	数码扫描显示电路设计.....	101



实验 4-7	半整数与奇数分频器设计	102
实验 4-8	串行静态显示控制电路设计	104
第 5 章	Verilog 运算符与结构描述语句	105
5.1	运算操作符	105
5.1.1	按位逻辑操作符	105
5.1.2	逻辑运算操作符	106
5.1.3	算术运算操作符	106
5.1.4	关系运算操作符	107
5.1.5	BCD 码加法器设计示例	108
5.1.6	缩位操作符	109
5.1.7	并位操作符	110
5.1.8	移位操作符应用法	110
5.1.9	使用移位操作符的设计示例	110
5.1.10	条件操作符	111
5.2	连续赋值语句	112
5.3	例化语句	113
5.3.1	半加器设计	113
5.3.2	全加器设计	114
5.3.3	Verilog 例化语句及其用法	114
5.4	参数传递语句应用	116
5.5	用库元件实现结构描述	117
5.6	用户自定义元件 (UDP)	119
5.6.1	UDP 组合元件设计	119
5.6.2	UDP 时序元件设计	120
5.7	编译指示语句	123
5.7.1	宏定义命令语句	123
5.7.2	文件包含语句 'include	124
5.7.3	条件编译命令语句 'ifdef、'else、'endif	124
5.8	keep 属性应用	125
5.9	SignalProbe 使用方法	126
习题		128
实验与设计		130
实验 5-1	高速硬件除法器设计实验	130
实验 5-2	不同类型的移位寄存器设计实验	130
实验 5-3	基于 Verilog 代码的频率计设计	130
实验 5-4	8 位加法器设计实验	132
实验 5-5	VGA 彩条信号显示控制电路设计	132



实验 5-6 移位相加型 8 位硬件乘法器设计	135
第 6 章 LPM 宏模块的应用	137
6.1 计数器 LPM 宏模块调用	137
6.1.1 计数器 LPM 模块文本代码的调用	137
6.1.2 LPM 计数器代码与参数传递语句应用	138
6.1.3 创建工程与仿真测试	140
6.2 利用属性控制乘法器的构建	141
6.3 LPM_RAM 宏模块的设置与使用	142
6.3.1 初始化文件及其生成	142
6.3.2 以原理图方式对 LPM_RAM 进行设置和调用	144
6.3.3 测试 LPM_RAM	146
6.3.4 Verilog 代码描述的存储器初始化文件加载表述	147
6.3.5 存储器设计的结构控制	148
6.4 LPM_ROM 的定制和使用示例	150
6.4.1 简易正弦信号发生器设计	150
6.4.2 正弦信号发生器硬件实现和测试	151
6.5 在系统存储器数据读写编辑器应用	152
6.6 LPM 嵌入式锁相环调用	153
6.6.1 建立嵌入式锁相环元件	154
6.6.2 测试锁相环	156
6.7 In-System Sources and Probes Editor 使用方法	156
6.8 数控振荡器核使用方法	159
6.9 FIR 核使用方法	161
6.10 DDS 实现原理与应用	162
6.10.1 DDS 原理	163
6.10.2 DDS 信号发生器设计示例	165
习题	166
实验与设计	166
实验 6-1 查表式硬件运算器设计	166
实验 6-2 正弦信号发生器设计	167
实验 6-3 简易逻辑分析仪设计	167
实验 6-4 DDS 正弦信号发生器设计	169
实验 6-5 移相信号发生器设计	169
实验 6-6 AM 幅度调制信号发生器设计	170
实验 6-7 硬件消抖动电路设计	171

第 7 章 Verilog 设计深入.....	173
7.1 过程中的两类赋值语句.....	173
7.1.1 未指定延时的阻塞式赋值语句.....	173
7.1.2 指定了延时的阻塞式赋值.....	174
7.1.3 未指定延时的非阻塞式赋值.....	175
7.1.4 指定了延时的非阻塞式赋值.....	176
7.1.5 深入认识阻塞式与非阻塞式赋值的特点.....	177
7.1.6 不同的赋初值方式导致不同综合结果的示例.....	179
7.2 过程语句深入探讨.....	181
7.2.1 过程语句应用总结.....	181
7.2.2 深入认识不完整条件语句与时序电路的关系.....	182
7.3 三态与双向端口设计.....	183
7.3.1 三态控制电路设计.....	184
7.3.2 双向端口设计.....	184
7.3.3 三态总线控制电路设计.....	186
7.4 资源优化.....	188
7.4.1 资源共享.....	188
7.4.2 逻辑优化.....	189
7.4.3 串行化.....	190
7.5 速度优化.....	191
7.5.1 流水线设计.....	191
7.5.2 关键路径法.....	193
7.5.3 乒乓操作法.....	194
7.5.4 加法树法.....	194
习题.....	195
实验与设计.....	197
实验 7-1 4×4 阵列键盘键信号检测电路设计.....	197
实验 7-2 直流电机综合测控系统设计.....	198
实验 7-3 VGA 简单图像显示控制模块设计.....	199
实验 7-4 乐曲硬件演奏电路设计.....	200
实验 7-5 PS2 键盘控制模型电子琴电路设计.....	204
实验 7-6 SPWM 脉宽调制控制系统设计.....	207
第 8 章 Verilog 状态机设计技术.....	210
8.1 Verilog 状态机的一般形式.....	210
8.1.1 状态机的特点与优势.....	211
8.1.2 状态机的一般结构.....	212



8.1.3 初始控制与表述.....	215
8.2 Moore 型状态机及其设计.....	216
8.2.1 多过程结构状态机.....	216
8.2.2 序列检测器及其状态机设计.....	220
8.3 Mealy 型状态机设计.....	221
8.4 不同编码类型状态机.....	224
8.4.1 直接输出型编码.....	224
8.4.2 用宏定义语句定义状态编码.....	226
8.4.3 顺序编码.....	227
8.4.4 一位热码编码.....	228
8.4.5 状态编码设置.....	228
8.5 异步状态机设计.....	230
8.6 安全状态机设计.....	233
8.6.1 状态导引法.....	233
8.6.2 状态编码监测法.....	234
8.6.3 借助 EDA 工具自动生成安全状态机.....	235
习题.....	235
实验与设计.....	236
实验 8-1 序列检测器设计.....	236
实验 8-2 ADC 采样控制电路设计.....	236
实验 8-3 数据采集模块设计.....	237
实验 8-4 五功能智能逻辑笔设计.....	239
第 9 章 基于 Verilog 的实用 CPU 创新设计.....	241
9.1 KX9016 的结构与特色.....	241
9.2 KX9016 基本硬件系统设计.....	244
9.2.1 单步节拍发生模块.....	244
9.2.2 ALU 模块.....	245
9.2.3 比较器模块.....	245
9.2.4 基本寄存器与寄存器阵列组.....	246
9.2.5 移位器模块.....	248
9.2.6 程序与数据存储器模块.....	249
9.3 KX9016v1 指令系统设计.....	249
9.3.1 指令格式.....	250
9.3.2 指令操作码.....	251
9.3.3 软件程序设计示例.....	252
9.3.4 KX9016v1 控制器设计.....	254
9.3.5 指令设计示例详解.....	258



9.4	KX9016 的时序仿真与硬件测试	259
9.4.1	时序仿真与指令执行波形分析	259
9.4.2	CPU 工作情况的硬件测试	261
9.5	KX9016 应用程序设计示例和系统优化	263
9.5.1	除法算法及其硬件实现	263
9.5.2	乘法算法及其硬件实现	264
9.5.3	KX9016v1 的硬件系统优化	265
	习题	266
	实验与设计	267
	实验 9-1 16 位 CPU 验证性设计综合实验	267
	实验 9-2 新指令设计及程序测试实验	267
	实验 9-3 16 位 CPU 的优化设计与创新	268
	实验 9-4 CPU 创新设计竞赛	269
第 10 章	Verilog Test Bench 仿真	271
10.1	Verilog 行为仿真流程	272
10.2	Verilog 测试基准示例	274
10.3	Verilog Test Bench 测试流程	276
10.4	Verilog 系统任务和系统函数	279
10.4.1	系统任务和系统函数	279
10.4.2	预编译语句	285
10.5	延时模型	285
10.5.1	#延时和门延时	286
10.5.2	延时说明块	286
10.6	其他仿真语句	287
10.6.1	fork-join 块语句	287
10.6.2	wait 语句	288
10.6.3	force、release 语句	288
10.6.4	deassign 语句	289
10.7	仿真激励信号的产生	289
10.8	Verilog 数字系统仿真	291
	习题	292
	实验	292
	实验 10-1 在 ModelSim 上对计数器的 Test Bench 进行仿真	292
	实验 10-2 在 ModelSim 上进行 16 位累加器设计仿真	292
第 11 章	DSP Builder 设计初步	294
11.1	MATLAB/DSP Builder 及其设计流程	294



11.2	正弦信号发生器设计	297
11.2.1	建立设计模型	297
11.2.2	Simulink 模型仿真	303
11.2.3	SignalCompiler 使用方法	307
11.2.4	使用 ModelSim 进行 RTL 级仿真	308
11.2.5	使用 Quartus II 实现时序仿真	310
11.2.6	硬件测试与硬件实现	310
11.3	DSP Builder 层次化设计	311
11.4	基于 DSP Builder 的 DDS 设计	314
11.4.1	DDS 模块设计	314
11.4.2	FSK 调制器设计	316
11.4.3	正交信号发生器设计	318
11.4.4	数控移相信号发生器设计	319
11.4.5	幅度调制信号发生器设计	320
11.5	数字编码与译码器设计	321
11.5.1	伪随机序列	321
11.5.2	帧同步检出	323
11.6	HIL 硬件仿真	325
	习题	329
	实验与设计	329
	实验 11-1 利用 MATLAB/DSP Builder 设计基本电路模块	329
	实验 11-2 基于 DSP Builder 的 DDS 应用模型设计	330
	实验 11-3 编译码器设计实验	332
	实验 11-4 HIL 硬件环仿真实验	332
	实验 11-5 DSP Builder 状态机应用实验	333
第 12 章	DSP Builder 设计深入	335
12.1	FIR 数字滤波器设计	335
12.1.1	FIR 滤波器原理	335
12.1.2	使用 DSP Builder 设计 FIR 滤波器	336
12.1.3	使用 MATLAB 的滤波器设计工具	341
12.1.4	使用 FIR IP Core 设计 FIR 滤波器	346
12.2	HDL 模块插入仿真与设计	350
12.3	正交幅度调制与解调模型设计	351
12.4	NCO IP 核应用	354
12.5	基于 IP 的数字编译码器设计	356
	习题	358
	实验与设计	359



505	实验 12-1	FIR 数字滤波器设计实验	359
512	实验 12-2	编译码器与调制解调模块设计实验	360
517	实验 12-3	HDL Import 模块应用实验	360
525	参考文献		361
530	附录 A	EDA 开发系统及相关硬件	362
531	A.1	KX_DN8 系列 EDA/SOPC 系统	363
537	A.2	部分实验扩展模块	365
541	A.3	.mif 文件生成器使用方法	366
542			
543			
544			
545			
546			
547			
548			
549			
550			
551			
552			
553			
554			
555			
556			
557			
558			
559			
560			
561			
562			
563			
564			
565			
566			
567			
568			
569			
570			
571			
572			
573			
574			
575			
576			
577			
578			
579			
580			
581			
582			
583			
584			
585			
586			
587			
588			
589			
590			
591			
592			
593			
594			
595			
596			
597			
598			
599			
600			