



装备科技译著出版基金



高新科技译丛

Digital Integrated Circuits  
Analysis and Design  
Second Edition

# 数字集成电路 分析与设计 (第2版)

【美】 John E. Ayers 著 杨兵 译



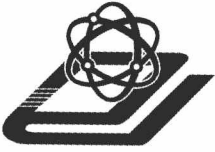
CRC Press  
Taylor & Francis Group



国防工业出版社  
National Defense Industry Press

013047384

TN431.2  
47



装备科技译著出版基金

# 数字集成电路分析与设计

(第2版)

Digital Integrated Circuits Analysis and Design  
Second Edition

【美】John E. Ayers 著

杨兵 译



国防工业出版社

·北京·

TN 431.2/47



北航

C1652951

# 著作权合同登记 图字:军-2011-114 号

## 图书在版编目(CIP)数据

数字集成电路分析与设计:第2版/(美)艾尔斯  
(Ayers, J. E.) 著;杨兵译. —北京:国防工业出版社,  
2013. 3

(高新科技译丛)

书名原文:Digital integrated circuits: analysis  
and design

ISBN 978-7-118-08568-6

I. ①数… II. ①艾… ②杨… III. ①数字集成电路  
—电路分析—教材②数字集成电路—电路设计—教材  
IV. ①TN431.2

中国版本图书馆 CIP 数据核字(2013)第 042397 号

Authorized translation from English language edition published by CRC Press, part of Taylor & Francis Group LLC; All rights reserved;

本书原版由 Taylor & Francis 出版集团旗下 CRC 出版公司出版,并经其授权翻译出版,版权所有,侵权必究。

National Defence Industry Press is authorized to publish and distribute exclusively the **Chinese (Simplified Characters)** language edition. This edition is authorized for sale throughout **Mainland of China**. No part of the publication may be reproduced or distributed by any means, or stored in a database or retrieval system without the prior written permission of the publisher.

本书中文简体翻译版授权由国防工业出版社独家出版并限在中国大陆地区销售,未经出版者书面许可,不得以任何方式复制或发行本书的任何部分。

Copies of this book sold without a Taylor & Francis sticker on the cover are unauthorized and illegal.

本书封面贴有 Taylor & Francis 公司防伪标签,无标签者不得销售。

*Copies of this book sold without a Taylor & Francis sticker on the cover are unauthorized and illegal.*

所售图书若无 Taylor & Francis 的防伪标签,则为非授权的非法出版物。

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号 邮政编码 100048)

北京奥鑫印刷厂印刷

新华书店经售

\*

开本 787 × 1092 1/16 印张 23<sup>1</sup>/<sub>4</sub> 字数 526 千字

2013 年 3 月第 1 版第 1 次印刷 印数 1—2500 册 定价 69.00 元

(本书如有印装错误,我社负责调换)

国防书店:(010)88540777

发行邮购:(010)88540776

发行传真:(010)88540755

发行业务:(010)88540717

## 译者序

集成电路的制造工艺水平基本按照摩尔定律不断提高,这种发展使得用数字集成电路来完成的功能会越来越多。本书以半导体器件物理的内容为基础,逐步阐述了数字 IC 设计的基本概念和问题。其内容包括 CMOS 制造工艺、器件模型和公式、基本门电路、静态与动态电路、双稳态电路、低功耗 CMOS 设计、存储器设计、互连线效应和输入/输出接口电路等。此外,还结合相关模型强调了 SPICE 模拟工具在电路设计中的应用。

本书内容丰富全面,共分为 12 章。第 1 章是对深亚微米时代数字集成电路的透视,由此引出了随后各章的主题。第 2 章介绍集成电路制造工艺。第 3 章介绍 PN 结的电学特性。第 4 章介绍 MOS 晶体管电学特性和短沟道器件效应。第 5 章以数字反相器为代表讨论 MOS 门电路,引入了电压传输特性、噪声容限、反相器结构和简单时序、功耗计算的相关概念。研究静态 NAND 门、NOR 门和其他复杂门的设计问题。第 6 章探讨静态 CMOS 电路。第 7 章讨论数字集成电路中互连线问题。第 8 章探讨动态 CMOS 电路。第 9 章介绍低功耗 CMOS 设计中的一些问题。第 10 章介绍一些双稳态电路。第 11 章探讨半导体数字存储器的结构、存取机制和单元构造。第 12 章讨论数字集成电路输入/输出所涉及的 ESD 保护和输出驱动问题,以及在不同工作电压下电路间的接口电路设计问题。附录给出了相关内容的一些有用的参考资料。

本书较为全面地反映了数字集成电路设计技术的相关内容,可作为高等院校微电子、计算机、电子工程等专业本科生和研究生的教材和参考书,也可供从事相关领域工作的技术人员参考。我将之翻译出来,希望能对国内相关领域的教学、科研和产业有一定帮助。

本书由北方工业大学信息工程学院微电子学系教师杨兵翻译,由于译者水平有限,在翻译中难免有错误或不妥之处,真诚希望各位读者在阅读中发现错误时及时指正,以便提高翻译的质量。联系方式:yangb@ncut.edu.cn。

译者

2013 年 4 月

## 序 言

今天,没有哪个行业领域会比数字集成电路更具活力和挑战性。从 1958 年发明集成电路以来,我们在单个硅芯片上集成晶体管的数量如摩尔定律所描述的那样,大约每 18 个~24 个月增加 1 倍。因此,数字集成电路的功能和性能随时间按几何级数地增加。这种指数的进展在所有人类发展的努力中独领“风骚”,彻底改变了人们的生活和工作。

数字电路的快速进步,使得 MOS 晶体管尺寸不断按比例缩小,扩大了跨学科所达到的领域。使材料、加工工艺、器件物理和电路的性能特点比以往更有着不可分割的联系。本书的初衷是集中于基本原理和跨学科的特点,在目前已有的晶体管电子学的书籍和讨论 VLSI 设计与制造为主题的书籍之间架起了桥梁。

第 2 版坚持这个相同的成功理念,对几乎每个细节都进行了明显的改进,新增加了 4 章,超过 200 个新的插图,并提供了一个包括一部分针对指导教师的内容的网址(<http://www.engr.uconn.edu/ECE/books/ayers>)。在一个新的章节详细介绍了集成电路制造工艺并讨论了双镶嵌工艺的铜互连、金属栅和高  $\kappa$  栅介质。增加的有关 MOS 晶体管的章节包括在短沟道器件物理结构上采用新材料。通过加入许多新的包含短沟道行为的例子,更详细地覆盖到了 CMOS 电路。

和第 1 版一样,这本书在晶体管电子学和 VLSI 设计或制造课程之间架起了桥梁。作为集成电路工程师的一个关键环节,跨学科的内容可以指导工程师从事更先进的工作。出于教学的原因,这本书采用 SPICE level 1 模型(类似“晶体管电子学”课程),但引入了 VLSI 设计中不可缺少的 BSIM 模型。这种方式使得在手算分析和 SPICE 模拟之间形成一个对器件和电路设计直观的联系。一旦形成这些联系,相对于 level 1 模型的预测,由于 BSIM 器件模型包含许多二阶和经验的修正参数,可以更好地做出估算。

《数字集成电路分析与设计》(第 2 版)关注于基本原理并从现代跨学科的观点来介绍,可供今后成为集成电路工程师的人员使用。

John E. Ayers

# 目 录

<b>第 1 章 引言</b> .....	1
1.1 历史展望与摩尔定律 .....	1
1.2 数字集成电路的电学性能 .....	5
1.2.1 逻辑功能 .....	6
1.2.2 静态电压传输特性 .....	10
1.2.3 瞬态特性 .....	11
1.2.4 扇入和扇出 .....	13
1.2.5 功耗 .....	14
1.2.6 功率延迟积 .....	16
1.3 计算机辅助设计与验证 .....	16
1.4 制造 .....	17
1.5 半导体和结 .....	18
1.6 MOS 晶体管 .....	18
1.7 MOS 门电路 .....	19
1.8 互连 .....	20
1.9 动态 CMOS .....	20
1.10 低功耗 CMOS .....	20
1.11 双稳态电路 .....	21
1.12 存储器 .....	21
1.13 输入/输出和接口电路 .....	22
1.14 实际的观点 .....	22
1.15 小结 .....	22
练习题 .....	23
参考文献 .....	24
<b>第 2 章 制造</b> .....	26
2.1 引言 .....	26
2.2 基本的 CMOS 制造工序 .....	26
2.3 先进的高性能 CMOS 工艺 .....	31
2.3.1 铜布线 .....	31
2.3.2 金属栅 .....	33
2.3.3 高 $\kappa$ 栅介质 .....	33
2.4 光刻和掩膜版 .....	33

2.5	版图和设计规则	35
2.5.1	最小线宽和间隔	37
2.5.2	接触孔和过孔	39
2.6	测试及成品率	40
2.7	封装	41
2.8	老化和加速试验	42
2.9	实际的观点	43
2.10	总结	43
	练习题	43
	参考文献	43
<b>第3章</b>	<b>半导体和pn结</b>	<b>46</b>
3.1	引言	46
3.2	硅的晶体结构	46
3.3	能带	46
3.4	载流子浓度	47
3.4.1	本征硅	48
3.4.2	n型硅	48
3.4.3	p型硅	49
3.5	电流传输	49
3.6	载流子连续性方程	51
3.7	泊松方程	51
3.8	pn结	51
3.8.1	零偏置(热平衡)	52
3.8.2	耗尽电容	54
3.8.3	正向偏置电流	55
3.8.4	反向偏置	57
3.8.5	反向击穿	58
3.9	金属—半导体结	58
3.10	SPICE模型	59
3.11	实际的观点	60
3.12	小结	60
	练习题	60
	参考文献	60
<b>第4章</b>	<b>MOS晶体管</b>	<b>62</b>
4.1	引言	62
4.2	MOS电容	63
4.3	阈值电压	65
4.4	MOSFET的电流—电压特性	68
4.4.1	线性区工作	69

4.4.2	饱和区工作 .....	71
4.4.3	亚阈值区工作 .....	72
4.4.4	渡越时间 .....	73
4.5	短沟道 MOSFET .....	74
4.5.1	短沟道效应 .....	75
4.5.2	窄沟道效应 .....	75
4.5.3	漏导致的势垒降低 .....	75
4.5.4	沟道长度调制 .....	76
4.5.5	依赖电场的迁移率和速度饱和 .....	77
4.5.6	短沟道 MOSFET 渡越时间 .....	81
4.6	MOSFET 设计 .....	82
4.7	MOSFET 电容 .....	85
4.7.1	氧化层电容 .....	86
4.7.2	pn 结电容 .....	87
4.7.3	密勒效应 .....	90
4.8	MOSFET 恒定电场的按比例缩小 .....	90
4.9	SPICE 中的 MOSFET 模型 .....	91
4.9.1	MOSFET level 1 模型 .....	92
4.9.2	伯克利短沟道绝缘栅场效应晶体管模型 .....	93
4.10	SPICE 说明 .....	97
4.11	实际的观点 .....	99
4.12	小结 .....	100
	练习题 .....	100
	参考文献 .....	102
<b>第 5 章</b>	<b>MOS 门电路</b> .....	<b>103</b>
5.1	反相器静态特性 .....	103
5.2	临界电压 .....	106
5.2.1	输出高电压 $V_{OH}$ .....	106
5.2.2	输出低电压 $V_{OL}$ .....	106
5.2.3	输入低电压 $V_{IL}$ .....	107
5.2.4	输入高电压 $V_{IH}$ .....	107
5.2.5	开关阈值(中点)电压 $V_M$ .....	108
5.3	功耗 .....	111
5.4	传输延迟 .....	114
5.5	扇出 .....	116
5.6	NOR 电路 .....	117
5.7	NAND 电路 .....	118
5.8	XOR 电路 .....	119



5.9	一般的逻辑设计 .....	119
5.10	传输晶体管电路 .....	120
5.11	SPICE 验证 .....	121
5.12	实际的观点 .....	123
5.13	小结 .....	123
	练习题 .....	123
<b>第 6 章</b>	<b>静态 CMOS .....</b>	<b>126</b>
6.1	引言 .....	126
6.2	电压传输特性 .....	127
6.2.1	电压状态 1:n-MOS 晶体管处于截止区而 p-MOS 晶体管处于线性区 .....	128
6.2.2	电压状态 2:n-MOS 晶体管处于饱和区而 p-MOS 晶体管处于线性区 .....	128
6.2.3	电压状态 3:两个 MOS 晶体管都处于饱和区 .....	129
6.2.4	电压状态 4:n-MOS 晶体管处于线性区而 p-MOS 晶体管处于饱和区 .....	131
6.2.5	电压状态 5:n-MOS 晶体管处于线性区而 p-MOS 晶体管处于截止区 .....	131
6.3	负载表面分析 .....	133
6.4	临界电压 .....	134
6.4.1	输入低电压 $V_{IL}$ .....	134
6.4.2	开关阈值 $V_M$ .....	135
6.4.3	输入高电压 $V_{IH}$ .....	136
6.5	穿通(短路)电流 .....	136
6.5.1	电流状态 1:n-MOS 晶体管处于截止区 .....	136
6.5.2	电流状态 2:n-MOS 晶体管处于饱和区 .....	137
6.5.3	电流状态 3:p-MOS 晶体管处于饱和区 .....	137
6.5.4	电流状态 4:p-MOS 晶体管处于截止区 .....	137
6.5.5	穿通电流统一的表达式 .....	137
6.5.6	阈值电压的影响 .....	137
6.6	传输延迟 .....	140
6.6.1	从高电平至低电平传输延迟 $t_{PHL}$ .....	140
6.6.2	低电平到高电平传输延迟 $t_{PLH}$ .....	141
6.6.3	传输延迟的设计方程 .....	141
6.6.4	在对称反相器中的传输延迟 .....	142
6.6.5	传输延迟的近似表达式 .....	142
6.6.6	输入上升时间和下降时间的影响 .....	144
6.7	反相器的上升时间和下降时间 .....	145
6.7.1	下降时间 .....	145
6.7.2	上升时间 .....	146
6.7.3	输入上升时间和下降时间对输出上升时间和下降时间的影响 .....	147
6.8	短沟道 CMOS 的传输延迟 .....	148

6.8.1	在短沟道 CMOS 中从高电平至低电平传输延迟 $t_{\text{PHL}}$ .....	148
6.8.2	短沟道 CMOS 低电平到高电平的传输延迟 $t_{\text{PLH}}$ .....	149
6.8.3	短沟道与长沟道延迟方程比较 .....	149
6.8.4	短沟道 CMOS 传输延迟设计方程 .....	150
6.9	功耗 .....	152
6.9.1	电容开关功耗 .....	153
6.9.2	短路功耗 .....	153
6.9.3	泄漏电流功耗 .....	154
6.10	扇出 .....	156
6.11	作为扇出函数的电路延迟 .....	157
6.12	CMOS 环形振荡器 .....	160
6.13	CMOS 反相器设计 .....	160
6.14	CMOS NAND 电路 .....	161
6.14.1	在 CMOS NAND 门中晶体管尺寸的调整 .....	162
6.14.2	CMOS NAND 门的静态特性 .....	162
6.14.3	CMOS NAND 门的动态特性 .....	164
6.15	CMOS NOR 电路 .....	165
6.16	CMOS 实现的其他逻辑功能 .....	166
6.16.1	AND-OR-INVERT 门晶体管尺寸的调整 .....	167
6.17	74HC 系列 CMOS .....	167
6.18	准n-MOS电路 .....	170
6.19	CMOS 按比例缩小 .....	171
6.19.1	CMOS 全比例缩小 .....	172
6.19.2	CMOS 的恒定电压按比例缩小 .....	172
6.20	CMOS 中的闩锁 .....	173
6.21	SPICE 验证 .....	174
6.22	实际的观点 .....	178
6.23	小结 .....	178
	练习题 .....	179
<b>第7章</b>	<b>互连线</b> .....	<b>184</b>
7.1	引言 .....	184
7.2	互连线的电容 .....	184
7.3	互连线的电阻 .....	186
7.4	互连线的电感 .....	188
7.5	互连延时建模 .....	188
7.5.1	电容集总模型 .....	189
7.5.2	分布式模型 .....	189
7.5.3	传输线模型 .....	191
7.6	串扰 .....	193

7.7	多晶硅互连线 .....	195
7.8	SPICE 验证 .....	196
7.9	实际的观点 .....	202
7.10	小结 .....	202
	练习题 .....	203
	参考文献 .....	204
<b>第 8 章</b>	<b>动态 CMOS .....</b>	<b>206</b>
8.1	引言 .....	206
8.2	上升时间 .....	207
8.3	下降时间 .....	208
8.4	电荷共享 .....	209
8.5	电荷保持 .....	210
8.6	逻辑设计 .....	211
8.7	使用 p-MOS 晶体管上拉网络的另一种形式 .....	212
8.8	动态逻辑电路级联 .....	213
8.9	多米诺逻辑 .....	214
8.10	多输出多米诺逻辑电路 .....	215
8.11	拉链逻辑 .....	216
8.12	动态传输晶体管电路 .....	217
	8.12.1 逻辑“1”的传输延迟 $t_1$ .....	218
	8.12.2 逻辑“0”的传输延迟 $t_0$ .....	219
8.13	CMOS 传输门电路 .....	222
8.14	SPICE 验证 .....	223
8.15	实际的观点 .....	225
8.16	小结 .....	225
	练习题 .....	226
	参考文献 .....	227
<b>第 9 章</b>	<b>低功耗 CMOS 电路 .....</b>	<b>228</b>
9.1	引言 .....	228
9.2	低压 CMOS 电路 .....	228
9.3	多电压 CMOS 电路 .....	229
9.4	动态电源调节 .....	231
9.5	有源体偏置 .....	232
9.6	多阈值 CMOS 电路 .....	234
9.7	绝缘逻辑电路 .....	235
9.8	绝缘体上的硅 .....	238
	9.8.1 SOI 技术 .....	238
	9.8.2 SOI MOS 晶体管 .....	241
	9.8.3 用于低功耗 CMOS 的 SOI .....	242

9.9 实际的观点 .....	243
9.10 小结 .....	243
练习题 .....	244
参考文献 .....	245
<b>第 10 章 双稳态电路 .....</b>	<b>248</b>
10.1 引言 .....	248
10.2 置位—复位锁存器 .....	250
10.3 SR 触发器 .....	251
10.4 JK 触发器 .....	252
10.5 其他触发器 .....	255
10.6 施密特触发器 .....	255
10.6.1 CMOS 施密特触发器 .....	257
10.7 SPICE 验证 .....	261
10.8 实际的观点 .....	263
10.9 小结 .....	263
练习题 .....	263
参考文献 .....	264
<b>第 11 章 数字存储器 .....</b>	<b>265</b>
11.1 引言 .....	265
11.2 静态随机存储器 .....	266
11.2.1 CMOS SRAM 单元 .....	267
11.2.2 n-MOS SRAM 单元 .....	267
11.2.3 SRAM 的灵敏放大器 .....	268
11.3 动态随机存储器 .....	269
11.4 只读存储器 .....	270
11.4.1 NOR 型只读存储器 .....	271
11.4.2 NAND 型只读存储器 .....	273
11.5 可编程只读存储器 .....	274
11.6 可擦除可编程只读存储器 .....	274
11.7 电可擦除可编程只读存储器 .....	276
11.8 闪存 .....	277
11.9 其他非易失性存储器 .....	279
11.10 数字存储器的存取时间 .....	281
11.11 行和列译码器设计 .....	282
11.12 实际的观点 .....	284
11.13 小结 .....	285
练习题 .....	285
参考文献 .....	285

<b>第 12 章 输入/输出和接口电路</b> .....	289
12.1 引言 .....	289
12.2 输入静电放电保护 .....	289
12.3 输入启用电路 .....	290
12.3.1 CMOS 传输门 .....	290
12.4 CMOS 输出缓冲器 .....	293
12.5 三态输出 .....	297
12.6 接口电路 .....	298
12.6.1 高电压 CMOS 到低电压 CMOS .....	298
12.6.2 低电压 CMOS 到高电压 CMOS .....	300
12.7 SPICE 验证 .....	300
12.8 实际的观点 .....	304
12.9 小结 .....	304
练习题 .....	304
参考文献 .....	306
<b>附录 A 符号列表</b> .....	307
<b>附录 B 国际单位制</b> .....	315
<b>附录 C 数量级前缀</b> .....	316
<b>附录 D 希腊字母</b> .....	317
<b>附录 E 物理常数</b> .....	318
<b>附录 F 在 300K 时硅和锗的特性</b> .....	319
<b>附录 G 在 300K 时二氧化硅的特性</b> .....	320
<b>附录 H 重要的方程式</b> .....	321
<b>附录 I 设计规则</b> .....	322
<b>附录 J pn 结开关瞬态特性</b> .....	327
<b>附录 K 双极和 BiCMOS 电路</b> .....	330
<b>附录 L 集成电路封装</b> .....	341

# 第 1 章 引 言

## 1.1 历史展望与摩尔定律

自从 1947 年贝尔实验室发明第一个晶体管<sup>[1-4]</sup>开始(图 1.1),半导体设计与制造的高速发展才出现如今的千兆赫微处理器和千兆位存储器。1958 年集成电路(图 1.2)的发明<sup>[5,6]</sup>,以及 1960 年随后在这一概念上的技术改进,使得能够在单个硅芯片上集成更多类型器件来替代电路板上连接在一起的分立器件。因此,才有可能减小电路的尺寸、质量以及成本,以至增加电路的功能。这些突破最终使得在单个硅芯片上可以集成数十亿个晶体管,使得计算能力远远超过分立器件连接构成的电路。目前,最先进的微处理器芯片上有上亿个晶体管,而存储器芯片上有几十亿个晶体管。

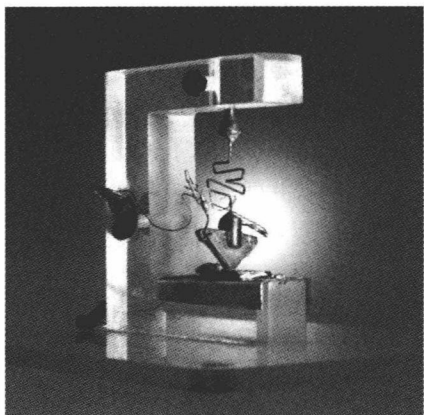


图 1.1 1947 年贝尔实验室发明的  
第一个晶体管

(图片来自于朗讯科技公司。经过贝尔实验室  
允许)

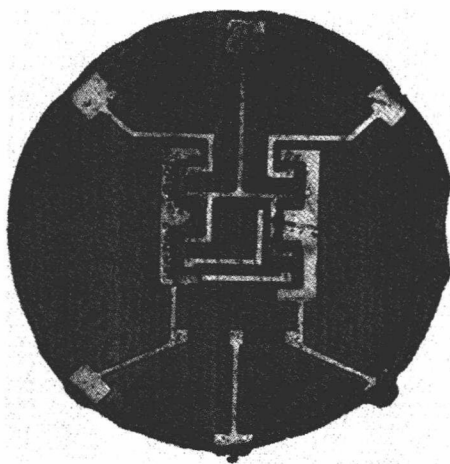


图 1.2 仙童半导体公司的 Robert Noyce 研发的  
第一款商用集成电路。仙童半导体公司  
的 Robert Noyce 和德州仪器的 Jack Kilby  
大约在同一时间发明了集成电路

(图片来自于仙童半导体公司。经过允许)

在集成电路出现不久,英特尔公司的共同创立者戈登·摩尔指出,集成电路的复杂度随时间成指数增长。摩尔声称集成电路的“复杂度”每 12 个月翻一番,而“最小元件的成本”降 50%<sup>[7]</sup>。从那时起,“摩尔定律”的解释做过几次改动。通常,人们注意到每个微处理器芯片上晶体管数量每 24 个月翻一番,每个动态随机存储器(DRAM)芯片的位数 18 个月翻一番。值得注意的是,这个增长速度维持了超过 30 年。图 1.3 说明了微处理器和 DRAM 的指数增长情况。闪存和专用集成电路(ASIC)也有类似的指数增长趋势。

然而,因为它们较简单的设计和内部冗余结构,存储器芯片的发展速度超过了微处理器。

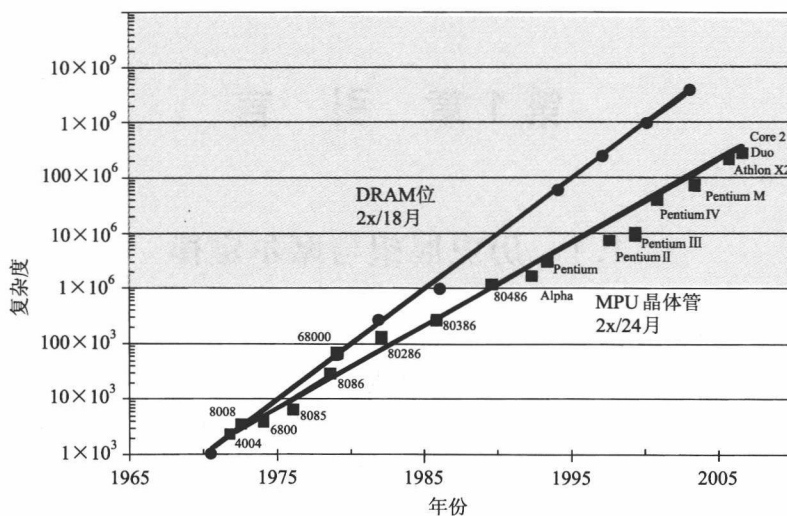


图 1.3 根据摩尔定律,集成电路的复杂度随着时间的推移而指数性的增加。历史上看,每个微处理器单元(MPU)的晶体管数量每 24 个月翻一番;每个动态随机存储器(DRAM)芯片位数每 18 个月翻一番

工业界保持与摩尔定律同步增长的主要原因是通过改善光刻技术使晶体管尺寸按比例缩小<sup>[8,9]</sup>,但芯片尺寸在增加。对晶体管尺寸微型化积极不断的研究,导致了电路性能、成本以及密度的改进。用来描述将计算机设计的电路图形转移到半导体硅片上的这个按比例缩小的关键参数是“最小特征尺寸”。图 1.4 给出了最小特征尺寸的历史演变情况,并据此预测到 2020 年。从历史上看,图 1.4 所示的大多进展源自于光刻中所用波长的减小。然而,目前还没有找到适用于 2020 年及以后所需要的光刻技术。

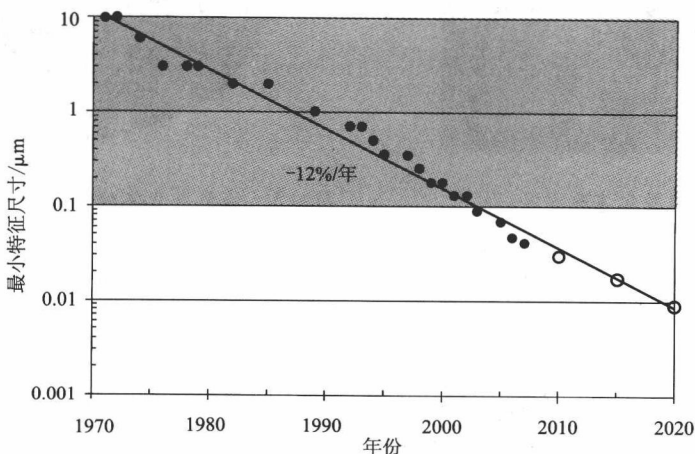


图 1.4 制造集成电路的最小特征尺寸随着时间的变化

出于从历史趋势来预测集成电路技术未来发展的目的,美国半导体行业协会<sup>[10]</sup>在 1992 年发布了美国国家半导体工业技术路线图。这个技术路线图预测了未来 15 年工业

界技术所达到的目标,在 1994 年和 1997 年做了修正。1998 年,随着半导体工业全球化的发展,欧洲、日本、韩国和中国台湾的加入,形成了国际半导体工业技术路线图 (ITRS)<sup>[11]</sup>。全部报告在奇数年每半年发布一次,偶数年发布更新的报告。

每个 ITRS 报告预测工业界未来 15 年的发展趋势。2020 年数字集成电路会是什么样?按照 2007 年的 ITRS 报告的预测,硅片直径将达到 450mm,而晶体管栅长将减小到 5.6nm。由于这些技术的发展,单芯片闪存将存储 1Mbit 的数据,并且可以买到 7902 个管脚的有 61 亿个晶体管,工作在 12.4GHz 的处理器,每个晶体管成本约 0.24 微美分。这些和其他重要的发展趋势在表 1.1 中列出。

表 1.1 半导体工艺发展趋势

工艺		生产年份	2007	2010	2015	2020
光刻	DRAM 交错金属接触半间距*/nm		65	45	25	14
	MPU/ASIC 交错金属接触半间距*/nm		68	45	25	14
	Flash 未接触多晶硅半间距*/nm		54	36	20	11
	MPU 版图栅长/nm		42	30	17	9
	MPU 物理栅长/nm		25	18	10	5.6
	MPU 掩膜层数/层		33	35	37	39
	DRAM 掩膜层数/层		24	26	26	26
	最大连线层数		11	12	13	14
MPU 高性能	每个 MPU 芯片晶体管数/10 <sup>6</sup> 个		386	773	1546	6184
	MPU 芯片尺寸/mm <sup>2</sup>		140	140	88	111
	MPU 每个晶体管子成本(高性能)/微美分		12.2	4.3	0.76	0.24
	MPU 的封装管脚(高性能)/个		4000	4851	6191	7902
	时钟频率/GHz		4.70	5.875	8.522	12.361
DRAM	DRAM 芯片位数/个		2 × 10 <sup>9</sup>	4 × 10 <sup>9</sup>	8 × 10 <sup>9</sup>	32 × 10 <sup>9</sup>
	DRAM 芯片尺寸/mm <sup>2</sup>		93	93	59	74
	DRAM 每位成本/微美分		0.96	0.34	0.06	0.01
Flash Memory	Flash 芯片位数/个		32 × 10 <sup>9</sup>	64 × 10 <sup>9</sup>	128 × 10 <sup>9</sup>	1024 × 10 <sup>9</sup>
	Flash 芯片尺寸/mm <sup>2</sup>		144	128	81	102
ASIC	ASIC 封装管脚(高性能)/个		4000	4851	6191	7902
总体	片上时钟频率/GHz		4.70	5.875	8.522	12.361
	电源电压 V <sub>DD</sub> (高性能)/V		1.1	1.0	0.80	0.65
	芯片功耗(高性能)/W		189	198	198	198
	硅片直径/mm		300	300	300/450	450
注:来源:国际半导体技术路线图,http://public.itrs.net。						
* 半节距定义为在芯片表面的两条引线中心到中心距离的 1/2						



数字集成电路的飞速发展源自于很多广泛应用所带来的需求推动。在集成电路发明后的 10 年中,大型计算机代表了主要的应用方向。在 20 世纪 80 年代,转移到个人计算机、消费电子以及数字通信。90 年代,无线通信、便携式的计算机以及手持设备成为主要应用方向。如今,视频点播、多媒体应用和网络计算是技术前进的推动力。从集成电路发明以来,半导体销售的年复合增长率为 14.9% (图 1.5),占到世界电子市场的 20% 以及世界国内生产总值(GWP)的 2%。

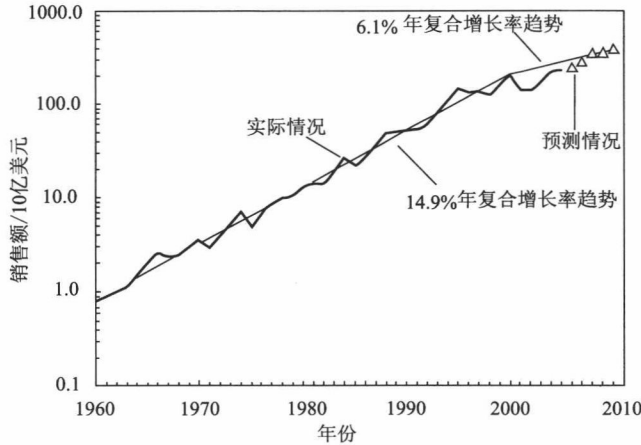


图 1.5 自 1960 年以来全世界集成电路销售额的复合增长率为 14.9%,占现在世界生产总值的 2%  
(来自 Kumar R., IEEE Solid-State Circuits 12, 22-27, 2007. 经许可)

目前,绝大多数数字集成电路采用 CMOS 电路实现,之所以这样称呼,是因为采用互补金属-氧化物-半导体场效应晶体管(MOSFET)。但并不总是这样的情况。第一个集成电路是基于双极结型晶体管(BJT),并且众多的数字集成电路系列采用 BJT 来实现;这包括电阻晶体管逻辑、二极管晶体管逻辑、晶体管晶体管逻辑(TTL)、集成注入逻辑以及发射极耦合逻辑(ECL)。20 世纪 80 年代,开发出新的双极电路系列,因为在当时的光刻条件下相对于 MOSFET 而言,BJT 具有更好的速度特性。90 年代,CMOS 成为主导技术,但是双极电路以及双极-CMOS(BiCMOS)电路,进入到 21 世纪初在商业上仍然很重要。

MOSFET 于 1930 年由 Lilienfeld 发明<sup>[12]</sup>,但是第一个能工作的器件直到 1960 年由 Kahng 和 Atalla 得到证明(图 1.6)<sup>[13,14]</sup>。在一块集成电路上 MOS 晶体管可以比 BJT 集成更多的功能主要出于两个原因:首先,在采用相同的设计规则情况下 MOSFET 本身要比 BJT 的尺寸小;其次,MOSFET 是电压控制的而不像 BJT 是电流控制的,需要偏置电阻。集成的电阻要占用相应的芯片面积,因为它们通常要比 BJT 或 MOSFET 面积更大。

第一个微处理器是 Intel 公司于 1971 年开发的 4004(图 1.7)。它使用 p-MOS 电路系列实现并且包括 2300 个 p 沟道 MOSFET。采用 p-MOS 管是因为,在那个时候,由于氧化层和沾污相关问题,可以重复制造的增强型(通常是关闭的)n 沟道 MOSFET 是不可能的。由于这些原因,在较短的一段时间,p-MOS 管用于微处理器和相关的组件,如存储器和外设接口。