



从校园到职场

CONG XIAOYUAN DAO ZHICHANG

手把手教你学 高速电路信号仿真

杨荣 主编



机械工业出版社
CHINA MACHINE PRESS

从校园到职场

手把手教你学高速电路 信号仿真

主编 杨 荣

参编 周秀英 张洁萍 沈费钦
王文斌 李 彬 唐 芸
杨晓萍 葛峥嵘 沈春江 应 霞



机械工业出版社

本书分为两个部分,循序渐进地讲解了高速电路仿真模型基本原理,仿真应用实例和与仿真相关的知识。第一部分为仿真基础知识,这个部分从芯片的模型出发,讲解信号完整性线路理论等。第二部分通过实例讲解的形式,细致地介绍一些主流仿真工具、仿真流程及模型的使用和问题分析。

本书可供刚刚从事电子设计工作的大学毕业生阅读,也可供高校电子类专业学生参考。

图书在版编目 (CIP) 数据

手把手教你学高速电路信号仿真/杨荣主编. —北京:机械工业出版社, 2013. 5

(从校园到职场)

ISBN 978-7-111-42633-2

I. ①手… II. ①杨… III. ①电路设计—计算机仿真 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2013) 第 109396 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:徐明煜 责任编辑:徐明煜 顾 谦

版式设计:霍永明 责任校对:申春香

封面设计:路恩中 责任印制:乔 宇

北京机工印刷厂印刷 (三河市南杨庄国丰装订厂装订)

2013 年 7 月第 1 版第 1 次印刷

184mm×260mm·12 印张·293 千字

0 001—3 000 册

标准书号:ISBN 978-7-111-42633-2

定价:29.90 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

网络服务

社服务中心:(010)88361066 教材网:<http://www.cmpedu.com>

销 售 一 部:(010)68326294 机工官网:<http://www.cmpbook.com>

销 售 二 部:(010)88379649 机工官博:<http://weibo.com/cmp1952>

读者购书热线:(010)88379203 封面无防伪标均为盗版

前 言

鉴于数字电路的工作速率和 PCB 的布线密度越来越高，为确保产品性能并缩短研发周期，迫切需要进行板级的信号质量分析，业内称信号完整性仿真。

目前市场上高速电路仿真相关书籍相对比较少，其中真正由一线信号完整性工程师编写并立足实践的就更少了。我们立足于多年工作的经验，把我们所接触理解的信号完整性的经验分享给大家。

本书特点：我们追求用最简单、最容易理解的语言来讲解了仿真及相关的基础内容，我们不但大量使用图例来帮助理解，还演示并讲解了仿真软件的基本操作。最重要的一点，本书是将作者多年工作中总结出来的经验和技巧用最浅显的语言表述出来，绝对不对复杂的公式进行推导。基于实际而来的内容将对刚刚参加工作的工程师来说，可以更快、更容易地了解这个领域，也对将要参加工作的学生有指导意义。

内容安排：本书分为两个部分，循序渐进地讲解了高速电路仿真模型基本原理，仿真应用实例和与仿真相关的知识。

第一部分为仿真基础知识。由于仿真环境是千变万化的，要得到一个可信任的结果，必须要以丰富的基础作为后盾。这个部分从芯片的模型出发，讲解信号完整性线路理论等内容。

第二部分通过实例讲解的形式，细致地介绍一些主流仿真工具、仿真流程及模型的使用和问题分析。

有一点请读者注意，由于本书采用仿真软件直接抓图，所以书中图形符号及文字符号并未按国家标准统一。

本书由杨荣主编，参与编写的还有周秀英、张洁萍、沈费钦、王文斌、李彬、唐芸、杨晓萍、葛峥嵘、沈春江、应霞等。

由于时间仓促，加之水平有限，书中的缺点和不足之处在所难免，抛砖引玉，敬请读者批评指正。读者在阅读本书的时候出现任何疑问可以及时联系我们，我们会尽快给予回复。

编 者

目 录

前言

第1章 高速电路仿真概述 1

- 1.1 什么是高速电路 1
- 1.2 什么是仿真模型 1
- 1.3 仿真软件介绍 2

第2章 走近 IBIS 模型 4

- 2.1 I/O 电路建模要求 4
- 2.2 IBIS 基本知识 4
- 2.3 V/I 曲线 6
 - 2.3.1 V/I 曲线的参数 6
 - 2.3.2 Pull Up 曲线 8
 - 2.3.3 Pull Down 曲线 8
 - 2.3.4 Power Clamp 曲线 9
 - 2.3.5 Gnd Clamp 曲线 9
 - 2.3.6 V/I 曲线的获取 9
 - 2.3.7 如何判断 V/I 曲线是否精确 12
- 2.4 V/t 曲线 14
 - 2.4.1 V/t 曲线中的参数及意义 15
 - 2.4.2 上升曲线与下降曲线的原理 17
 - 2.4.3 V/t 曲线实例 18
 - 2.4.4 V/I 曲线与 V/t 曲线的对应关系 19
- 2.5 IBIS 封装参数 21
- 2.6 IBIS 模型在 Hspice 中的应用 23

第3章 IBIS - AMI 模型 26

- 3.1 IBIS - AMI 模型与普通的 IBIS 模型
有什么区别 26
- 3.2 IBIS - AMI 模型的结构 26
- 3.3 IBIS - AMI 模型的工作原理 28
- 3.4 IBIS - AMI 模型在 ADS 中的使用 29

第4章 S 参数模型 35

- 4.1 S 参数的基本概念 35
- 4.2 为什么需要 S 参数 35
- 4.3 S 参数的表示方法 36
- 4.4 S 参数的归一化 37
- 4.5 S 参数的性质 38
- 4.6 S 参数文件解读 39
- 4.7 冲激响应 40

- 4.8 获取 S 参数的方法 40

- 4.9 S 参数与阻抗的关系 46

第5章 传输线理论与信号

完整性分析 50

- 5.1 均匀传输线理论 50
 - 5.1.1 均匀传输线方程 50
 - 5.1.2 传输线的特性参数 51
 - 5.1.3 传输线的状态分析与阻抗匹配 51
 - 5.1.4 传输线的种类 52
- 5.2 信号完整性分析 54
 - 5.2.1 反射 54
 - 5.2.2 串扰 55
 - 5.2.3 信号延迟 59
 - 5.2.4 地弹 59
- 5.3 反射抑制的解决方案——端接技术 59
 - 5.3.1 并联终端匹配 59
 - 5.3.2 串联终端匹配 60
 - 5.3.3 戴维南终端匹配 60
 - 5.3.4 AC 终端匹配 61
 - 5.3.5 多负载端接匹配 61
 - 5.3.6 端接技术的仿真分析 61
- 5.4 串扰的仿真分析 67
 - 5.4.1 电流流向对串扰的影响 68
 - 5.4.2 两线间距 s 与两线平行长度 l 对
串扰大小的影响 69
 - 5.4.3 干扰源信号频率对串扰的影响 70
 - 5.4.4 地面对串扰的影响 70

第6章 在 HyperLynx 中做

DDR 仿真 72

- 6.1 关于前仿和后仿的介绍 72
- 6.2 前仿的基本流程和参数设置 72
- 6.3 后仿的基本流程和参数设置 76
- 6.4 开始仿真 79
 - 6.4.1 地址、命令、控制信号的前仿 79
 - 6.4.2 DQS 信号的前仿 85
- 6.5 继续对后仿进行全面解析 88
 - 6.5.1 地址、命令、控制信号的后仿 88

6.5.2 命令信号后仿采样	88	第8章 通道仿真	116
6.5.3 控制信号后仿采样测试	90	8.1 浅析通道仿真	116
6.5.4 时钟 (CLK) 信号的后仿	91	8.2 ADS 中无源通道的搭建	117
6.6 DRAM DDR2 时序仿真概要	99	8.3 ADS 中无源通道的仿真结果与分析	132
6.6.1 Address/CMD/CTRL 时序分析	100	第9章 PCB 材料的研究	148
6.6.2 DQ/DM/DQS 时序分析	100	9.1 PCB 概述	148
6.6.3 DDRx 向导所需的控制器 时序参数	101	9.2 PCB 材料基础知识	149
6.6.4 如何从控制器的 Datasheet 中 获取时序仿真所需的参数	103	9.2.1 PCB 原材料介绍	149
第7章 物理信道抖动与均衡	107	9.2.2 PCB 材料主要参数介绍	152
7.1 抖动的定义与分类	107	9.3 PCB 纤维织纹效应	157
7.2 抖动的分析方法	109	9.4 实例讲解	163
7.3 码间串扰	111	9.4.1 PCB 材料信息	163
7.4 均衡	112	9.4.2 测试卡信息	167
		9.4.3 结果分析	169
		附录 VIRTEX-5 IBIS 模型片段	172

第 1 章 高速电路仿真概述

高速信号完整性仿真是数字电路系统运算能力指数增长的直接产物，数字系统本质上就是由处理器、缓存器、存储器以及其他芯片组成互连系统。对于高速数字电路，链路上任何细小的变化（如走线、过孔、层叠等）都会影响接收端的信号质量。传统的分析方法已经无法正确预估出接收端信号的波形。为保证信号质量，必须进行高速电路信号仿真。

1.1 什么是高速电路

高速电路这个名词似乎到哪里都会被提及，熟悉而又陌生，那么究竟什么是高速电路呢？

估计大部分人都会说高速电路就是信号频率比较高的电路，那么这个说法对吗？不对！因为做高速电路仿真的时候，我们关心的不只是比特速率与电平幅度的大小，信号上升沿/下降沿的质量我们也必须要保证。由于边沿变化的快慢直接决定了信号所包含的最高频率大小，所以判决是不是高速电路看的是边沿速率。

其实高速电路也是一个相对的概念，是不是高速电路与传输线的走线长度有关，如果印制电路板（PCB）上传输走线的长度与信号的最高频率分量的波长可以比拟时，则认为此类信号是高速电路信号并需要考虑传输线效应。通常在工程上认为，信号传输路径的长度（即传输线的长度）大于信号有效波长 $2 \times T_{\text{rise}}$ （10% ~ 90%）的 1/6 时，就要考虑传输线效应。

虽然大部分高频电路都是高速电路，但是高速电路的解释并没有过多提及信号的频率。换一句话总结，高频不一定是高速电路，低频也不见得是低速电路。

上面对于高速电路信号给出了解释，但是信号传输路径的长度如何小于信号有效波长的 1/6？一般地，信号上升时间的典型值可通过器件手册给出，而信号的传播路径长度在 PCB 设计中由实际布线长度决定。在实际布板时，可以通过器件的上升时间来计算走线的最大长度，使得信号不去触发传输线效应，并把线长设置在约束条件里。

遗憾的是，目前数字电路设计的发展方向是数字逻辑越来越复杂，时钟和总线频率也快速上升，但系统的核心电压却在不断减小。这些因素都向我们传达了一个信息——传输线效应不可避免，高速信号完整性仿真势在必行。要想在满足市场压力的前提下，尽快推出成功的设计，就必须预见可能出现的问题并给出相关的解决方案。

这里介绍的高速电路信号完整性仿真指的是根据原理图建立链路模型，仿真决定布线的约束条件，包括走线的拓扑与线长、匹配分析、高速材料分析与多板互连方案等。

1.2 什么是仿真模型

在进行信号完整性仿真的过程中，建立模型是十分关键的。仿真软件可以使用模型来预

测电压与电流的变化。在做信号完整性仿真时候需要将整个链路的信息在软件里面模拟出来。对于走线通道模型，可以直接在 EDA（电子设计自动化）软件中人工设定其拓扑、线长、特征阻抗、传播延时等，也可以通过仿真软件直接将 PCB 的走线结构导入。对于芯片模型，一般由厂商提供，常用的有 IBIS 模型与 Spice 模型。另外，在多板互连仿真时候，我们可能会遇到一些特殊的接插件结构，这时我们需要将这些接插件在三维建模工具里面仿真生成 S 参数模型。S 参数模型可使用的范围相对比较广，无论是走线、过孔，还是连接器甚至整个链路都可以被表示成 S 参数文件。

对于任何信号仿真来说，模型的质量都将严重影响仿真的精度。所以要得到更真实、更精确的结果，首先要保证模型的质量。

1.3 仿真软件介绍

目前，各种商业化的 EDA 软件不断涌现，不同的 EDA 仿真软件是根据不同的数值分析方法进行仿真的，有着各自不同的功能特点与使用范围。

1. HyperLynx 软件

HyperLynx 软件是明导（Mentor Graphics）公司生产的电路仿真软件，它是业界应用最为普遍的高速 PCB 仿真工具之一，由前仿真环境（LineSim）与后仿真环境（BoardSim）组成。前仿真环境（LineSim）中，用户可以通过定义元器件的特性与连接关系，在布局前进行信号仿真。利用后仿真环境（BoardSim），可以帮助设计者对已完成布线的电路板进行仿真分析。Hyper Lynx 仿真软件可对频率低至几十兆赫兹，高达吉赫兹（GHz）以上的网络进行信号完整性（SI）与电磁兼容性（EMC）仿真分析，有效地消除设计隐患。

2. Hspice 仿真软件

Synopsys 公司生产的 Hspice 软件是为了集成电路设计中的稳态分析、瞬态分析和频域分析等电路性能的模拟分析而开发的一个商业化通用电路模拟程序。它在 Pspice 等以及其他电路分析软件的基础上，又加入了一些新的功能。经过不断的改进，Hspice 有着快速收敛、具有多种精确模型、允许蒙特卡罗分析、支持最坏情况分析等优点，目前已被许多公司、大学和研究开发机构广泛应用。

3. ADS 仿真软件

Agilent ADS（Advanced Design System，先进设计系统）软件是在 HP EESOF 系列 EDA 软件基础上发展完善起来的综合设计软件，是为系统和电路工程师提供的可开发各种形式射频电路设计的软件。该软件提供对平面电路进行场分析和优化功能，它允许工程师定义频率的范围、材料特性、参数的数量和根据用户的需要自动产生关键的无源器件模式。该软件范围涵盖了小至元器件大到系统级的设计和分析，尤其是其强大的仿真设计手段可在时域或频域内实现对数字、模拟线性或者非线性电路的综合仿真分析与优化，从而大大地提高了复杂高速电路设计的效率。

4. CST Microwave Studio 仿真软件

CST Microwave Studio 仿真软件是为快速精确仿真电磁场高频问题而专门开发的 EDA 工具，是基于 PC（个人计算机）的 Windows 操作系统环境下的仿真软件，它主要应用在复杂

设计和更高的谐振结构中。CST Microwave Studio 仿真软件通过散射参数（S 参数）使电磁场元器件结合在一起，把复杂的系统分离成更小的子单元，通过对系统每一个单元行为的 S 参数的描述，可以快速地分析和降低系统所需要的内存。CST Microwave Studio 仿真软件可应用在移动通信无线设计、信号完整性和电磁兼容等领域。

第2章 走近 IBIS 模型

为了全面分析和模拟高速信号链路的性能，必须要将发射和接收数字信号的 I/O（输入/输出）电路考虑在内。高性能互连链路设计要求将 I/O 电路与互连线作为一个系统来共同优化。本章首先从 I/O 电路建模要求出发来讨论信号完整性仿真的重点内容：IBIS 模型的原理与建模方法。

2.1 I/O 电路建模要求

I/O 电路分为发射机与接收机两部分。发射机的功能是将数字信号发送到互连线上以传输到接收机电路，接收机电路的功能是将互连线上的数字信号接收到下级电路。

为了保证设计的高性能，工程师通常使用若干设计技术使发射机具有可控的输出阻抗与上升下降时间。最简单的发射机电路是两个推挽工作的 MOS FET（金属-氧化物-半导体场效应晶体管），上下两个 MOS FET 轮流导通实现高低电平的转换。

最简单的接收机电路需要包括静电保护、片上终端匹配功能。静电保护电路可以使用两个 MOS FET 过冲电压分别拉到高低电平。片上终端匹配可以使用一个接到片内电源的电路组成。

在对发射机建模时，必须存在的模型参数包括输出阻抗变化参数、上升下降时间参数与输出电容参数。而接收机模型则要包括静电保护参数、片上终端匹配参数与输入电容参数。

2.2 IBIS 基本知识

IBIS（Input/output Buffer Informational Specification，输入/输出缓冲器信息规范）是由 Intel 公司在 1990 年为开发 PCI 总线驱动器时提出并采用的。1993 年 Intel 公司邀请了各大 EDA 厂商共同正式提出了 IBIS Version 1.0，并成立 IBIS 开放论坛。随后，越来越多的 EDA 厂商、IC（集成电路）厂商和系统开发厂商加入 IBIS 开放论坛，IBIS 迅速完善和发展，目前 IBIS 最新发布的版本为 Version 5.0。

IBIS 是一个用于仿真的描述性文件，它描述了器件输入输出端口的电气特性。IBIS 模型通常被用于板卡级信号仿真分析，在各种仿真工具中得到了广泛的应用。

我们先从模型的名字入手：

Input/output：输入/输出。

Buffer：缓冲器，这个有点意思，把所有的模型都归纳为不同的缓冲器。

Informational Specification：对“缓冲器”信息的描述列表。

更具体地说，IBIS 模型是由器件内部的电气参数值构成的数据列表，这些数据可以反映器件开关速度、驱动能力等特性。

IBIS 是一个行为模型，它不是从器件的基本结构出发定义的，而是从器件的行为出发

定义的。为了方便理解，我们打个比方：如果夏天外界环境温度很高，那我们就会穿得比较清凉，躲在开空调的房间里；但如果外界环境温度只有 3℃，你一定会换上暖和的衣服，房间里最好有暖气，呵呵！

其实器件的行为模型大概也就是这个样子的。如图 2-1 所示，器件作为一个“黑匣子”，你不需要去了解它的结构，只要去测试它在不同外界条件下的特性/状况就可以了。

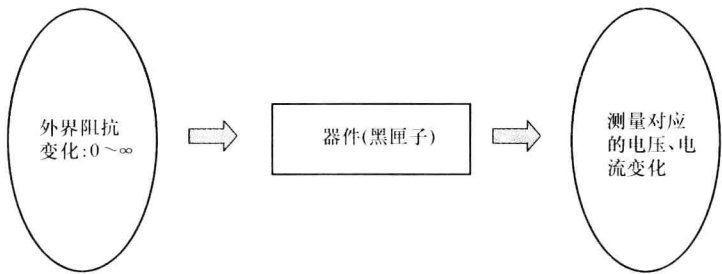


图 2-1 IBIS 模型的意义

好了，问题来了，那外界条件指的是什么呢？器件的特性又由哪些参数来体现呢？我们不妨先考虑另外一个问题，外界阻抗变化的范围是多大呢？

外界阻抗从 0 到无穷大，实际电路中就意味着器件从短路到断路的过渡。众所周知，短路时的阻抗为 0，断路时的阻抗为无穷大。对于短路，电压发生负反射，对应的电压为 $-V_{CC}$ ；而对于断路，电压发生正反射，对应的电压是 $2V_{CC}$ 。因此 IBIS 器件的电压范围定义为 $-V_{CC} \sim 2V_{CC}$ ，也就对应了外界阻抗从 0 到无穷大的变化。对应于外部不同的阻抗，器件内部的电压、电流也会发生相应的变化。

IBIS 模型核心的内容是把器件简化为缓冲器（Buffer）模型。常见的缓冲器模型的类型包括三态：L/O、开漏（open sink）和开源（open source）等。IBIS 描述了一个缓冲器的输出阻抗（通过 V/I 曲线的形式）与高低电平转换特性（通过 V/t 曲线的形式），那么就可以利用这个模型来仿真得出由于传输线的阻抗不匹配而引发的能量反射大小、串扰、EMC 和时序分析等。

我们研究的 IBIS 模型的核心是缓冲器模型，也就是说我们创建 IBIS 模型时，研究对象是缓冲器模型。图 2-2 所示是一个最典型的缓冲器输出模型（三态）的结构。

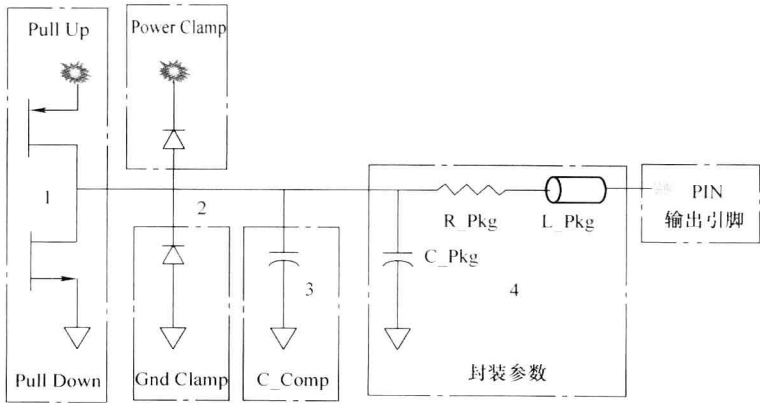


图 2-2 IBIS 输出的缓冲器模型（三态）

由图 2-2 可以发现，一个 IBIS 模型由以下 4 个部分组成：

- 1) 图腾柱电路，由两个推挽工作的 MOS FET 组成，可以提供输出高电平（上管导通、下管截止）、输出低电平（上管截止、下管导通）与高阻态（上、下管均截止）3 种工作状态。
- 2) 两个钳位二极管，上面的二极管可以将超过 V_{CC} 的电压钳位到 V_{CC} ，下面的二极管可以将低于 Gnd 的电压钳位到 Gnd。
- 3) 模型的输入/输出电容 C_ Comp，影响由一个状态转换为另一个状态的转换时间。
- 4) 封装参数，由集总的 R、L、C 参数组成。

那么如何将这几个部分反应在 IBIS 模型里面呢？对于图腾柱与二极管的电气特性，我们用 V/I 曲线来表示。对于图腾柱电路在电平动态翻转时的特性，我们用 V/t 曲线来表示。整个芯片核心（Die）的输入/输出电容值写在一个并联到地的 C_ Comp 中。对于封装参数，我们可以用集总的 R、L、C 模型来表示，也可以用分立的单位传输线模型加长度来表示。下面将详细介绍。

2.3 V/I 曲线

什么是 V/I 曲线？看到这个问题，可能有些读者会觉得如此简单的问题，还有必要提出并思考吗？ V/I 曲线不就是由一组电压与电流数据确定的一条曲线吗？虽然说得没错，但这里要重点说明的是 IBIS 模型中有很多组 V/I 曲线，它既包含了 Pull Up 和 Pull Down 的 V/I 曲线，也有 Power Clamp 和 Gnd Clamp 电路的 V/I 曲线。那么如何解析各组 V/I 曲线呢？这些 V/I 曲线又如何与器件手册中的数据验证与相互对应呢？这才是我们提出这个问题的原因所在，无疑这也是本节的价值所在。

2.3.1 V/I 曲线的参数

IBIS 规范中，定义了以下关键字来描述 V/I 数据，见表 2-1。

表 2-1 V/I 关键字

关键词	必选项	功能描述
[Pull Up]	是	上管的 V/I 数据，该关键字在输入缓冲器中不使用
[Pull Down]	是	下管的 V/I 数据，该关键字在输入缓冲器中不使用
[Power Clamp]	是	上钳位二极管的 V/I 数据
[Gnd Clamp]	是	下钳位二极管的 V/I 数据

我们先来认识一下 V/I 曲线吧。图 2-3 所示就是一个三态的 IBIS 模型以及其 Pull Up + Pull Down + Power Clamp + Gnd Clamp 的 V/I 曲线。我们在模型中所圈出的 3 个部分是和 V/I 曲线所圈出的 3 个部分一一对应的。

看过图 2-3 后我们大致知道了其实 V/I 曲线描述的就是两个 MOS FET 与两个二极管的电压与电流的对应关系。

但是我们似乎还有些疑问，比如说为什么要选取电压、电流两个参数呢？首先电压、电流是容易测量的。缓冲器的输出电压代表着电平的高低，输出电流代表着驱动后级负载的能力。另外电压与电流的变化还可以反映出缓冲器内部的阻抗变化。

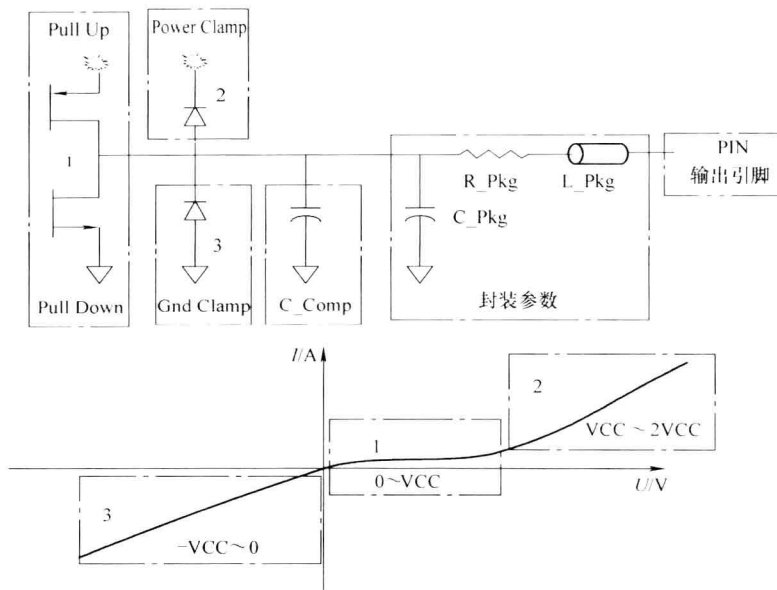
图 2-3 三态 IBIS 模型与 V/I 曲线的对应关系

图 2-4 所示是 Xilinx 公司的 Virtex-5 器件的 HSTL_I_12 模型。通过观察图 2-4 可以发现，在芯片厂商提供的 IBIS 模型中，无论是封装参数还是 V/I 曲线，通常都有三组数据列表，即 typical（典型值）、minimum（最小值）和 maximum（最大值）。在 IBIS 规范中只是规定 typical（典型值）是一定要有的，而 minimum（最小值）和 maximum（最大值）是允许空缺的，空缺时用 NA 表示。那么这三组数据分别用在什么场合中呢？

```

*****
Model HSTL_I_12
*****

[Model] HSTL_I_12
Model_type I/O
Polarity      Non-Inverting
Enable        Active-Low
Vinl = 0.5
Vinh = 0.7
Vmeas = 0.6000V
Cref = 0.0F
Rref = 50.0000
Vref = 0.6000V
C_comp = 6.0000pF      6.0000pF      6.0000pF
[Model Spec]
Vinl      0.5          0.47          0.53
Vinh      0.7          0.67          0.73
[Temperature Range] 25.0000      85.0000      0.0
[Voltage Range]     1.2000V      1.1400V
[Pulldown]
Voltage     I(typ)          I(min)          I(max)
-1.20      -34.2100mA      -25.4700mA      -43.6000mA
-1.16      -34.2100mA      -25.4700mA      -43.6000mA
-1.12      -34.2100mA      -25.4700mA      -43.6000mA
-1.08      -34.2100mA      -25.4700mA      -43.6000mA
-1.04      -34.2100mA      -25.4700mA      -43.6000mA

```

图 2-4 HSTL_I_12 模型片段

由于器件工艺（Process）、工作电压（Voltage）和工作温度（Temperature）等都会影响到 Buffer 的 V/I 和 V/t 曲线，因此 IBIS 模型中给出了三种工作模式，分别为快速 [Fast（最

大值)]、普通（典型值）和低速 [Slow（最小值）]]，其中

快速 = 快速进程 + 高电压 + 低温 (Fast = Fast process + high voltage + low temperature)

低速 = 低速 + 低电压 + 高温 (Slow = Slow process + low voltage + high temperature)

2.3.2 Pull Up 曲线

图 2-5 所示的曲线就是 Pull Up 的 V/I 曲线，即图腾柱工作在上管导通下管截止时的 V/I 曲线。曲线能指出每个电压点上输出电流的大小。观察曲线的形状我们可以发现其和传统教科书上的 MOS FET 的样子是一样的，这说明截止的下管对曲线的影响极小，Pull Up 曲线可以看成是上管的 V/I 特性。IBIS 规范中定义了电流流进缓冲器的方向为正，外部电源从 $-V_{CC}$ 变化到 V_{CC} 时，电流是从 MOS FET 流向外部电源，即电流为负值。当外部电源从 V_{CC} 变至 $2V_{CC}$ 时，电流开始从外部电源流向 MOS FET，即该范围内电流为正值。

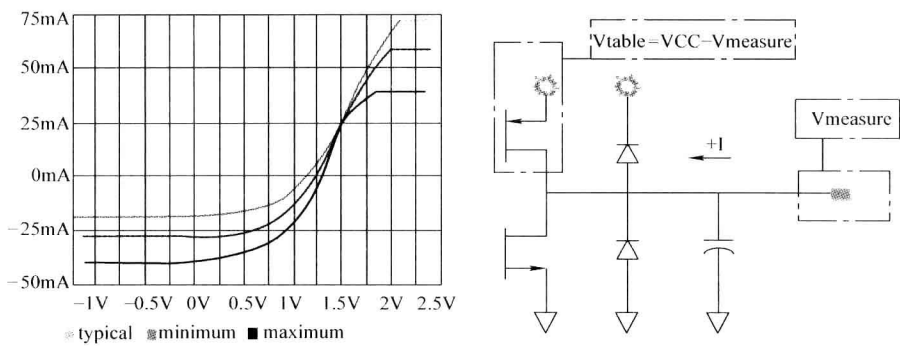


图 2-5 Pull Up 的 V/I 曲线与缓冲器测量模型

另外，写到 IBIS 文件里面的电压数据称之为 V_{table} ，即分到上管两端的电压降，在 Pull Up 状态下要得到这个 V_{table} 值就需要用 V_{CC} 减去 $V_{measure}$ 得到上管的电压降。 $V_{measure}$ 与 V_{table} 的对应关系如图 2-6 所示。

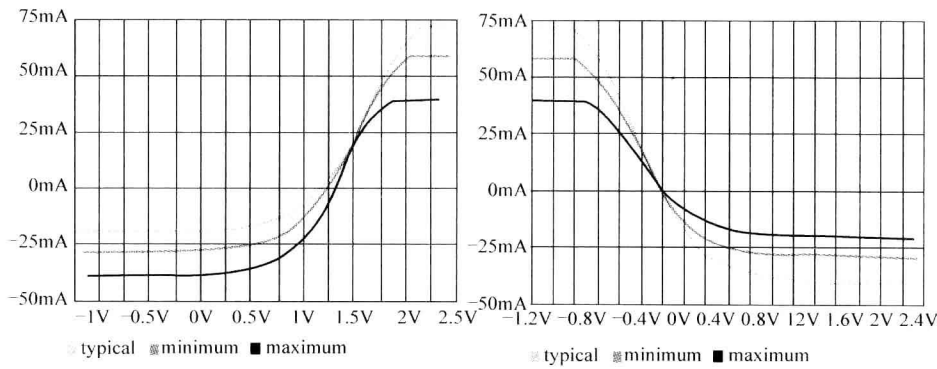


图 2-6 Pull Up 的 $V_{measure}$ （左）和 V_{table} （右）曲线

2.3.3 Pull Down 曲线

图 2-7 所示的曲线就是 Pull Down 的 V/I 曲线，即下管的 V/I 曲线。与 Pull Up 曲线一样，Pull Down 曲线可以看做是下管在导通时的 V/I 特性。外部电源从 $-V_{CC}$ 向上变化到 $0V$

时, 电流是从 MOS FET 流向外部电源, 即电流为负值。当外部电源从 $0V$ 至 $2V_{CC}$ 时, 此时电流开始从外部电源流向 MOS FET, 即电流为正值。因为 Pull Down 曲线的 $V_{measure}$ 就是管子两端的电压降, 所以 Pull Down 曲线的 V_{table} 等于 $V_{measure}$ 。

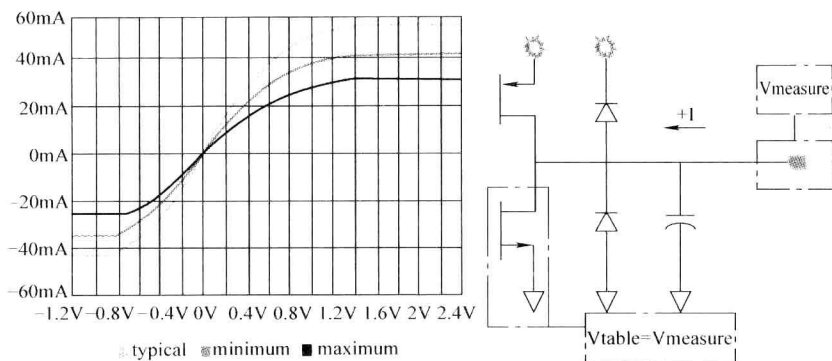


图 2-7 Pull Down 的 V/I 曲线与缓冲器模型

2.3.4 Power Clamp 曲线

图 2-8 所示的曲线就是 Power Clamp 的 V/I 曲线, 即上钳位管的 V/I 曲线。Power Clamp 曲线表征的是电压超过 V_{CC} 时, 模型将电压拉回到 V_{CC} 的能力。

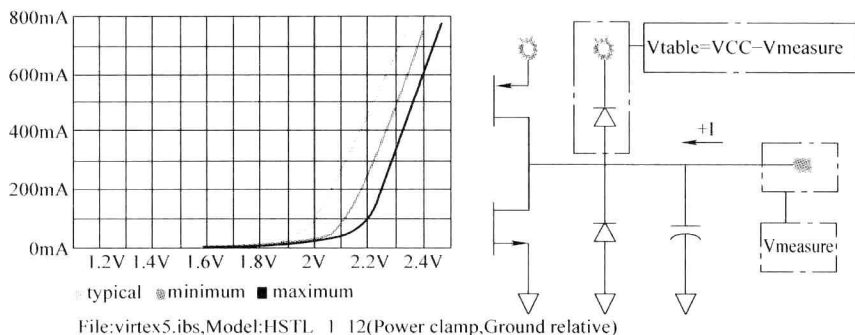


图 2-8 Power Clamp 的 V/I 曲线与缓冲器模型

这时候的 V_{table} 数据等于 V_{CC} 减去 $V_{measure}$ 。图 2-9 所示为 Power Clamp 的 $V_{measure}$ 和 V_{table} 曲线。

2.3.5 Gnd Clamp 曲线

图 2-10 所示的曲线就是 Gnd Clamp 的 V/I 曲线, 即下钳位管的 V/I 曲线, 表征的是电压低于 Gnd 时, 模型将电平拉回到 Gnd 的能力。这里面的 Gnd Clamp 的 V_{table} 也是等于 $V_{measure}$ 的。

2.3.6 V/I 曲线的获取

那么 IBIS 的 V/I 曲线是怎么得到的呢? 下面开始介绍 V/I 曲线的仿真获取方法。在获取 V/I 数据之前, 首先需要确定被测试引脚的缓冲器类型, 如果是 I/O 模型, 需要仿真获取 Pull Up、Pull Down、Power Clamp 和 Gnd Clamp 4 组曲线。如果是 Input 模型, 那么只需要仿

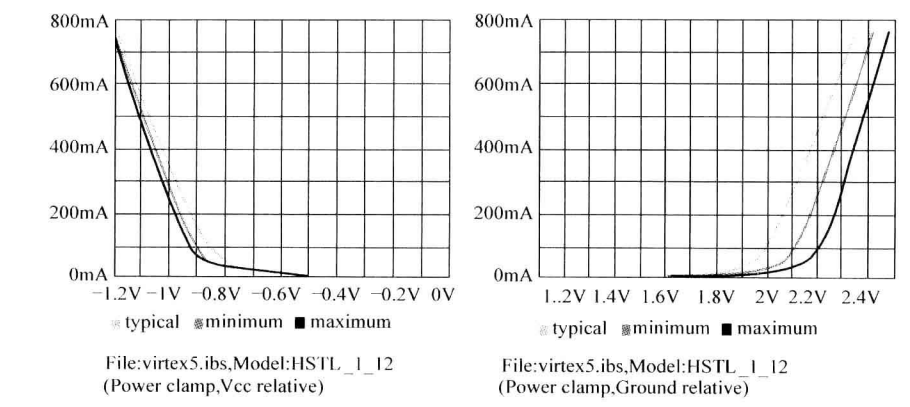


图 2-9 Power Clamp 的 V_{measure} 和 V_{table} 曲线

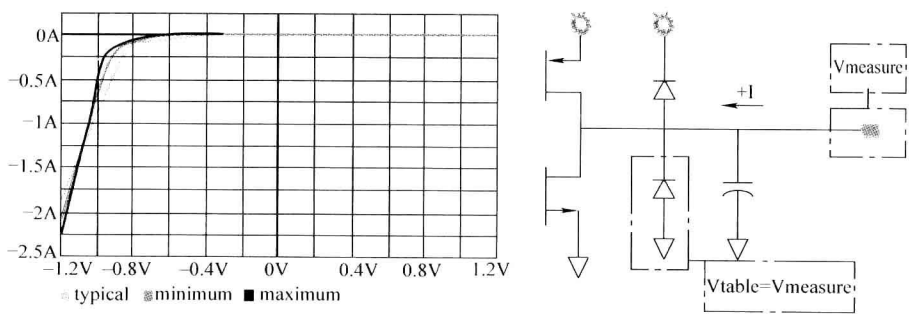


图 2-10 Gnd Clamp 的 V/I 曲线与 I/O 缓冲器模型

真获取 Power Clamp 和 Gnd Clamp 两组曲线就可以了。为了覆盖所有曲线获取方法，我们选取三态模型来进行讲解。

图 2-11 所示是测试示意图，我们在缓冲器外加了一个扫描电压源，扫描范围为 $-V_{\text{CC}} \sim 2V_{\text{CC}}$ ，同时记录下每一个电压值在测量点 V_{measure} 处的电流值。测量 V/I 曲线时，扫描电压是直流电流，所以 C_ Comp 可以看成是断路。由于封装参数都是需要另外测得，然后加到 I-BIS 模型里面的，所以在测量时应该去掉引脚的封装参数 (R_{Pkg} 、 L_{Pkg} 、 C_{Pkg})。

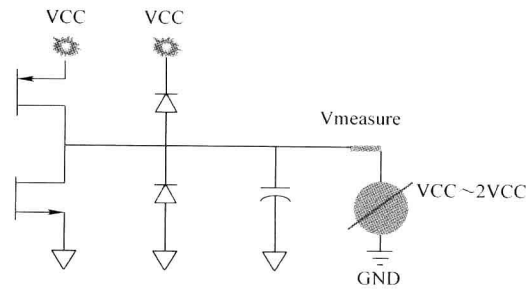


图 2-11 测试示意图

1. Pull Up 曲线的获取

要测得 Pull Up 的 V/I 曲线,就需要将三态模型设置在相应的工作状态,即高输入电平为低电平,此时下管截止,上管导通。忽略下管的影响得到图 2-12 所示的测量简化模型。测量的时候将电压扫描范围设置在 $-V_{CC} \sim 2V_{CC}$,记录下测量点在各个电压值下对应的电流,这就是所测得的 V/I 曲线。

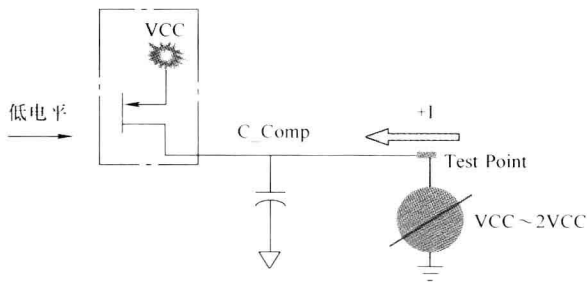


图 2-12 Pull Up 测量简化模型

2. Pull Down 曲线

要测得 Pull Down 的 V/I 曲线,就需要将三态模型设置在输入电平为高电平状态,此时上管截止,下管导通。图 2-13 所示就是测量 Pull Down 曲线的简化模型。测量电压扫描范围同样是 $-V_{CC} \sim 2V_{CC}$,并记录下各个电压值相应的电流值,就可以得到所需的 V/I 曲线。

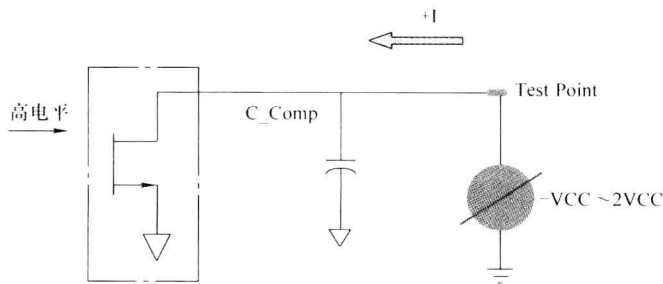


图 2-13 输出状态为高电平时的简化模型

3. Power Clamp 曲线

将三态模型设置在高阻态模式,使得上拉 MOS FET 和下拉 MOS FET 都截止。当外部电压是从 V_{CC} 扫描到 $2V_{CC}$ 时,Power Clamp 的二极管导通,我们记录下相应电压值以及电流值,这就是我们所需要的 Power Clamp 的 V/I 数据。图 2-14 所示为 Power Clamp 测量简化模型。

4. Gnd Clamp V/I 曲线

将三态模型设置在高阻态模式,使得上拉 MOS FET 和下拉 MOS FET 都截止,这样得到的就是 Gnd Clamp 曲线,外部电压的扫描区间是 $-V_{CC} \sim 2V_{CC}$, $-V_{CC} \sim 0$ 时 Gnd Clamp 的二极管导通,此时记录下相应的电压值以及电流值,这就是我们所需要的 Gnd Clamp 的 V/I 数据。图 2-15 所示是 Gnd Clamp 测量简化模型。

还有一点需要特别注意,我们测量得到三态模型的 Pull Up 或 Pull Down 曲线里还包含了两个钳位二极管影响,要得到纯粹的 Pull Up 或 Pull Down 曲线需要在测量到的曲线里面减去