



普通高等教育“十二五”规划教材



电子信息科学与工程类专业规划教材

TMS320LF240x

DSP原理及应用 (第2版)

◎ 杨 光 主编



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

电子信息科学与工程类专业规划教材

TMS320LF240x

DSP 原理及应用（第2版）

杨 光 主编

杨 光 王英志 宿敬辉 冯 涛 秦永左 编著

电子工业出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书以 TMS320LF240x 模块的结构、原理及应用为主线,介绍了各个功能模块的基本原理,列举了相应的应用实例,给出了应用系统设计的电路原理图和程序清单。全书共 14 章,内容涉及 TMS320LF240x DSP 基本结构及引脚功能,内部资源,寻址方式和指令系统,通用目标文件格式及头文件,总线扩展及应用,看门狗定时器模块,数字输入/输出模块工作原理及使用方法,事件管理器模块的原理及应用,串行通信接口模块的原理及应用,A/D 转换模块,串行外设接口模块,CAN 控制器模块,应用系统设计,开发环境等。全书紧密结合教学需要,强调工程实践应用,结构合理,入门简单,层次清楚,内容详实,并附有习题。

本书可作为高等院校电子、电气、计算机、自动化及机电一体化等专业本科生和研究生 DSP 应用技术课程的教材,也可作为数字信号处理器应用开发人员的参考书。

未经许可,不得以任何方式复制或抄袭本书这部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

TMS320LF240x DSP 原理及应用/杨光主编. —2 版. —北京:电子工业出版社,2015.7

ISBN 978-7-121-26221-0

I. ①T… II. ①杨… III. ①数字信号处理—高等学校—教材 IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2015)第 120367 号

策划编辑:谭海平

责任编辑:谭海平 特约编辑:王 崧

印 刷:三河市双峰印刷装订有限公司

装 订:三河市双峰印刷装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:17 字数:457 千字

版 次:2015 年 7 月第 1 版

印 次:2015 年 7 月第 1 次印刷

定 价:39.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

前言

本书共分为 14 章，第 1 章介绍 TMS320LF240x DSP 基本结构及引脚功能；第 2 章介绍了 TMS320LF240x DSP 结构及内部资源；第 3 章主要讨论 TMS320LF240x DSP 寻址方式和指令系统，并对主要的汇编指令给出详细的说明；第 4 章介绍通用目标文件格式及头文件；第 5 章介绍 TMS320LF240x 总线扩展以及应用；第 6 章介绍看门狗定时器模块；第 7 章对数字输入/输出模块工作原理及使用方法进行详细描述；第 8 章介绍事件管理器模块的原理及应用，对通用定时器、脉宽调制电路、比较单元和正交编码电路进行了详细描述；第 9 章介绍串行通信接口模块的原理及应用；第 10 章介绍 A/D 转换模块并给出实例；第 11 章介绍串行外设接口模块；第 12 章介绍 CAN 控制器模块；第 13 章介绍 TMS320LF240x DSP 的应用系统设计；第 14 章介绍 TMS320LF240x 芯片开发环境，重点描述 CCS v3.3 开发平台的应用。

本书由长春理工大学电子信息工程学院杨光副教授担任主编。第 1 章和第 2 章由王英志编写，第 3 章和第 4 章由宿敬辉编写，第 5 章至第 7 章由秦永左编写，第 8 章至第 13 章由杨光编写，第 14 章由冯涛编写。

本书可作为普通高校通信、信息、电子、自动化、电气、计算机等有关专业高年级本科生和研究生的教材，还可作为有关教师和科研人员的参考用书。

本书编写时参阅了许多优秀的 DSP 技术书籍，在此向这些书籍的作者表示真诚的谢意。

由于 DSP 芯片发展迅速及编者水平和掌握的资料有限，书中不当和错误之处在所难免，恳请广大读者批评指正。

编著者

2015 年 7 月

目 录

第 1 章 TMS320LF240x DSP 概述	1
1.1 TMS320LF240x 系列 DSP 概述	1
1.2 TMS320LF240x DSP 结构及引脚功能	2
1.3 TMS320LF240x DSP 存储器映射图	8
1.3.1 TMS320LF2407 的存储器配置	8
1.3.2 TMS320LF2406 的存储器配置	9
1.3.3 TMS320LF2402 的存储器配置	10
1.4 TMS320LF240x DSP 片内外设存储器映射	10
习题 1	11
第 2 章 TMS320LF240x DSP 内部资源介绍	13
2.1 TMS320LF240x 系列 DSP 的 CPU 功能模块	13
2.1.1 输入定标部分	14
2.1.2 乘法部分	15
2.1.3 中央算术逻辑部分	16
2.1.4 辅助寄存器算术单元	17
2.1.5 状态寄存器	18
2.2 存储器和 I/O 空间	20
2.2.1 程序存储器	20
2.2.2 数据存储器	21
2.2.3 I/O 空间	22
2.3 系统配置和中断	23
2.3.1 系统配置寄存器	23
2.3.2 中断优先级和中断向量表	25
2.3.3 TMS320LF240x 系列器件的可屏蔽中断	26
2.3.4 TMS320LF240x 系列器件的可屏蔽中断响应流程	29
2.3.5 TMS320LF240x 系列器件的非屏蔽中断	29
2.3.6 中断服务程序	31
2.3.7 中断等待时间	32
2.3.8 复位操作	32
2.3.9 低功耗模式	33
2.4 程序控制	34
2.4.1 程序地址的产生	34

2.4.2 流水线操作	36
2.4.3 分支、调用和返回	36
2.5 重复指令	39
习题 2	39
第 3 章 TMS320LF240x 寻址方式和指令系统	41
3.1 TMS320LF240x DSP 的寻址方式	41
3.1.1 立即寻址方式	41
3.1.2 直接寻址方式	42
3.1.3 间接寻址方式	44
3.2 TMS320LF240x DSP 的指令系统	45
3.2.1 累加器、算术和逻辑指令	46
3.2.2 辅助寄存器指令	47
3.2.3 T 寄存器、P 寄存器和乘法指令	47
3.2.4 转移指令	47
3.2.5 控制指令	48
3.2.6 输入/输出和存储器指令	49
3.3 典型汇编指令介绍	49
习题 3	63
第 4 章 通用目标文件	64
4.1 通用目标文件格式	64
4.1.1 段	64
4.1.2 段程序计数器	64
4.1.3 链接器命令文件和链接器伪指令	64
4.2 TMS320LF240x DSP 通用目标文件及头文件	70
4.2.1 头文件 TMS320LF240x.H	70
4.2.2 命令文件 CMD	77
4.2.3 中断向量表文件	78
第 5 章 TMS320LF240x 总线扩展	80
5.1 程序存储器	80
5.2 数据存储器	80
5.3 I/O 空间	82
习题 5	84
第 6 章 看门狗定时器模块	85
6.1 看门狗定时器模块的结构	85
6.2 看门狗定时器的操作	87
习题 6	87

第7章 数字输入/输出模块	88
7.1 I/O 复用控制寄存器	88
7.1.1 I/O 端口复用输出控制寄存器	89
7.1.2 数据和方向控制寄存器	90
7.2 I/O 端口的应用实例	91
7.2.1 I/O 口作为输出口应用	91
7.2.2 I/O 口作为输入/输出口应用	92
习题 7	94
第8章 事件管理器模块	95
8.1 事件管理器模块概述	95
8.1.1 事件管理器的结构框图	95
8.1.2 事件管理器寄存器列表	95
8.1.3 事件管理器中断	98
8.2 通用定时器	105
8.2.1 TMS320LF240x DSP 通用定时器概述	105
8.2.2 通用定时器功能模块	106
8.2.3 通用定时器的计数操作	110
8.2.4 通用定时器的比较操作	113
8.2.5 通用定时器的 PWM 输出	116
8.2.6 通用定时器复位	117
8.2.7 通用定时器的周期性中断实例	117
8.2.8 通用定时器的比较输出实例	119
8.3 比较单元	120
8.4 脉宽调制电路 PWM	123
8.4.1 与比较单元相关 PWM 电路	124
8.4.2 比较单元和 PWM 电路中的 PWM 波形产生	126
8.4.3 空间矢量 PWM 波形产生	127
8.4.4 PWM 波形产生实例	129
8.5 捕获单元	130
8.5.1 捕获单元概述	130
8.5.2 捕获单元的操作	131
8.5.3 捕获单元应用注意事项	134
8.5.4 捕获单元应用实例	134
8.6 正交编码脉冲 (QEP) 电路	137
8.6.1 正交编码脉冲电路概述	137
8.6.2 正交编码脉冲电路的编码操作	137
8.6.3 正交编码脉冲电路应用实例	138
习题 8	140

第 9 章 串行通信接口模块	142
9.1 串行通信接口概述	142
9.2 串行通信接口的多处理器通信	143
9.2.1 串行通信接口可编程的数据格式	143
9.2.2 串行接口的多处理器通信	143
9.3 串行通信接口通信格式	146
9.4 串行通信接口中断	146
9.5 串行通信接口波特率计算	147
9.6 串行通信接口控制寄存器	147
9.7 SCI 应用实例	151
习题 9	154
第 10 章 A/D 转换模块	155
10.1 A/D 转换器概述	155
10.2 自动排序器的工作原理	155
10.2.1 连续自动排序模式	157
10.2.2 排序器的启动/停止模式	158
10.2.3 输入触发源	159
10.2.4 排序转换时的中断操作	159
10.3 ADC 时钟预定标	160
10.4 校准模式	160
10.5 自测模式	161
10.6 ADC 模块的寄存器	161
10.7 ADC 转换时钟周期	166
10.8 ADC 转换应用实例	167
习题 10	170
第 11 章 串行外设接口模块	172
11.1 串行外设接口概述	172
11.2 串行外设接口操作	173
11.2.1 操作介绍	173
11.2.2 串行外设接口的主动模式和从动模式	174
11.2.3 串行外设接口 SPI 的中断	175
11.2.4 串行外设接口的数据格式	175
11.2.5 串行外设接口波特率设置和时钟方式	175
11.2.6 串行外设接口的初始化	176
11.3 串行外设接口模块控制寄存器	177
11.4 串行外设接口应用实例	180
习题 11	183

第 12 章 CAN 控制器模块	184
12.1 TMS320LF240x 系列 CAN 控制器概述	184
12.2 CAN 的邮箱	185
12.3 CAN 控制寄存器	186
12.4 CAN 的邮箱寄存器	191
12.5 CAN 的中断	195
12.6 CAN 控制器应用实例	197
习题 12	200
第 13 章 TMS320LF240x 应用系统设计	201
13.1 TMS320LF2407 外部总线应用系统设计	201
13.1.1 TMS320LF2407 与 LED 数码管接口电路设计	201
13.1.2 TMS320LF2407 与 TLC5510 接口电路设计	203
13.1.3 TMS320LF2407 与 AD7524 接口电路设计	206
13.2 GPIO 应用系统设计	209
13.2.1 GPIO 扩展 RT128×64 液晶模块接口电路设计	209
13.2.2 GPIO 扩展矩阵键盘接口电路设计	215
13.3 外部中断应用	221
13.4 频率测量系统设计	223
13.5 输入捕获测量脉宽系统设计	228
13.6 直流电动机控制系统设计	234
习题 13	241
第 14 章 TMS320LF240x 芯片开发环境	243
14.1 开发流程和开发工具	243
14.2 代码生成工具	244
14.3 CCS 3.x 集成调试环境安装	245
14.4 CCS 3.x 集成调试环境简介	248
14.4.1 文件管理功能	248
14.4.2 编辑功能 (Edit)	250
14.4.3 视图功能 (View)	252
14.4.4 项目管理 (Project)	257
14.4.5 调试功能 (Debug)	258
14.4.6 选项 (Option)	260
14.4.7 工具 (Tools)	260
14.4.8 窗口 (Windows)	261
14.5 CCS 3.x 的应用	261
参考文献	263

第 1 章 TMS320LF240x DSP 概述

TMS320 系列包括定点、浮点、多处理器 DSP 和定点 DSP 控制器。TMS320 系列 DSP 的体系结构专为实时信号处理而设计，该系列 DSP 控制器将实时处理能力和控制器外设功能集于一身，为控制系统应用提供了理想的解决方案。以下特性使得 TMS320 系列成为很多信号处理及控制应用的理想选择：

- (1)灵活的指令集；
- (2)灵活的内部操作；
- (3)高速的运算能力；
- (4)改进的并行结构；
- (5)有效的成本。

TMS320 同一产品系列中的器件具有相同的 CPU 结构，但片内存储器和外设的配置不同。派生器件集成了新的片内存储器和外设，以满足世界范围内电子市场的不同需求。将存储器和外设集成到控制器内部，TMS320 器件降低了系统成本，节省了电路板空间，提高了系统可靠性。

1.1 TMS320LF240x 系列 DSP 概述

在 TMS320 系列 DSP 的基础上，TMS320LF240x 系列 DSP 有以下特点：

(1)运算速度。采用高性能静态 CMOS 技术，使得供电电压降为 3.3V，使控制器的功耗大大减小，从而提高了控制器的实时控制能力。单周期指令执行时间为 50ns、33ns 或 25ns，即运算能力为 20MIPS、30MIPS 或 40MIPS。

(2)兼容性。基于 TMS320LF240x DSP 的 CPU 核，保证了 F240x 系列 DSP 芯片的源代码与 TMS320 系列 DSP 完全兼容。

(3)片内存储器。TMS320LF240x 片内有高达 32KW 的 FLASH 程序存储器，高达 1.5KW 的数据/程序 RAM，544W 的双口 RAM (DARAM) 和 2KW 的单口 RAM (SARAM)。

(4)两个事件管理器模块 EVA 和 EVB，每个模块包括：2 个 16 位通用定时器，8 个 16 位脉宽调制 (PWM) 通道，3 个捕获单元，片内编码器接口电路。

(5)可扩展的外部存储器 (LF2407) 的空间共 192KW，即 64KW 的程序存储器空间、64KW 的数据存储器空间和 64KW 的 I/O 寻址空间。

(6)看门狗定时器模块 (WDT)。

(7)10 位 A/D 转换器，最小转换时间为 500ns。

(8)控制器局域网络 (CAN) 2.0B 模块。

(9)串行通信接口 (SCI) 模块。

(10)16 位串行外设 (SPI) 接口模块。

- (1) 高达 40 个可单独编程或复用的通用输入/输出引脚 (GPIO)。
- (2) 5 个外部中断 (两个电动机驱动保护、复位和两个可屏蔽中断)。
- (3) 电源管理包括 3 种低功耗模式。

1.2 TMS320LF240x DSP 结构及引脚功能

图 1.1~图 1.4 列出了 TMS320LF2407/6/2 的 PGE 封装图及 TMS320LF2407 DSP 的功能结构图, 引脚功能如表 1.1 所示。

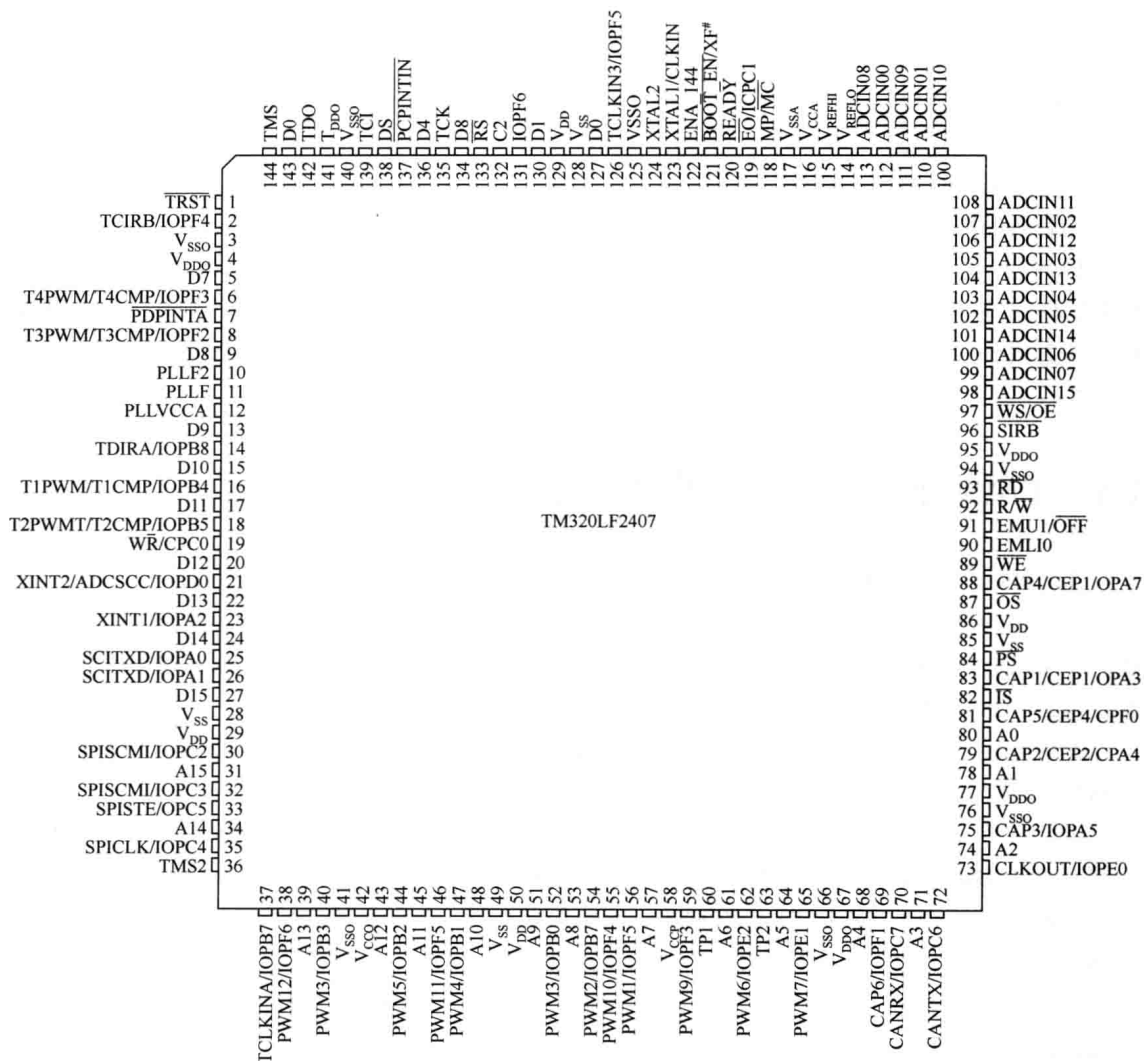


图 1.1 TMS320LF2407 的 PGE 封装 (俯视)

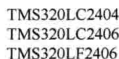


图 1.2 TMS320LF2406 的 PGE 封装 (俯视)

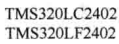


图 1.3 TMS320LF2402 的 PGE 封装 (俯视)

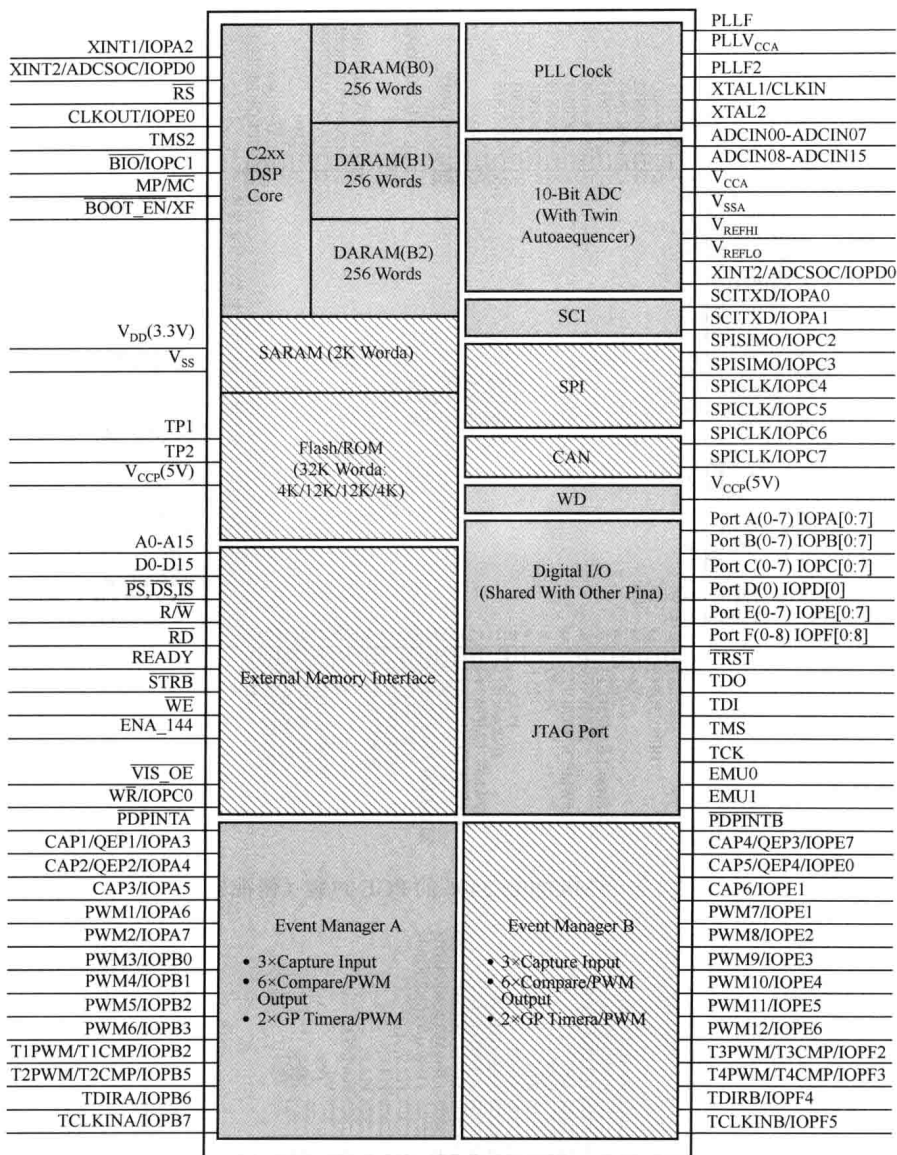


图 1.4 TMS320LF2407 DSP 的功能结构图

表 1.1 TMS320LF240x 的引脚功能

引脚名称	2407	2406	2402	功能描述
事件管理器 A (EVA)				
CAP1/QEP1/IOPA3	83	57	4	EVA 模块的捕获输入#1/正交编码脉冲输入 1#/或通用 IO (↑)
CAP2/QEP2/IOPA4	79	55	3	EVA 模块的捕获输入#2/正交编码脉冲输入 2#/或通用 IO (↑)
CAP3/IOPA5	75	52	2	EVA 模块的捕获输入#3 或通用 IO (↑)
PWM1/IOPA6	56	39	59	EVA 模块的比较/PWM 输出引脚#1 或通用 IO (↑)
PWM2/IOPA7	54	37	58	EVA 模块的比较/PWM 输出引脚#2 或通用 IO (↑)
PWM3/IOPB0	52	36	57	EVA 模块的比较/PWM 输出引脚#3 或通用 IO (↑)
PWM4/IOPB1	47	33	54	EVA 模块的比较/PWM 输出引脚#4 或通用 IO (↑)
PWM5/IOPB2	44	31	53	EVA 模块的比较/PWM 输出引脚#5 或通用 IO (↑)
PWM6/IOPB3	40	28	50	EVA 模块的比较/PWM 输出引脚#6 或通用 IO (↑)
T1PWM/T1CMP/IOPB4	16	12	40	EVA 模块的通用定时器 1 (TMR1) 比较输出或通用 IO (↑)

(续表)

引脚名称	2407	2406	2402	功能描述	
事件管理器 A (EVA)					
T2PWM/T2CMP/IOPB5	18	13	41	EVA 模块的通用定时器 2 (TMR2) 比较输出或通用 IO (↑)	
TDIRA/IOPB6	14	11		通用定时器计数方向选择 (EVA) 或通用 IO; 若 TDIRA = 1, 选择加计数, 否则选择减计数 (↑)	
TCLKINA/IOPB7	37	26	49	EVA 模块的通用定时器的外部时钟输入或通用 IO (该定时器也可以用内部时钟) (↑)	
事件管理器 B (EVB)					
CAP4/QEP3/IOPE7	88	60		EVB 模块的捕获输入#4/正交编码脉冲输入 3#/或通用 IO (↑)	
CAP5/QEP4/IOPF0	81	56		EVB 模块的捕获输入#5/正交编码脉冲输入 4#/或通用 IO (↑)	
CAP6/IOPF1	69	48		EVB 模块的捕获输入#6 或通用 IO (↑)	
PWM7/IOPE1	65	45		EVB 模块的比较/PWM 输出引脚#7 或通用 IO (↑)	
PWM8/IOPE2	62	43		EVB 模块的比较/PWM 输出引脚#8 或通用 IO (↑)	
PWM9/IOPE3	59	41		EVB 模块的比较/PWM 输出引脚#9 或通用 IO (↑)	
PWM10/IOPE4	55	38		EVB 模块的比较/PWM 输出引脚#10 或通用 IO (↑)	
PWM11/IOPE5	46	32		EVB 模块的比较/PWM 输出引脚#11 或通用 IO (↑)	
PWM12/IOPE6	38	27		EVB 模块的比较/PWM 输出引脚#12 或通用 IO (↑)	
T3PWM/T3CMP/IOPF2	8	7		EVB 模块的通用定时器 3 (TMR3) 比较输出或通用 IO (↑)	
T4PWM/T4CMP/IOPF3	6	5		EVB 模块的通用定时器 4 (TMR4) 比较输出或通用 IO (↑)	
TDIRB/IOPF4	2	2		通用定时器计数方向选择 (EVB) 或通用 IO; 若 TDIRB = 1, 选择加计数, 否则选择减计数 (↑)	
TCLKINB/IOPF5	126	89		EVB 模块的通用定时器的外部时钟输入或通用 IO (该定时器也可以用内部时钟) (↑)	
模数转换器 ADC					
ADCIN00	112	79	18	ADC 模拟输入引脚#0	
ADCIN01	110	77	17	ADC 模拟输入引脚#1	
ADCIN02	105	74	16	ADC 模拟输入引脚#2	
ADCIN03	107	72	15	ADC 模拟输入引脚#3	
ADCIN04	103	70	14	ADC 模拟输入引脚#4	
ADCIN05	102	69	13	ADC 模拟输入引脚#5	
ADCIN06	100	67	12	ADC 模拟输入引脚#6	
ADCIN07	99	66	11	ADC 模拟输入引脚#7	
ADCIN08	113	80		ADC 模拟输入引脚#8	
ADCIN09	111	78		ADC 模拟输入引脚#9	
ADCIN10	109	76		ADC 模拟输入引脚#10	
ADCIN11	108	75		ADC 模拟输入引脚#11	
ADCIN12	106	73		ADC 模拟输入引脚#12	
ADCIN13	104	71		ADC 模拟输入引脚#13	
ADCIN14	101	68		ADC 模拟输入引脚#14	
ADCIN15	98	65		ADC 模拟输入引脚#15	
VREFHI	115	82		ADC 模拟输入高电平参考电压输入端	
VREFLO	114	81		ADC 模拟输入低电平参考电压输入端	
VCCA	116	83		ADC 模拟供电电压 (3.3V)	
VSSA	117	84		ADC 模拟地	
控制器区域网络 CAN, 异步串行口 SCI, 同步串行口 SPI					
CANRX/IOPC7	CANRX	70	49	—	CAN 接收数据或通用 IO 引脚 (↑)
	IOPC7	70	49	63	
CANTX/IOPC6	CANTX	72	50	—	CAN 发送数据或通用 IO 引脚 (↑)
	IOPC6	72	50	64	
SCITXD/IOPA0		25	17	43	SCI 发送数据或通用 IO 引脚 (↑)
SCIRXD/IOPA1		26	18	44	SCI 接收数据或通用 IO 引脚 (↑)
SPICLK/IOPC4	SPICLK	35	24	—	SPI 时钟或通用 IO 引脚 (↑)
	IOPC4	35	24	47	

(续表)

引脚名称		2407	2406	2402	功能描述
控制器区域网络 CAN, 异步串行口 SCI, 同步串行口 SPI					
SPISIMO/IOPC2	SPISIMO	30	21	—	SPI 从动输入主控输出或通用 IO 引脚 (↑)
	IOPC2	30	21	45	
SPISOMI/IOPC3	SPISOMI	32	22	—	SPI 从动输出主控输入或通用 IO 引脚 (↑)
	IOPC3	32	22	46	
$\overline{\text{SPISTE}}$ /IOPC5	SPISTE	33	23	—	SPI 从动发送使能或通用 IO 引脚 (↑)
	IOPC5	33	23	—	
外部中断, 时钟					
$\overline{\text{RS}}$		133	93	28	控制器复位引脚: $\overline{\text{RS}}$ 为低时, 240x 控制器终止执行并使 PC = 0; $\overline{\text{RS}}$ 拉为高电平时, 240x 控制器从程序存储器的 0 单元开始执行; $\overline{\text{RS}}$ 将各寄存器和状态位置 0; 当 WDT 定时时间溢出时, 在 $\overline{\text{RS}}$ 引脚产生一个系统复位脉冲 (↑)
外部中断, 时钟					
$\overline{\text{PDPINTA}}$		7	6	36	功率驱动保护中断输入引脚, 下降沿有效。该中断有效时, 将 EVA 模块的 PWM 输出引脚置为高阻状态。该引脚可用来监测电动机驱动或电源逆变器出现的过电压、过电流等故障 (↑)
XINT1/IOPA2		23	16		外部中断 1 或通用 IO 引脚。XINT1 和 XINT2 都是边沿有效引脚, 其边沿极性可编程 (↑)
XINT2/ADCSOC/IOPD0		21	15	42	外部中断 2/启动 AD 转换输入引脚或通用 IO 引脚。XINT1 和 XINT2 都是边沿有效引脚, 其边沿极性可编程 (↑)
CLKOUT/IOPE0		73	51	1	时钟输出或通用 IO 引脚。输出时钟为 CPU 时钟或监视定时器时钟, 由系统控制状态寄存器中的 CLKSRC (D14) 决定; 当不用于时钟输出时, 就可做通用 IO (↑)
$\overline{\text{PDPINTB}}$		137	95		功率驱动保护中断输入引脚, 下降沿有效。该中断有效时, 将 EVB 模块的 PWM 输出引脚置为高阻状态。该引脚可用来监测电动机驱动或电源逆变器出现的过电压、过电流等故障 (↑)
振荡器、PLL、FLASH、引导程序及其他					
XTAL1/CLKIN		123	87	24	PLL 上振荡器输入引脚, 晶振或时钟源输入到 PLL。该引脚接至参考晶振
XTAL2		124	88	25	晶振、PLL 振荡器输出引脚。该引脚接至参考晶振, EMU1/OFF 引脚为低电平时, 该引脚呈高阻态
PLLVC		12	10	39	PLL 电压 (3.3V)
$\overline{\text{BOOT_EN}}$ /XF		121	86	23	使能引导 ROM/通用输出 XF 引脚。该引脚在复位期间被采样输入以更新 SCSR2.3($\overline{\text{BOOT_EN}}$ 位), 然后驱动作为 XF 输出信号; 复位后, XF 被置为高电平。 $\overline{\text{BOOT_EN}}$ 只能用无源回路驱动 (↑)
IOPF6		131	92		通用 IO 引脚 (↑)
PLL1F		11	9	38	滤波器输入引脚 1
PLL2F		10	8	37	滤波器输入引脚 2
VCCP (5V)		58	40	60	FLASH 编程电压输入引脚。在 FLASH 编程时该引脚电平须为 5V, 在芯片运行时该引脚须接地, 在该引脚上不要使用任何限流电阻
TP1 (FLASH)		60	42	61	FLASH 阵列测试引脚, 悬空
TP2 (FLASH)		63	44	62	FLASH 阵列测试引脚, 悬空
$\overline{\text{BIO}}$ /IOPC1		119	45		分支控制输入或通用 IO 引脚。由 BCND pma, $\overline{\text{BIO}}$ 指令查询该引脚电平, 若为低, 则执行分支程序; 若不用该引脚, 则须将其拉为高电平; 控制器复位时将该位配置为分支控制输入, 若不用分支控制功能, 该引脚就作为通用 IO 引脚 (↑)
仿真和测试					
$\overline{\text{TRST}}$		1	1	33	JTAG 测试复位引脚 (↓)。当 $\overline{\text{TRST}}$ 拉高时, 扫描系统控制器的运行; 若该信号引脚未接或为低电平, 控制器运行在功能方式, 且测试复位信号无效

(续表)

引脚名称	2407	2406	2402	功能描述
仿真和测试				
EMU0	90	61	7	仿真器 I/O 引脚#0 (↑)。TRST 拉高时, 该引脚用做来自或到仿真器系统的中断, 通过 JTAG 扫描可定义为 I/O 引脚
EMU1 $\overline{\text{OFF}}$	91	62	8	仿真器引脚#1 (↑)。该引脚可禁止所有输出; TRST 拉高时, 该引脚用做来自或到仿真器系统的中断, 通过 JTAG 扫描可定义为 I/O 引脚; TRST 拉低时, 该引脚设定为 $\overline{\text{OFF}}$ 引脚; 低电平有效时, 所有输出引脚驱动为高阻态。注意, $\overline{\text{OFF}}$ 只用于测试和仿真, 而不适用于多处理应用, 因此, 对于 $\overline{\text{OFF}}$ 状态, 有 $\text{TRST} = 0$, $\text{EMU0} = 0$, $\text{EMU1}\overline{\text{OFF}} = 0$
TCK	135	94	29	JTAG 测试时钟引脚 (↑)
TDI	139	96	30	JTAG 测试数据输入引脚 (↑)。在 TCK 的上升沿从 TDI 输入的指令或数据被锁存到选定的寄存器
TDO	142	99	31	JTAG 扫描输出, 测试数据输出引脚。在 TCK 的下降沿, 选定寄存器中的指令或数据被移出到 TDO 引脚 (↓)
TMS	144	100	32	JTAG 测试方式选择引脚 (↑)。该串行控制输入在 TCK 的上升沿锁存到 TAP 控制器中
TMS2	36	25	48	JTAG 测试方式选择 2 引脚 (↑)。该串行控制输入在 TCK 的上升沿锁存到 TAP 控制器中; 仅用于测试和仿真; 在用户应用中, 该引脚可不接
地址、数据和存储器控制信号				
$\overline{\text{DS}}$	87			外部数据存储器选通引脚
$\overline{\text{PS}}$	84			外部程序存储器选通引脚
$\overline{\text{IS}}$	82			外部 I/O 空间选通引脚
R/ $\overline{\text{W}}$	92			读/写选择信号。指明与外部装置通信期间信号的传送方向, 通常情况下输出为高电平: (读方式), 当输出为低电平时请求执行写操作; 当 $\text{EMU1}\overline{\text{OFF}}$ 为低电平有效和掉电期间该引脚置为高阻态
W/ $\overline{\text{R}}$ /IOPC0	W/ $\overline{\text{R}}$	19		写/读选择或通用 IO 引脚 (↑)。这是一个对“0 等待状态”存储器接口很有用的反向输出传输读/写信号。通常为低电平, 当执行存储器写操作时为高电平
	IOPC0	19	14	
地址、数据和存储器控制信号				
$\overline{\text{RD}}$	93			读使能输出引脚。 $\overline{\text{RD}}$ 表示一个有效的外部读周期, 它对所有外部程序、数据和 I/O 读有效。当 $\text{EMU1}\overline{\text{OFF}}$ 低电平有效时, 该引脚被置为高阻态
$\overline{\text{WE}}$	89			写使能输出引脚。该信号的下降沿可驱动所有外部程序、数据存储器及 I/O 空间写有效。当 $\text{EMU1}\overline{\text{OFF}}$ 低电平有效时, 该引脚被置为高阻态
$\overline{\text{STRB}}$	96			外部存储器访问选通 (输出)。该引脚总为高电平, 在访问任意的片外空间时该信号为低电平, 以表示一个外部总线周期。当 $\text{EMU1}\overline{\text{OFF}}$ 低电平有效时和掉电期间, 该引脚被置为高阻态
READY	120			外设准备好信号 (输入)。访问外部设备时 READY 被拉低以增加等待状态, 它表示一个外部器件为将要完成的总线处理做好准备, 若该外设未准备好, 则将 READY 拉为低电平 (此时处理器将等待一个周期, 并且再次检测 READY)。为满足外部 READY 时序要求, 等待状态发生控制寄存器 (WSGR) 至少要设定一个等待状态 (↑)
MP/ $\overline{\text{MC}}$	118			微处理器/微控制器方式选择引脚 (输出)。复位时该引脚若为低电平, 则工作在微控制器方式下, 并从内部程序存储器 (FLASH E ² PROM) 的 0000h 开始程序执行; 若为高电平, 则工作在微处理器方式下, 并从外部程序存储器的 0000h 开始程序执行。同时, 将 MP/ $\overline{\text{MC}}$ 位 (SCSR2 寄存器的第 2 位) 置位 (↓)

(续表)

引脚名称	2407	2406	2402	功能描述
地址、数据和存储器控制信号				
ENA_144	122			外部接口使能信号。该引脚输出为高电平时使能外部接口，若为低电平，则 2407 与 2406、2402 控制器一样，没有外部存储器，如果 $\overline{DS}$ 为低，则产生一个无效地址（↓）
$\overline{VIS_OE}$	97			透明度（ $\overline{VIS}$ ）输出使能引脚（当数据总线输出时有效）。当运行在透视方式下，外部数据总线驱动为输出时该引脚有效（为低电平）。该引脚可作为外部编码逻辑以防止数据总线冲突
A0	80			16 位地址总线的 Bit0
A1	78			16 位地址总线的 Bit1
A2	74			16 位地址总线的 Bit2
A3	71			16 位地址总线的 Bit3
A4	68			16 位地址总线的 Bit4
A5	64			16 位地址总线的 Bit5
A6	61			16 位地址总线的 Bit6
A7	57			16 位地址总线的 Bit7
A8	53			16 位地址总线的 Bit8
A9	51			16 位地址总线的 Bit9
A10	48			16 位地址总线的 Bit10
A11	45			16 位地址总线的 Bit11
A12	43			16 位地址总线的 Bit12
A13	39			16 位地址总线的 Bit12
A14	34			16 位地址总线的 Bit14
A15	31			16 位地址总线的 Bit15
D0	127			16 位数据总线的 Bit0（↑）
D1	130			16 位数据总线的 Bit1（↑）
D2	132			16 位数据总线的 Bit2（↑）
D3	134			16 位数据总线的 Bit3（↑）
D4	136			16 位数据总线的 Bit4（↑）
D5	138			16 位数据总线的 Bit5（↑）
D6	143			16 位数据总线的 Bit6（↑）
D7	5			16 位数据总线的 Bit7（↑）
D8	9			16 位数据总线的 Bit8（↑）
D9	13			16 位数据总线的 Bit9（↑）
D10	15			16 位数据总线的 Bit10（↑）
D11	17			16 位数据总线的 Bit11（↑）
D12	20			16 位数据总线的 Bit12（↑）
D13	22			16 位数据总线的 Bit12（↑）
D14	24			16 位数据总线的 Bit14（↑）
D15	27			16 位数据总线的 Bit15（↑）
供电电源				
VDD	29, 50, 86, 129	20, 35, 59, 91	6, 27, 56	内核电源电压+3.3V，数字逻辑电源电压
VDDO	4, 42, 67, 77, 95, 141	4, 30, 47, 54, 64, 98	10, 35, 52	I/O 缓冲器电源电压+3.3V，数字逻辑和缓冲器电源电压
VSS	28, 49, 85, 128	19, 34, 58, 90	5, 26, 55	内核地：数字参考地
VSS0	3, 41, 66, 76, 94, 125, 140	3, 29, 46, 53, 63, 97	9, 34, 51	I/O 缓冲器地：数字逻辑和缓冲器参考地

1.3 TMS320LF240x DSP 存储器映射图

1.3.1 TMS320LF2407 的存储器配置

图 1.5 给出了 TMS320LF2407 的存储器地址分配示意图。