

一本
通关



权威★严谨★高效★实用

一书在手，过关无忧

网络工程师考试

短平快

一本通

全国计算机专业技术资格考试研究组推荐

○主 编 虞 勤 张源源 ○副主编 李佐勇 王乃和



以考点为专题，针对性强

在深入研究历年真题的基础上，归纳出常考考点，使考生明白“考什么”。



以真题为纽带，实用性强

考点中链接历年真题解析，使考生彻底清楚每个考点是“怎么考”的。



分栏编排，学习效率更高

考点、考题、练习三栏对应，学练考一步到位，引领考生高效的学习。



即学即练，复习效果更好

提供典型丰富的练习和答案，便于考生即学即练，即练即会，举一反三。



清华大学出版社

网络工程师考试短平快一本通

全国计算机专业技术资格考试研究组推荐

主 编 虞 勤 张源源

副主编 李佐勇 王乃和

清华大学出版社

北 京

内 容 简 介

本书根据最新的网络工程师考试大纲和教程为依据,以对考生进行综合指导、全面提高应试能力为原则,深入研究考试真题并结合考前辅导班教师的实际教学经验编写而成。

本书突出针对性和实用性,对常考考点进行分析、点评。每个考点包括“考点点睛”、“真题链接”、“即学即练”三个板块。“考点点睛”板块对大纲中的考点进行透彻讲解并对教材中的知识点进行浓缩;“真题链接”板块将历年真题进行分类解析;“即学即练”板块设计了数道题目,让考生即学即练,即练即会,达到举一反三的目的。

本书以全国计算机技术与软件专业技术资格(水平)考试的考生为主要读者对象,特别适合临考前冲刺复习使用,同时可以作为各类网络工程师培训班的教材,以及大、中专院校师生的参考书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

网络工程师考试短平快一本通/虞勤,张源源主编. —北京:清华大学出版社,2014

ISBN 978-7-302-34921-1

I. ①网… II. ①虞… ②张… III. ①计算机网络—工程师—资格考试—自学参考资料 IV. ①TP393

中国版本图书馆 CIP 数据核字(2013)第 317805 号

责任编辑:章忆文 桑任松

封面设计:张华丽

责任校对:王 晖

责任印制:宋 林

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课 件 下 载: <http://www.tup.com.cn>, 010-62791865

印 刷 者:三河市中晟雅豪印务有限公司

装 订 者:三河市新茂装订有限公司

经 销:全国新华书店

开 本:380mm×260mm 印 张:35 字 数:977 千字

版 次:2014 年 3 月第 1 版 印 次:2014 年 3 月第 1 次印刷

印 数:1~3500

定 价:67.00 元

产品编号:048435-01

前 言

全国计算机技术与软件专业技术资格(水平)考试自实施起至今已经历了 20 多年，在社会上产生了很大的影响，其权威性得到社会各界的广泛认可。

本书根据最新的网络工程师考试大纲和教程为依据，以对考生进行综合指导、全面提高应试能力为原则，深入研究考试真题并结合考前辅导班教师的实际教学经验编写而成。

本书突出针对性和实用性，对常考考点进行分析、点评。每个考点包括“考点点睛”、“真题链接”、“即学即练”三个板块。“考点点睛”板块对大纲中的考点进行透彻讲解并对教材中的知识点进行浓缩；“真题链接”板块将历年真题进行分类解析；“即学即练”板块设计了数道题目，让考生即学即练，即练即会，达到举一反三的目的。

本书定位是“一本通关”的高效实用考前辅导用书，特点如下。

(1) 版式新颖。全书采用三栏排版，考点、考题、练习题相对应，方便考生边看考点边做考题，一点一练，学练考一步到位，引领考生高效复习，突出考试用书的最高境界——针对性、实用性，达到短平快的目的。

(2) 按考点细化。在深入分析历年试题特点后，归纳整理出常考的考点，指引考生找准方向，快速过关。

(3) 每个考点作为一个专题，并分为三个板块：

- “考点点睛”板块对大纲中的考点进行透彻讲解并对教材中的知识点进行浓缩，使考生明白“考什么”，突出针对性。
- “真题链接”板块将历年真题进行分类解析，使考生彻底搞清楚每个考点是“怎么考”的，突出实用性。
- “即学即练”板块设计了数道题目，让考生即学即练，即练即会，达到举一反三的目的。

(4) 作者实力强。作者团队具有从事等级考试近 10 年的辅导、培训、命题、阅卷及编写之经验，有较高的权威性，图书质量有保障。

本书以全国计算机技术与软件专业技术资格(水平)考试的考生为主要读者对象，特别适合临考前冲刺复习使用，同时可以作为各类网络工程师培训班的教材，以及大、中专院校师生的参考书。

本书由虞勤(江苏师范大学)、张源源(炎黄职业技术学院)任主编，李佐勇、王乃和任副主编。此外，参与本书编写的还有王珊珊、周海霞、卢振侠、石雅琴、孙瑾、陈玲、陈海燕、陈智、缪静文、马新兵、何光明、钱妍池、赵梅、周汉等。在此对原作品作者及全体参与人员表示衷心的感谢。在编写的过程中，参考了许多相关的书籍和资料，从中汲取了许多营养，在此也对这些参考文献的作者表示感谢。需要特别提出感谢的是来自互联网的各位不知姓名的网友们的无私奉献，正是由于你们，才使本书的内容更完善、更详尽。

由于作者水平所限，书中难免存在错漏和不妥之处，敬请读者批评指正。联系邮箱：iteditor@126.com。

编 者

目 录

第1章 计算机基础知识.....	1	考点 6.3 帧中继	62
考点 1.1 计算机中数据的表示及运算.....	1	考点 6.4 ISDN 和 ATM.....	63
考点 1.2 中央处理器.....	2	第7章 局域网与城域网	66
考点 1.3 存储系统.....	5	考点 7.1 CSMA/CD 协议.....	66
考点 1.4 输入输出系统.....	9	考点 7.2 以太网	69
考点 1.5 总线、指令系统与可靠度.....	10	考点 7.3 虚拟局域网.....	73
第2章 操作系统.....	13	考点 7.4 局域网互联.....	76
考点 2.1 操作系统的概念.....	13	考点 7.5 无线局域网.....	79
考点 2.2 处理机管理.....	14	第8章 网络互联与互联网.....	85
考点 2.3 存储管理.....	17	考点 8.1 存储管理	85
考点 2.4 文件管理.....	21	考点 8.2 IP 协议.....	88
第3章 系统开发和运行基础知识.....	25	考点 8.3 ICMP.....	96
考点 3.1 需求分析和设计方法.....	25	考点 8.4 TCP 和 UDP	98
考点 3.2 项目管理基础知识.....	28	考点 8.5 域名系统	102
考点 3.3 软件的测试与调试.....	32	考点 8.6 地址解析	104
第4章 标准化和知识产权.....	34	考点 8.7 网关协议	106
考点 4.1 标准化和知识产权.....	34	考点 8.8 路由器技术.....	111
第5章 数据通信基础.....	38	考点 8.9 Internet 应用	115
考点 5.1 信道特性.....	38	考点 8.10 IPv6.....	118
考点 5.2 传输介质.....	39	第9章 网络安全	121
考点 5.3 数据编码.....	49	考点 9.1 信息加密技术.....	121
考点 5.4 数字调制技术与脉冲编码调制.....	53	考点 9.2 认证技术	124
考点 5.5 通信方式.....	54	考点 9.3 虚拟专用网.....	127
考点 5.6 多路复用技术与同步数字系列.....	55	考点 9.4 应用层安全协议.....	133
考点 5.7 差错控制.....	57	考点 9.5 病毒防护	136
第6章 广域通信网.....	59	第10章 网络操作系统与应用服务器配置.....	138
考点 6.1 公共交换电话网.....	59	考点 10.1 Windows Server 2003 网络操作系统基础	138
考点 6.2 X.25 公共数据网.....	60	考点 10.2 Linux 操作系统基础	144
		考点 10.3 Windows 服务器配置基础	154

考点 10.4	Windows Server 2003 IIS 应用服务器的配置.....	166
考点 10.5	Linux Apache 服务器的配置	170
考点 10.6	Windows Server 2003 DNS 服务器的安装与配置	174
考点 10.7	DHCP 服务器的配置	179
考点 10.8	邮箱存储位置的设置.....	188
考点 10.9	Samba 基础.....	190
第 11 章	组网技术.....	192
考点 11.1	交换机基础.....	192
考点 11.2	交换机的配置	194
考点 11.3	路由器基础.....	202
考点 11.4	路由器的配置	204
考点 11.5	IPv6 配置与部署	209
考点 11.6	访问控制列表	215
第 12 章	网络管理.....	220
考点 12.1	网络管理.....	220
考点 12.2	常用的网络工具.....	226
考点 12.3	网络监视和网络管理工具.....	235
考点 12.4	网络存储技术.....	236
第 13 章	网络系统分析与设计.....	238
考点 13.1	结构化布线系统.....	238
考点 13.2	网络系统分析.....	240
考点 13.3	逻辑网络设计.....	243
考点 13.4	网络结构设计.....	245
考点 13.5	网络故障诊断.....	253
考点 13.6	网络规划案例(1).....	255
考点 13.7	网络规划案例(2).....	261
第 14 章	计算机专业英语.....	265
参考文献		272

第1章 计算机基础知识

考点 1.1 计算机中数据的表示及运算



考点点睛

1. 机器数和码制

各种数据在计算机中的表示形式称为机器数,其特点是采用二进制计数制,数的符号用 0、1 表示,小数点则隐含表示而不占位置。

带符号的机器数可采用原码、反码和补码等不同的编码方法,这些编码方法称为码制。

1) 原码表示法

数值 X 的源码记为 $[X]_{\text{原}}$,最高位为符号位,表示该数的符号,“0”表示正数,“1”表示负数,而数值部分仍保留着其真值的特征。

2) 反码表示方法

反码的符号的表示法与原码相同。正数的反码与正数的原码形式相同;负数的反码符号位仍为 1,数值部分通过将负数原码的数值部分各位取反(0 变为 1,1 变为 0)得到。

3) 补码表示法

正数的补码与原码相同;负数的补码是反码末位+1(丢弃最高位向上的进位),它是最适合进行数字加减运算的数字编码。

2. 浮点数运算

1) 浮点加减运算

完成浮点数加减法有 5 个基本步骤:对阶、尾数加减、规格化、舍入和检查溢出。

2) 浮点乘除运算

浮点数相乘:其积的阶码等于两乘数的阶码之和,尾数等于两乘数的尾数之积,数符由两乘数的数符按逻辑异或求出。

浮点数相除:其商的阶码等于被除数的阶码减去除数的阶码,尾数等于被除数的尾数除以除数的尾数,数符由两除数的数符按逻辑异或求出。



真题链接

【试题 1-1】2012 年 11 月真题 3

以下关于数的定点表示或浮点表示的叙述中,不正确的是 (3)。

- (3) A. 定点表示法表示的数(称为定点数)常分为定点整数和定点小数两种
B. 定点表示法中,小数点需要占用一个存储位
C. 浮点表示法用阶码和尾数来表示数,称为浮点数
D. 在总位数相同的情况下,浮点表示法可以表示更大的数

解析:实际处理的数既有整数部分又有小数部分,根据小数点位置是否固定,有两种表示格式:定点格式和浮点格式。计算机中的小数点是虚的,所以不占用存储空间。

答案: B

【试题 1-2】2012 年 11 月真题 4

X 、 Y 为逻辑变量,与逻辑表达式 $X + \overline{X}Y$ 等价的是 (4)。

- (4) A. $X + \overline{Y}$ B. $\overline{X} + \overline{Y}$ C. $\overline{X} + Y$ D. $X + Y$

解析:若 X 为真,则 $X + \overline{X}Y$ 的值为真,若 X 为假,则 $X + \overline{X}Y$ 的值取决于 Y 的逻辑值;符合题意的只有 $X + Y$ 。

答案: D

【试题 1-3】2010 年 11 月真题 2

若计算机采用 8 位整数补码表示数据,则 (2) 运算将产生溢出。

- (2) A. $-127+1$ B. $-127-1$ C. $127+1$ D. $127-1$

解析:8 位整数补码的表示范围为 $-128 \sim +127$ 。 $[-128]_{\text{补}}=10000000$, $[127]_{\text{补}}=01111111$ 。选项 C 中,很明显 $127+1=128$ 超过了 8 位整数的表示范围。我们也可以通过计算来证明:

```
01111111
+00000001
10000000
```

两个正数相加的结果是 -128 ,产生错误的原因就是溢出。

答案: C

【试题 1-4】2010 年 5 月真题 5

若某整数的 16 位补码为 FFFFH(H 表示十六进制),则该数的十进制值为 (5)。

- (5) A. 0 B. -1 C. $2^{16}-1$ D. $-2^{16}+1$



即学即练

【练习题 1-1】2009 年 5 月真题 3

计算机中常采用原码、反码、补码和移码表示数据,其中,±0 编码相同的是 (3)。

- (3) A. 原码和补码
B. 反码和补码
C. 补码和移码
D. 原码和移码

答案: C

【练习题 1-2】2008 年 11 月真题 2

计算机在进行浮点数的相加(减)运算之前先进行对阶操作,若 x 的阶码大于 y 的阶码,则应将 (2)。

- (2) A. x 的阶码缩小至与 y 的阶码相同,且使 x 的尾数部分进行算术左移
B. x 的阶码缩小至与 y 的阶码相同,且使 x 的尾数部分进行算术右移
C. y 的阶码缩小至与 x 的阶码相同,且使 y 的尾数部分进行算术左移
D. y 的阶码缩小至与 x 的阶码相同,且使 y 的尾数部分进行算术右移

答案: D

【练习题 1-3】2005 年 5 月真题 1~2

在计算机中,最适合进行数字加减运算的数字编码是 (1),最适合表示浮点数阶码的数字编码是 (2)。

- (1) A. 原码 B. 反码
C. 补码 D. 移码

3. 校验码

1) 奇偶校验码

奇偶检验通过在编码中增加一位来使编码中 1 的个数为奇数(奇校验)或者为偶数(偶校验),从而使码距变为 2。

2) 海明码

海明码是利用奇偶性来检错和校验的方法。其构成方法是:在数据位之间插入 k 个校验位,通过扩大码距来实现检错和纠错。

3) 循环冗余校验码

循环冗余校验码(CRC)由两部分组成,左边为信息码(数据),右边为校验码。若 CRC 码的字长为 n ,信息码占 k 位,则校验码就占 $n-k$ 位。校验码是由信息码产生的,校验位越长,校验能力就越强。在求 CRC 编码时,采用的是模 2 运算。

学习笔记

解析:负数的补码:符号位为 1,其余位为该数绝对值的原码按位取反,然后整个数加 1。因此,补码 FFFFH 对应的是 -1。

答案: B

【试题 1-5】2009 年 11 月真题 3

以下关于校验码的叙述中,正确的是 (3)。

- (3) A. 海明码利用多组数位的奇偶性来检错和纠错
B. 海明码的码距必须大于等于 1
C. 循环冗余校验码具有很强的检错和纠错能力
D. 循环冗余校验码的码距必定为 1

解析:海明码是利用奇偶性来检错和校验的方法。其构成方法是:在数据位之间插入 k 个校验位,通过扩大码距来实现检错和纠错。海明码的码距必须大于 1,因此选项 B 是错误的。

循环冗余码利用生成多项式为 k 个数据位产生 r 个校验位来进行编码,校验位越长,校验能力就越强。具有 r 个校验位的多项式能检测出所有长度小于等于 r 的突发性差错。但循环冗余码并不具有纠错能力,因此选项 C 是错误的。

取两个相近的码字,如 0 和 1,再用一个生成多项式(如 101)来进行计算,可以看出即使要传输的码字的码距为 1,但整个编码(原数据+CRC 校验码)的码距必定大于 1。如果码距可以等于 1 的话,那么就意味着 CRC 编码可能无法检查出一位的错误。因此 D 也是错误的。

答案: A

(2) A. 原码 B. 反码

C. 补码 D. 移码

答案: (1) C (2) D

心得体会

考点 1.2 中央处理器

 考点点睛

一、中央处理器

中央处理器,即 CPU,是运算器和控制器的合称。

1. CPU 的功能

CPU 具有如下功能。

(1) 程序控制:CPU 通过执行指令来控制程序的执行顺序。

(2) 操作控制:一条指令功能的实现需要若干操作信号来完成,CPU 产生每条指令的操作信号并将其送往不同的部件,控制相应部件的操作。

(3) 时序控制:CPU 通过时序电路产生的时钟信号进行定时,以控制各种操作按指定时序进行。

(4) 数据处理:完成对数据的加工处理。

 真题链接

【试题 1-6】2012 年 11 月真题 1

在 CPU 中,(1) 不仅要保证指令的正确执行,还要能够处理异常事件。

- (1) A. 运算器 B. 控制器 C. 寄存器组 D. 内部总线

解析:运算器主要完成算术运算、逻辑运算和移位操作;控制器实现指令的读入、寄存、译码和在执行过程有序地发出控制信号;寄存器用于暂存寻址和计算过程的信息。

答案: B

【试题 1-7】2011 年 11 月真题 1

若某条无条件转移汇编指令采用直接寻址,则该指令的功能是将指令中的地址码送入 (1)。

- (1) A. PC(程序计数器) B. AR(地址寄存器)
C. AC(累加器) D. ALU(算逻运算单元)

解析:程序计数器是用于存放下一条指令所在单元的地址的地方。单片机及汇编语言中常称作 PC(program counter)。

 即学即练

【练习题 1-4】2009 年 5 月真题 4

某指令流水线由 5 段组成,第 1、3、5 段所需时间为 Δt ,第 2、4 段所需时间分别为 $3\Delta t$ 、 $2\Delta t$,如下图所示,那么连续输入 n 条指令时的吞吐率(单位时间内执行的指令个数)TP 为 (4)。



(4) A. $\frac{n}{5 \times (3+2)\Delta t}$

B. $\frac{n}{(3+3+2)\Delta t + 3(n-1)\Delta t}$

2. CPU 的组成

微处理器是计算机的核心部件,包括运算器、控制器、寄存器三大部分,一般被集成在一个大规模集成芯片上,具有计算、控制、数据传送、指令译码及执行等重要功能,它直接决定了计算机的主要性能。各主要功能部件介绍如下。

1) 运算器

运算器主要完成算术运算、逻辑运算和移位操作,主要部件有算术逻辑单元(ALU)、累加器(ACC)、标志寄存器、寄存器组、多路转换器和数据总线等。

2) 控制器

控制器实现指令的读入、寄存、译码和在执行过程有序地发出控制信号。控制器主要由指令寄存器(IR)、程序计数器(PC)、指令译码器、状态/条件寄存器、时序产生器、微操作信号发生器组成。

- 程序计数器(PC): 当程序顺序执行时,每取出一条指令,PC 内容自动增加一个值,指向下一条要取的指令。
- 指令寄存器: 用于寄存当前正在执行的指令。
- 指令译码器: 用于对当前指令进行译码。
- 状态/条件寄存器: 用于保存指令执行完成后产生的条件码。另外还保存中断和系统工作状态等信息。
- 时序产生器: 用于产生节拍电位和时序脉冲。
- 微操作信号发生器: 根据指令提供操作信号,时序产生器提供时序信号。

3) 寄存器

寄存器用于暂存寻址和计算过程的信息。CPU 中的寄存器通常分为存放数据的寄存器、存放地址的寄存器、存放控制信息的寄存器、存放状态信息的寄存器和其他寄存器等类型。

- 累加器: 是一个数据寄存器,在运算过程中暂时存放被操作数和中间运算结果。
- 通用寄存器组: 是 CPU 中的一组工作寄存器。运算时,用于暂存操作数或地址。
- 标志寄存器: 也称状态寄存器,它用于记录运算中产生的标志信息。
- 指令寄存器: 用于存放正在执行的指令。
- 地址寄存器: 包括程序计数器、堆栈指示器、变址寄存器、段地址寄存器等。
- 其他寄存器: 如用于程序调试的“调试寄存器”、用于存储管理的“描述符寄存器”等。

为了保证程序(在操作系统中理解为进程)能够连续地执行下去,CPU 必须具有某些手段来确定下一条指令的地址。而程序计数器正是起到这种作用,所以通常又称为指令计数器。在程序开始执行前,必须将它的起始地址,即程序的一条指令所在的内存单元地址送入 PC,因此程序计数器(PC)的内容即是从内存提取的第一条指令的地址。当执行指令时,CPU 将自动修改 PC 的内容,即每执行一条指令 PC 增加一个量,这个量等于指令所含的字节数,以便使其保持的总是将要执行的下一条指令的地址。由于大多数指令都是按顺序来执行的,所以修改的过程通常只是简单的对 PC 加 1。

当程序转移时,转移指令执行的最终结果就是要改变 PC 的值,此 PC 值就是转去的地址,以此实现转移。有些机器中也称 PC 为指令指针 IP(instruction pointer)。

答案: A

【试题 1-8】2011 年 5 月真题 1

在 CPU 中用于跟踪指令地址的寄存器是 (1)。

- (1) A. 地址寄存器(MAR) B. 数据寄存器(MDR)
C. 程序计数器(PC) D. 指令寄存器(IR)

解析: 程序计数器是用于存放下一条指令所在单元的地址的地方。

答案: C

【试题 1-9】2010 年 11 月真题 3

编写汇编语言程序时,下列寄存器中,程序员可访问的是 (3)。

- (3) A. 程序计数器(PC) B. 指令寄存器(IR)
C. 存储器数据寄存器(MDR) D. 存储器地址寄存器(MAR)

解析: 为了保证程序能够连续地执行下去,CPU 必须具有某些手段来确定一条指令的地址。程序计数器(PC)的作用就是控制下一指令的位置,包括控制跳转。

答案: A

【试题 1-10】2009 年 11 月真题 1

以下关于 CPU 的叙述中,错误的是 (1)。

- (1) A. CPU 产生每条指令的操作信号并将操作信号送往相应的部件进行控制
B. 程序计数器(PC)除了存放指令地址,也可以临时存储算术/逻辑运算结果
C. CPU 中的控制器决定计算机运行过程的自动化
D. 指令译码器是 CPU 控制器中的部件

解析: PC 不可以存储算术/逻辑运算结果,而是由累加器在运算过程中临时存储算术/逻辑运算结果。所以选项 B 是错误的。选项 A 考查的是 CPU 基本功能中的操作控制,此外,CPU 的基本功能还有程序控制、时序控制和数据处理。控制器的基本功能就是从内存取指令和执行指令,使计算机能够按照由指令组成的程序要求自动地完成各项任务,可见选项 C 是正确的。指令译码器是控制器中的部件之一,主要用来对现行指令进行分析,确定指令类型、指令所要完成的操作以及寻址方式,所以选项 D 也是正确的。

答案: B

$$C. \frac{n}{(3+2)\Delta t + (n-3)\Delta t}$$

$$D. \frac{n}{(3+2)\Delta t + 5 \times 3\Delta t}$$

答案: B

【练习题 1-5】2008 年 11 月真题 3

在 CPU 中, (3) 可用于传送和暂存用户数据,为 ALU 执行算术逻辑运算提供工作区。

- (3) A. 程序计数器
B. 累加寄存器
C. 程序状态寄存器
D. 地址寄存器

答案: B

【练习题 1-6】2008 年 5 月真题 2

· 现有四级指令流水线,分别完成取指、取数、运算、传送结果四步操作。若完成上述操作的时间依次为 9、10、6、8 ns。则流水线的操作周期应设计为 (2) ns。

- (2) A. 6 B. 8
C. 9 D. 10

答案: D

心得体会

二、流水线技术

1. 流水线技术原理

流水线技术把 CPU 的一个操作进一步分解成多个可以单独处理的子操作(如取指令、指令译码、取操作数、执行),使每个子操作在一个专门的硬件站上执行,这样一个操作需要顺序地经过流水线中多个站的处理才能完成。在执行的过程中,前后连续的几个操作可以依次流入流水线中,在各个站间重叠执行。其工作原理如图 1-1 所示。

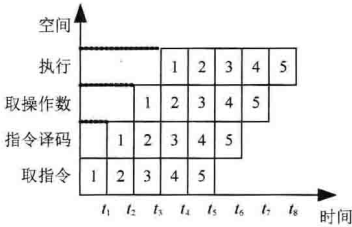


图 1-1 流水线技术

2. 流水线处理机的主要指标

设某流水线技术分为 n 个基本操作, 操作时间分别是 $\Delta t_i, i=1,2,\dots,n$ 。

(1) 操作周期: 取决于基本操作时间最长的一个。即操作周期为

$$\Delta t = \max \{ \Delta t_1, \Delta t_2, \dots, \Delta t_i \}$$

(2) 吞吐率: 流水线的吞吐率为

$$p = 1 / \Delta t = 1 / \max \{ \Delta t_1, \Delta t_2, \dots, \Delta t_i \}$$

(3) 流水线的建立时间: 第一条指令完成的时间。即

$$T_1 = n \times \Delta t = n \times \max \{ \Delta t_1, \Delta t_2, \dots, \Delta t_i \}$$

(4) 执行 m 条指令的时间:

$$T = n \times \Delta t + (m - 1) \times \Delta t = (n + m - 1) \times \max \{ \Delta t_1, \Delta t_2, \dots, \Delta t_i \}$$

或

$$T = \sum_{i=1}^n \Delta t_i + (m - 1) \times \Delta t = \sum_{i=1}^n \Delta t_i + (m - 1) \times \max \{ \Delta t_1, \Delta t_2, \dots, \Delta t_i \}$$

学习笔记

考点 1.3 存储系统

考点点睛

一、存储器的层次结构

大多数计算机都采用三层存储器层次结构,如图 1-2 所示。但一些简单的计算机没有高速缓存。

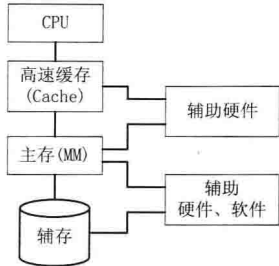


图 1-2 存储器的层次结构

二、主存储器

主存储器简称内存或主存,用来存放当前正在使用或随时要使用的数据和程序,CPU 可直接访问。

1. 主存的种类

主存一般由 RAM 和 ROM 这两种工作方式的存储器组成,其绝大部分存储空间由 RAM 构成。

(1) RAM(随机存储器):也叫读写存储器,内容可改变,在加电时,可随时向存储器中写或读信息,一旦停电,信息全部丢失。可分为两类。

- 静态 RAM(SRAM):利用触发器的两个稳态来表示所存储的“0”和“1”,不需要周期性地刷新。
- 动态 RAM(DRAM):用半导体器件中分布电容上有无电荷来表示“1”和“0”。因为保存在分布电容上的电荷会随着电容器的漏电而逐渐消失,所以需要周期性地给电容充电,称为刷新。

(2) ROM(只读存储器):所存储的信息由生产厂家在生产时一次性写入,使用时只能读出,不能写入,断电后信息不会丢失。

2. 主存的组成

主存储器一般由地址寄存器、数据寄存器、存储体、控制线路和地址译码电路等部分组成,如图 1-3 所示。

真题链接

【试题 1-11】2013 年 5 月真题 1

常用的虚拟存储器由 (1) 两级存储器组成。

- (1) A. 主存-辅存 B. 主存-网盘 C. Cache-主存 D. Cache-硬盘

解析:内存计算机中的作用很大,计算机中所有运行的程序都需要经过内存来执行,如果执行的程序很大或很多,就会导致内存消耗殆尽。为了解决这个问题,Windows 中运用了虚拟内存技术,即拿出一部分硬盘空间来处理。

答案: A

【试题 1-12】2013 年 5 月真题 5~6

地址编号从 80000H 到 BFFFFH 且按字节编址的内存容量为 (5) KB,若用 16K×4bit 的存储器芯片构成该内存,共需 (6) 片。

- (5) A. 128 B. 256 C. 512 D. 1024
(6) A. 8 B. 16 C. 32 D. 64

解析:地址编号从 80000H 到 BFFFFH 且按字节编址的内存容量是 40000H,即为 262144B=256KB。若用 16K×4bit 的存储器芯片构成该内存,共需 256/8=32 片。

答案: (5) B (6) C

【试题 1-13】2012 年 11 月真题 2

计算机中主存储器主要由存储体、控制线路、地址寄存器、数据寄存器和 (2) 组成。

- (2) A. 地址译码电路 B. 地址和数据总线
C. 微操作形成部件 D. 指令译码器

解析:主存储器一般由地址寄存器、数据寄存器、存储体、控制线路和地址译码电路等部分组成。

答案: A

【试题 1-14】2012 年 5 月真题 1

位于 CPU 与主存之间的高速缓冲存储器 Cache 用于存放部分主存数据的拷贝,主存地址与 Cache 地址之间的转换工作由 (1) 完成。

- (1) A. 硬件 B. 软件 C. 用户 D. 程序员

解析:主存与 Cache 之间可采取多种地址映射方式,主存地址与 Cache 地址之间的转换工作用硬件完成。

答案: A

【试题 1-15】2012 年 5 月真题 2

内存单元按字节编址,地址 0000A000H~0000BFFFFH 共有 (2) 个存储单元。

- (2) A. 8192K B. 1024K C. 13K D. 8K

即学即练

【练习题 1-7】2009 年 5 月真题 1

(1) 是指按内容访问的存储器。

- (1) A. 虚拟存储器
B. 相联存储器
C. 高速缓存(Cache)
D. 随机访问存储器

答案: B

【练习题 1-8】2008 年 11 月真题 5

Cache 用于存放主存数据的部分拷贝,主存单元地址与 Cache 单元地址之间的转换工作由 (5) 完成。

- (5) A. 硬件 B. 软件
C. 用户 D. 程序员

答案: A

【练习题 1-9】2008 年 5 月真题 3

内存按字节编址,地址从 90000H 到 CFFFFH,若用存储容量为 16K×8bit 的存储器芯片构成该内存,至少需要 (3) 片。

- (3) A. 2 B. 4
C. 8 D. 16

答案: D

心得体会

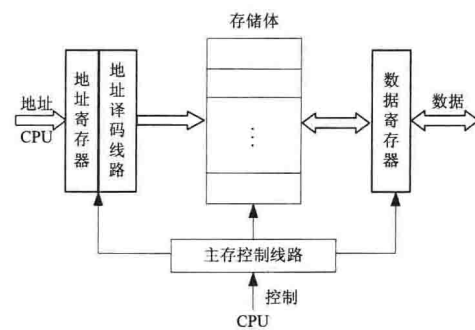


图 1-3 主存储器结构框图

- (1) 存储器地址寄存器(MAR): 用来存放要访问的存储单元的地址码, 其位数决定了其可寻址的存储单元的个数 M , 即 $M=2^N$ 。
- (2) 存储器数据寄存器(MDR): 用来存放要写入存储体中的数据或从存储体中读取的数据。
- (3) 存储体: 存放程序和数据存储空间。
- (4) 译码电路: 根据地址译码器中的地址码在存储体中找到相应的存储单元。
- (5) 控制线路: 根据读写命令控制主存储器各部分的相应操作。

3. 性能指标

- (1) 存储容量: 每个内存单元都有一个地址, 对内存的读、写操作都要给出地址来选择具体单元。在微机系统中内存是以字节作为一个单元的, 在不同字长的系统中, 一次可以对 2、4 或 8 个单元进行访问。

存储容量的表示: 用字数或字节数(B)来表示, 如 64K 字、512KB、10MB。外存中为了表示更大的存储容量, 采用 MB、GB、TB 等单位。其中 $1\text{KB}=2^{10}\text{B}$, $1\text{MB}=2^{20}\text{B}$, $1\text{GB}=2^{30}\text{B}$, $1\text{TB}=2^{40}\text{B}$ 。B 表示字节, 一个字节定义为 8 个二进制位, 所以计算机中一个字的字长通常为 8 的倍数。

- (2) 存取时间: 从启动一次存储器操作到完成该操作所经历的时间。

- (3) 存储周期: 连续启动两次独立的存储器操作(如连续两次读操作)所需间隔的最小时间。通常, 存储周期略大于存取时间, 其时间单位为 ns。

- (4) 存储器带宽: 每秒钟能访问的二进制位数, 记作 B_m 。设每个存取周期存取数据位为 W_b , 则 $B_m=W_b/T_m$ 。

4. 存储器的构成

由于存储器芯片的容量是有限的, 在字数或字长方面与实际存储器的要求都有很大差距, 可以通过字向和位向两方面进

解析: $\text{BFFFH}-\text{A000H}+1=2000\text{H}=2^{13}=2^3 \times 2^{10}=8\text{K}$ 。

答案: D

【试题 1-16】2012 年 5 月真题 3

相联存储器按 (3) 访问。

- (3) A. 地址 B. 先入后出的方式 C. 内容 D. 先入先出的方式

解析: 相联存储器是一种按内容寻址的存储器。其工作原理就是把数据或数据的某一部分作为关键字, 将该关键字与存储器中的每一单元进行比较, 找出存储器中所有与关键字相同的数据。

答案: C

【试题 1-17】2011 年 11 月真题 3

在程序的执行过程中, Cache 与主存的地址映像由 (3)。

- (3) A. 专门的硬件自动完成
B. 程序员进行调度
C. 操作系统进行管理
D. 程序员和操作系统共同协调完成

解析: 程序执行过程中, Cache 和主存都被分成若干个大小相等的块, 每块由若干字节组成, 主存和 Cache 的数据交换是以块为单位, 需要考虑二者地址的逻辑关系。

地址映像: 把主存地址空间映像到 Cache 地址空间, 即按某种规则把主存的块复制到 Cache 中。

映像可分为全相连映像、直接映像和组相连映像等。Cache 的地址变换和数据块的替换算法都采用硬件实现。

答案: A

【试题 1-18】2009 年 11 月真题 4

以下关于 Cache 的叙述中, 正确的是 (4)。

- (4) A. 在容量确定的情况下, 替换算法的时间复杂度是影响 Cache 命中率的关键因素
B. Cache 的设计思想是在合理成本下提高命中率
C. Cache 的设计目标是容量尽可能与主存容量相等
D. CPU 中的 Cache 容量应该大于 CPU 之外的 Cache 容量

解析: 目前计算机使用的内存主要是动态 RAM, 它具有价格低、容量大的特点, 但由于是用电容存储信息, 所以存取速度难以提高。而 CPU 的速度提高得很快, 导致了两者的速度不匹配。Cache 是 CPU 和主存之间的一个容量相对较小的双极型静态 RAM, 用来加快 CPU 访问主存的速度。在半导体存储器中, 双极型静态 RAM 的存取速度可与 CPU 的速度处于同一数量级, 但这种 RAM 价格较贵, 且功耗大、集成度低, 要达到与动态 RAM 相同的容量, 其体积就比较大, 这是不可行的。因此选项 C 是不对的。

CPU 体积小, 其中集成的 Cache 容量也就小, 而 CPU 之外的 Cache 体积可做得大一些, 容量也会高很多。例如, 采用两级 Cache 结构的奔腾计算机, 集成在 CPU 芯片内的 Cache 为 1 级 Cache, 其容量为 16KB; 计算机主板上安装了 2 级 Cache, 其容量是 512KB。所以选项 D 是错误的。

通常用命中率来测量 Cache 的效率。命中率是指 CPU 所访问的信息在 Cache 中的比率。如果 Cache 中找到所需的指令或数据, 则称命中; 若找不到, 则到主存访问。命中率的高低与 Cache 的容量、替换算法、块的大小、运行程序特性等因素有关, 尤其是 Cache 的容量和块的大小。因此选项 A 是错误的。

答案: B

行扩充。假设一个存储器的容量为 $M \times N$ 位, 若使用 $m \times n$ 位的芯片 ($m \leq M, n \leq N$), 此时共需要 $(M/m) \times (N/n)$ 个存储器芯片。

三、相联存储器

相联存储器(CAM)是一种按内容寻址的存储器。其工作原理就是把数据或数据的某一部分作为关键字, 将该关键字与存储器中的每一单元进行比较, 找出存储器中所有与关键字相同的数据。

四、Cache

1. Cache 的基本原理

Cache 即高速缓冲存储器(可简称高速缓存), 为了解决 CPU 和主存之间速度匹配问题而设置。它是介于 CPU 和主存之间的小容量存储器, 存取速度比主存快。其改善系统性能的依据是程序的局部性原理。

提示: CPU 运行程序的过程是周而复始地取出指令、解释指令和执行指令的过程。在一段相对较短的时间内, CPU 执行程序所使用的内存单元是相对集中或小批簇集于相邻的存储单元中。例如执行循环程序, 会重复地使用到某一存储空间中的指令, 这就是 CPU 运行程序的局部性原理。

CPU 每次访问存储器时, 都先访问高速缓存, 若访问的内容在高速缓存中, 访问到此为止; 若不然, 再访问主存储器, 并把有关内容及相关数据块取入高速缓存。这样, 如果大部分针对高速缓存的访问都能成功, 则在主存储器容量保持不变的情况下, 访存速度可接近高速缓存的存取速度, 这无疑可提高微机的运行速度。

2. Cache 的组成

Cache 主要由两部分组成: 控制部分和存储器部分。

Cache 存储器部分用来存放主存的部分拷贝。

控制部分的功能是: 判断 CPU 要访问的信息是否在 Cache 存储器中, 若在即为命中, 若不在则没有命中。

3. 性能分析

(1) 命中率: 在 Cache 中访问到信息的概率, 一般用模拟实验的方法得到。选择一组有代表性的程序, 在程序执行过程中分别统计对 Cache 的访问次数 N_1 和对主存的访问次数 N_2 , 则 Cache 的命中率为 $H = N_1 / (N_1 + N_2)$ 。

(2) 平均实际存取时间: 可以用 Cache 和主存的访问周期 T_1 、 T_2 和命中率 H 来表示: $T = H \cdot T_1 + (1 - H) \cdot T_2$ 。当命中率 $H \rightarrow 1$ 时, $T \rightarrow T_1$, 即平均实际存取时间 T 接近于速度比较快的 Cache 的访问周期 T_1 。

(3) 访问效率: 为 $e = T_1 / T$ 。

4. 地址映像

当 CPU 访问内存时,用的是访问主存的地址,由该地址变为访问 Cache 的地址称为“地址变换”。变换过程采用硬件实现,以达到快速访问的目的。地址映像方式有全相联方式、直接方式和组相联方式。

(1) 全相联映像方式: 为便于主存和 Cache 之间的数据传送,应使主存和 Cache 每个数据块的大小相同。我们把 Cache 的数据块称为行,把主存的数据块称为块。全相联映像方式的映像原则是主存中任何一块均可装入到 Cache 中的任一行中。为能实现访存地址的变换,主存的块地址存于 Cache 行的标记部分中,这就使得地址变换结构可由相联存储器担任。

(2) 直接映像方式: 主存按 Cache 的大小分成区,主存每一个分区内的块数与 Cache 的总块数正好相等,把主存各个区中相对块号相同的那些块映像到 Cache 中同一块号的那个确定块中。

(3) 组相联映像方式: 规则是把 Cache 分成 u 组,每组 v 行,主存块存放到 Cache 的组是固定的,而存放到该组的行是任意的,即组间是直接映像,组内是全相联映像。

五、磁盘存储器

磁盘存储器是外存中最常用的存储介质,存取速度较快且具有较大的存储容量,分为软盘和硬盘存储器。

1. 磁盘性能和容量计算

(1) 存储密度有以下几个指标。

- 道密度: 沿磁盘半径方向单位长度上的磁道数,单位为道/英寸。
- 位密度: 磁道单位长度上能记录的二进制代码位数,单位为位/英寸。
- 面密度: 位密度和道密度的乘积,单位为位/平方英寸。

(2) 存储容量: 有非格式化容量和格式化容量之分。

① 非格式化容量: 磁记录表面可以利用的磁化单元总数。

计算公式为:

非格式化容量 = 最大位密度 $\times$ 最内圈周长 $\times$ 总磁道数

② 格式化容量: 按照某种特定的记录格式所能存储信息的总量,也就是用户可以真正使用的容量。计算公式为:

格式化容量 = 每面磁道数 $\times$ 每道扇区数 $\times$ 每个扇区字节数 $\times$ 盘面数

(3) 平均存取时间: 从发出读写命令后,磁头从某一起始位置移动至新的记录位置,到开始从盘片表面读出或写入信息所需要的时间。计算公式为:

平均存取时间 = 控制延迟 + 找道时间 + 旋转延迟 + 传输延迟

(4) 平均数据传输率: 在单位时间内向主机传送数据的字

节数。计算公式为:

平均数据传输率 = 内圈周长 × 位密度 × 盘片转速

2. 光盘存储器

光盘存储器的特点是存储量大、价位低、可靠性高、寿命长。特别适用于图像处理、大型数据库系统、多媒体教学等领域。光盘有音频光盘、视频光盘和计算机用数字光盘之分。按其功能不同,可分为 CD-ROM(只读型光盘)、WORM(一次写入型光盘)和可重写型光盘。

3. USB 移动硬盘和 USB 闪存盘

USB 移动硬盘容量大,支持热插拔,即插即用。USB 闪存盘又称为优盘或 U 盘,是使用闪存作为存储介质的一种半导体存储设备,采用 USB 接口标准。根据不同的使用要求,优盘还有基本型、加密型、启动型等类型。

学习笔记

考点 1.4 输入输出系统



考点点睛

1. 直接程序控制

1) 程序查询方式

在程序查询方式下,CPU 通过执行程序查询外设的状态,判断外设是否准备好进行数据传送。

2) 立即程序传送方式

在立即程序传送方式下,I/O 接口总是准备好接收来自主机的数据,或随时准备向主机输入数据,CPU 无须查看接口的状态,而直接执行输入/输出指令进行数据传送。这种方式又称为无条件传送或同步传送。

2. 中断方式

中断方式是指,当出现来自系统外部、机器内部,甚至



真题链接

【试题 1-19】2013 年 5 月真题 2

中断向量可提供 (2)。

- (2) A. I/O 设备的端口地址 B. 所传送数据的起始地址
C. 中断服务程序的入口地址 D. 主程序的断点地址

解析:早期的微机系统中将由硬件产生的中断标识码(中断源的识别标志,可用来形成相应的中断服务程序的入口地址或存放中断服务程序的首地址)称为中断向量。中断向量是中断服务程序的入口地址。在某些计算机中,中断向量的位置存放一条跳转到中断服务程序入口地址的跳转指令。

答案: C

【试题 1-20】2013 年 5 月真题 3

为了便于实现多级中断,使用 (3) 来保护断点和现场最有效。

- (3) A. ROM B. 中断向量表 C. 通用寄存器 D. 堆栈

解析:堆栈都是一种数据项按序排列的数据结构,只能在一端(称为栈顶(top))对数据项进行插入和删除。为了便



即学即练

【练习题 1-10】2008 年 11 月真题 4

关于在 I/O 设备与主机间交换数据的叙述,(4) 是错误的。

- (4) A. 中断方式下,CPU 需要执行程序来实现数据传送任务
B. 中断方式和 DMA 方式下,CPU 与 I/O 设备都可同步工作
C. 中断方式和 DMA 方式中,快速 I/O 设备更适合采用中断方式传递数据
D. 若同时接到 DMA 请求和中断请求,CPU 优先响应 DMA 请求

答案: C

处理机本身的任何例外时，CPU 暂停执行现行程序，转去处理这些事件，等处理完成后返回来继续执行原先的程序。

3. DMA 方式

DMA(直接存储器存取)方式不是用软件而是采用一个专门的控制器来控制内存与外设之间的数据交流,无须 CPU 介入,可大大提高 CPU 的工作效率。

4. I/O 通道

通道又称输入/输出处理器(IOP),目的是使 CPU 摆脱繁重的输入输出负担和共享输入输出接口,多用于大型计算机系统中。根据多台外围设备共享通道的不同情况,可将通道分为三种类型:字节多路通道、选择通道和数组多路通道。

学习笔记

于实现多级中断,使用堆栈来保护断点和现场最有效。

答案: D

【试题 1-21】2013 年 5 月真题 4

DMA 工作方式下,在 (4) 之间建立直接的数据通信。

- (4) A. CPU 与外设 B. CPU 与主存 C. 主存与外设 D. 外设与外设

解析: DMA 即直接内存访问模式,简单来说,总线控制权在 CPU “手上”,外设无权直接访问内存,需要 CPU 参与,但 DMA 控制器从 CPU 那“偷出”几个时钟来控制总线,让外设可以直接访问内存,这样外设的读写就不需要 CPU 参与,降低了 CPU 的占用率。

答案: C

【试题 1-22】2011 年 11 月真题 2

若某计算机系统的 I/O 接口与主存采用统一编址,则输入输出操作是通过 (2) 指令来完成的。

- (2) A. 控制 B. 中断 C. 输入输出 D. 访存

解析: CPU 对 I/O 端口的编址方式主要有两种:一是独立编址方式,二是统一编址方式。独立编址方式是指系统使用一个不同于主存地址空间之外的单独的地址空间为外围设备及接口中的所有 I/O 端口分配 I/O 地址,在这种方式下,CPU 指令系统中有专门的用于与设备进行数据传输的输入输出指令,对设备的访问必须使用这些专用指令进行。统一编址方式是指 I/O 端口与主存单元使用同一个地址空间进行统一编址。在这种方式下,CPU 指令系统中无须设置专门的与设备进行数据传输的输入输出指令,I/O 端口被当成主存单元同样对待,对主存单元进行访问和操作的指令可以同样用于对 I/O 端口的访问和操作。

答案: D

【试题 1-23】2010 年 11 月真题 1

在输入输出控制方法中,采用 (1) 可以使得设备与主存间的数据块传送无须 CPU 干预。

- (1) A. 程序控制输入输出 B. 中断 C. DMA D. 总线控制

解析: DMA(Direct Memory Access)技术通过硬件控制将数据块在内存和输入输出设备间直接传送,不需要 CPU 的任何干涉,只需 CPU 在过程开始启动与过程结束时的处理,实际操作由 DMA 硬件直接执行完成,CPU 在传送过程中可做别的事情。

答案: C

心得体会

考点 1.5 总线、指令系统与可靠度

考点点睛

1. 总线系统

1) 内总线

内总线又称系统总线,是计算机各组成部分(CPU、内存和外设接口)间的连接。系统总线信号按功能可分为三类:地址总线、数据总线、控制总线。

真题链接

【试题 1-24】2012 年 5 月真题 4

若 CPU 要执行的指令为: MOV R1, #45(即将数值 45 传送到寄存器 R1 中),则该指令中采用的寻址方式为 (4)。

- (4) A. 直接寻址和立即寻址
B. 寄存器寻址和立即寻址
C. 相对寻址和直接寻址

即学即练

【练习题 1-11】2009 年 5 月真题 2

处理机主要由处理器、存储器和总线组成。总线包括 (2)。

- (2) A. 数据总线、地址总线、控制总线
B. 并行总线、串行总线、逻辑总线

常见的内总线标准有:

- ISA(Industry Standard Architecture)总线。
- EISA(Enhanced Industry Standard Architecture)总线。
- PCI(Peripheral Computer Interconnect)总线。

2) 外总线

外总线又称通信总线,是计算机对外的接口,可直接与相应的外设连接或与其他计算机相连接。常见的外总线标准有:

- 串行总线接口(RS-232)。
- SCSI(Small Computer System Interface)总线。
- 通用串行总线(Universal Serial Bus, USB)。
- IEEE 1394(Firewire)。

3) 总线的指标

总线宽度:一次可以传输数据的位数,SI00为8位,ISA为16位,EISA为32位,PCI-2可达64位。总线宽度不会超过微处理器外部数据总线的宽度。

总线工作频率:总线信号中有一个CLK时钟信号,CLK越高每秒钟传输的数据量越大。ISA、EISA的工作频率为8MHz,PCI为33.3MHz,PCI-2为66.6MHz。

单个数据传输周期:不同的传输方式,每个数据传输所用CLK周期数不同。ISA要2个周期,PCI用1个周期。这决定总线最高数据传输率。

2. 指令系统

指令系统的寻址方式有立即寻址、寄存器寻址、直接寻址、寄存器间接寻址、寄存器相对寻址、基址加变址寻址、相对基址加变址寻址。

1) 复杂指令集计算机

复杂指令集计算机(CISC)的结构复杂,这不仅增加了计算机的研制周期和成本,而且难以保证其正确性,有时还会降低系统的性能。

2) 精简指令集计算机

精简指令集计算机(RISC)简化了CPU的控制器,同时提高了处理速度,具有如下特点:

- 指令种类少,一般只有十几到几十条简单的指令。
- 指令长度固定,指令格式少,这可使指令译码更加简单。
- 寻址方式少,适合于组合逻辑控制器,便于提高速度。

D. 寄存器间接寻址和直接寻址

解析:操作数作为指令的一部分而直接写在指令中为立即寻址,把目标操作数存入寄存器的为寄存器寻址,题中用到了两者。

答案: B

【试题 1-25】2011 年 11 月真题 4

总线复用方式可以 (4)。

- (4) A. 提高总线的传输带宽
B. 增加总线的功能
C. 减少总线中信号线的数量
D. 提高 CPU 利用率

解析:总线复用,指的是数据和地址在同一个总线上传输的方式。所谓复用传送就是指多个用户共享公用信道的一种机制,目前最常见的主要有时分多路复用、频分多路复用和码分多路复用等。优点在于:为了各子系统的信息能有效及时地被传送,为了不至于彼此间的信号相互干扰和避免物理空间上过于拥挤。

答案: C

【试题 1-26】2011 年 5 月真题 3

在计算机系统中采用总线结构,便于实现系统的积木化构造,同时可以 (3)。

- (3) A. 提高数据传输速度
B. 提高数据传输量
C. 减少信息传输线的数量
D. 减少指令系统的复杂性

解析:计算机系统中采用总线结构可以减少信息传输线的数量。

答案: C

【试题 1-27】2011 年 5 月真题 2

指令系统中采用不同寻址方式的目的是 (2)。

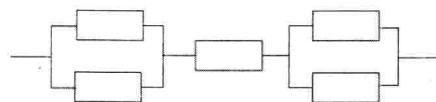
- (2) A. 提高从内存获取数据的速度
B. 提高从外存获取数据的速度
C. 降低操作码的译码难度
D. 扩大寻址空间并提高编程灵活性

解析:指令系统中采用不同寻址方式的目的是缩短指令长度,扩大寻址空间,提高编程灵活性。

答案: D

【试题 1-28】2011 年 5 月真题 4

某计算机系统由下图所示的部件构成,假定每个部件的千小时可靠度为 R ,则该系统的千小时可靠度为 (4)。



- (4) A. $R+2R/4$
B. $R+R^2/4$
C. $R(1-(1-R)^2)$
D. $R(1-(1-R)^2)^2$

解析:

并行的可靠度= $1-(1-R)(1-R)$

总可靠度= $(1-(1-R)(1-R)) \times R \times (1-(1-R)(1-R))$

答案: D

C. 单工总线、双工总线、外部总线

D. 逻辑总线、物理总线、内部总线

答案: A

【练习题 1-12】2008 年 11 月真题 1

计算机内存一般分为静态数据区、代码区、栈区和堆区,若某指令的操作数之一采用立即数寻址方式,则该操作数位于 (1)。

- (1) A. 静态数据区
B. 代码区
C. 栈区
D. 堆区

答案: B

心得体会