

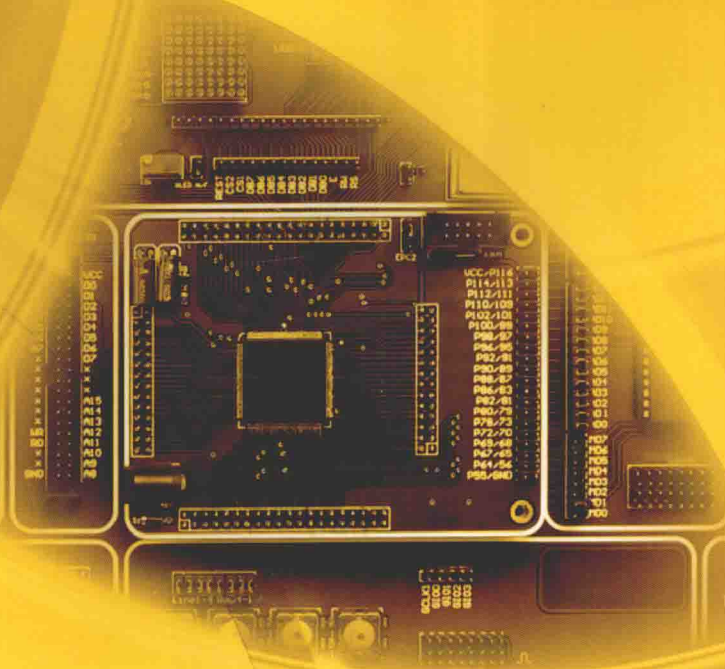


工业和信息化部“十二五”规划教材

EDA技术基础及实践

EDA Jishu Jichu Ji Shijian

屈晓声 孙进平 编著



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS

内容简介



工业和信息化部“十二五”规划教材

EDA 技术基础及实践

屈晓声 孙进平 编著

北京航空航天大学出版社

内 容 简 介

本书根据 EDA 课堂教学和实践要求,以短时间内掌握初步 EDA 核心内容为目的,深入浅出地介绍了模拟 EDA 及数字 EDA 的基本知识和技术。

全书共分 9 章。前 6 章即基础篇,详细介绍了模拟 EDA 常用软件 Multisim、OrCAD,以及数字 EDA 软件 ModelSim、Quartus II 的使用,重点介绍了 EDA 设计中的电路原理图输入、HDL 输入,电路设计的优化和后端的电路功能仿真,对 SPICE 语言和 Verilog HDL 语言也做了详细介绍。后 3 章即实践篇,内容以实践为主,通过多种电路的设计仿真练习可掌握从模拟到数字的基础电路设计技术。各章都有相应的练习题以利于知识的掌握。

本书可作为电子工程、通信、工业设计自动化等专业本科生 EDA 课程的教材使用,也可作为相关专业技术人员参考书。

图书在版编目(CIP)数据

EDA 技术基础及实践 / 屈晓声, 孙进平编著. — 北京: 北京航空航天大学出版社, 2015. 6
ISBN 978-7-5124-1802-8

I. ①E… II. ①屈… ②孙… III. ①电子电路—电路设计—计算机辅助设计 IV. ①TN702

中国版本图书馆 CIP 数据核字(2015)第 127648 号

版权所有,侵权必究。

EDA 技术基础及实践

屈晓声 孙进平 编著

责任编辑 王慕冰

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:goodtextbook@126.com 邮购电话:(010)82316936

北京兴华昌盛印刷有限公司印装 各地书店经销

*

开本:787×1 092 1/16 印张:21 字数:538 千字

2015 年 8 月第 1 版 2015 年 8 月第 1 次印刷 印数:3 000 册

ISBN 978-7-5124-1802-8 定价:45.00 元



前 言

随着信息技术的飞速发展,在电子电路设计领域越来越多地应用到计算机技术,模拟电路中的电路分析、数字电路里的逻辑仿真、印制电路等都离不开计算机辅助设计,而以计算机辅助设计为基础的集成电路设计甚至已经成为集成电路产业的核心组成部分。电子设计自动化(EDA)软件的迅速发展使得计算机辅助设计技术逐渐成为提高电子线路设计速度和设计质量的必要手段。

通常电子电路按讨论对象可分为模拟电路和数字电路,因此作为电子电路设计的 EDA 课程也顺理成章地分为数字与模拟两部分。目前市面上见到的大多数 EDA 书籍通常是以 HDL 语言为基础,描述数字逻辑仿真的所谓数字 EDA,或者是专门介绍 CPLD、FPGA 等可编程逻辑器件的应用开发,而对于初级 EDA,尤其是讨论模拟电路仿真的 EDA 教材较少。本书是以初级 EDA 为主线,较全面地介绍了模拟 EDA 和数字 EDA 的基础知识,依托 Multisim、OrCAD 以及 ModelSim、Quartus II 软件平台,让读者熟悉 EDA 的基本过程与技巧,为今后进一步深入学习打下基础。

之所以选择以上 4 个 EDA 软件作为本书的依托平台,是因为这 4 个软件具有现代 EDA 平台的一般特性,即方便的电路输入、准确的电路仿真及完备的虚拟测试手段,能满足多种电子电路设计的需求,并且易于组织教学。

目前 EDA 同类书已有较多,大多可归纳为以下几类:

① 以数字电路设计为基础,最后归结到 FPGA 或 ASIC,基本不涉及模拟电路。

② 以某一 EDA 工具为主线展开,结果是读者对其他工具不知所云,缺少对 EDA 平台的整体把握。

③ 以 Verilog HDL 或 VHDL 为主线展开,掌握难度较大,读者需要对 EDA 有一定的了解。

本书特色是结合最新电路设计理念,在内容安排上进行了调整,强调模拟电路 EDA 与数字电路 EDA 的结合,使读者可在较短的时间内对 EDA 有较为全面的认识 and 了解,并能利用现有的 EDA 工具进行简单的电路设计。

其特点是:

① 模拟与数字电路设计并重。现有的 EDA 教材一般都忽略或较少涉及模拟部分内容,本教材从模拟部分入手介绍了 EDA 的基本架构,并对一些常见的模拟电路进行仿真练习。

② SPICE 语言到 Verilog HDL 语言的升华。以 SPICE 语言为基础进行器件物理特性的仿真,并逐渐引入到 Verilog HDL 语言复杂电路逻辑行为的模拟,使



读者掌握从简单电路特性设计到复杂系统设计的思想。

③ Multisim、OrCAD 到 ModelSim、Quartus II 的 EDA 平台展示。用以上 4 个 EDA 工具描述 EDA 平台的构成与在电路设计中的特点,使读者在了解 EDA 组成的基础上,掌握 EDA 的设计思想,并运用这些 EDA 平台完成自己的电路设计练习。

本书内容分为 9 章。第 1~6 章为基础篇。第 1 章介绍 EDA 的基本概念及基本内容,进行电路设计时的基本步骤,构成一个可用的 EDA 平台所需的基本组成要件。第 2 章以常见的 FPGA/CPLD、ASIC 为例介绍 EDA 设计流程的一般步骤,讲述 EDA 的组成模块,包括设计输入编辑器、仿真器、HDL 综合器、适配器(或布局布线器)及下载器,介绍 IP 核、软核、硬核、固核等基本概念及应用。第 3 章介绍作为模拟电路设计的常用软件 Multisim 及其工具栏、虚拟仪表库以及各个功能简单应用举例,通过此章的学习可以基本掌握 Multisim 软件的使用方法。第 4 章重点介绍模拟 EDA 设计中所使用的 SPICE 仿真语言,同时介绍另一个在模拟设计中常用的平台软件 OrCAD PSpice A/D,通过具体实例展现了语言编程在模拟电路仿真中的应用。第 5 章以 Multisim 和 OrCAD Capture 为例介绍在 EDA 平台上如何进行电路原理图输入,利用 EDA 软件进行电路检查和完成电路的前仿真(即功能仿真)。第 6 章则转向介绍 EDA 设计的另一方面——数字 EDA。本书选取应用较为广泛的 Quartus II 和 ModelSim 软件作为平台,本章的重点是介绍 Verilog HDL 语言,以期在短时间内掌握数字电路 EDA 的基本步骤。从第 7 章往后是实践篇,以各种具体电路为主线进行 EDA 电路设计。第 7 章是简单模拟电路的应用;第 8 章是放大和滤波电路的仿真设计;第 9 章则是利用前面的数字 EDA 知识进行简单的 CPU 设计,也算是数字 EDA 的应用。

本书可作为电子工程、通信、工业设计自动化等专业本科生 EDA 课程的教材使用,也可作为相关专业技术人员的参考书。

总之,编写本书的主旨在于使读者在较短的时间内能对 EDA 技术有较为全面的了解,为此介绍几款比较常用的 EDA 软件的使用,以及作为模拟和数字电路仿真语言的 SPICE 和 Verilog HDL 的语法结构。最后以各种实际电路为例,进行简单 EDA 设计仿真练习。愿此书能为 EDA 的普及和提高尽一点微薄之力。作为编者,在这里要感谢甄洪欣、任坤、李仁杰、何堃熙等同学的帮助,他们为本书做了许多案头工作。

由于时间仓促,以及作者水平所限,本书可能有些不足之处,望广大读者不吝赐教。

编 者

2014 年 10 月



目 录

基础篇

第 1 章 绪 论	1
1.1 EDA 技术及进展	1
1.1.1 第一阶段的 EDA 工具	2
1.1.2 第二阶段的 EDA 工具	2
1.1.3 第三阶段的 EDA 工具	2
1.2 EDA 技术的实现目标	3
1.2.1 大规模可编程逻辑器件	4
1.2.2 专用集成电路 ASIC	4
1.3 EDA 设计思想	5
1.4 EDA 的发展及应用趋势	6
1.4.1 平台工具的发展特点	6
1.4.2 描述方式的发展特点	6
1.4.3 PLD 的应用发展	7
本章重点	8
思考题	8
第 2 章 EDA 设计流程	9
2.1 基本设计流程	9
2.1.1 设计准备	10
2.1.2 设计输入	10
2.1.3 设计处理	11
2.1.4 设计校验	11
2.1.5 器件编程	12
2.1.6 测试和设计验证	12
2.2 ASIC 设计流程	12
2.3 常用的 EDA 工具	14
2.3.1 设计输入编辑器	14
2.3.2 仿真器	14
2.3.3 HDL 综合器	15
2.3.4 适配器与下载器	15
2.4 IP 核	15
2.4.1 复用标准的选择	16



2.4.2	三种 IP 形式	16
2.4.3	硬 IP	16
2.4.4	软 IP	17
2.4.5	复用的软插接	17
2.4.6	IP 资源库	17
2.4.7	IP 块的认证	17
2.4.8	IP 集成优化	17
2.4.9	IP 的使用和支撑	17
	本章重点	18
	思考题	18
第 3 章	Multisim 软件	19
3.1	概 述	19
3.2	基本操作	19
3.2.1	菜单栏	20
3.2.2	工具栏	25
3.3	元器件库	25
3.4	虚拟仪器	34
3.4.1	数字万用表	35
3.4.2	失真分析仪	36
3.4.3	函数信号发生器	38
3.4.4	瓦特表	39
3.4.5	双踪示波器	39
3.4.6	频率计数器	41
3.4.7	四通道示波器	42
3.4.8	波特图仪	43
3.4.9	IV 分析仪	46
3.4.10	字信号发生器	46
3.4.11	逻辑转换仪	49
3.4.12	逻辑分析仪	51
3.4.13	频谱分析仪	53
3.4.14	网络分析仪	55
3.5	分析方法	58
3.5.1	直流工作点分析	58
3.5.2	交流分析	60
3.5.3	瞬态分析	62
3.5.4	傅里叶分析	63
3.5.5	噪声分析	66
3.5.6	噪声系数分析	68



3.5.7 失真分析	69
3.5.8 直流扫描分析	70
3.5.9 灵敏度分析	72
3.5.10 参数扫描分析	73
3.5.11 温度扫描分析	75
3.5.12 零-极点分析	77
3.5.13 传递函数分析	78
3.5.14 最坏情况分析	80
3.5.15 蒙特卡罗分析	82
3.5.16 线宽分析	85
3.5.17 批处理分析	87
3.5.18 用户自定义分析	88
3.6 仿真电路处理	89
3.6.1 电路的统计信息报告	89
3.6.2 仿真电路信息的输入/输出方式	94
3.6.3 后处理器	96
本章重点	101
思考题	101
第4章 SPICE 语言与 PSpice 软件	104
4.1 概 述	104
4.1.1 PSpice 特点	104
4.1.2 元器件模型	107
4.1.3 元件库扩充	113
4.2 SPICE 语法	114
4.2.1 电路描述语言	115
4.2.2 元器件描述语句	115
4.2.3 电路特性分析描述语句	124
4.2.4 输出控制及其他功能语句	128
4.3 用 PSpice A/D 软件仿真	129
4.3.1 二极管 $V-I$ 特性曲线	132
4.3.2 双极型晶体管输出特性	134
4.3.3 金属氧化物半导体场效应管输出特性	135
本章重点	136
思考题	136
第5章 原理图输入与仿真	137
5.1 利用 Multisim 软件	137
5.1.1 工作界面的设置	137



5.1.2	元件操作	139
5.1.3	放置连线	142
5.1.4	绘图后续处理	143
5.1.5	电路仿真	146
5.2	使用 OrCAD 软件	148
5.2.1	工作界面的设置	148
5.2.2	元件操作	152
5.2.3	放置连线	157
5.2.4	放置网络标识	158
5.2.5	常用快捷键	159
5.2.6	电路仿真	159
	本章重点	165
	思考题	165
第 6 章 数字 EDA 基础		167
6.1	数字电路 EDA 设计	167
6.1.1	Verilog HDL 和 VHDL 比较	167
6.1.2	采用 Verilog HDL 设计复杂数字电路的优点	169
6.1.3	Verilog HDL 的设计流程简介	170
6.1.4	TestBench 测试	173
6.2	Verilog HDL 语言基础	176
6.2.1	概 述	176
6.2.2	代码书写风格	177
6.2.3	Verilog HDL 语法	182
6.2.4	系统任务和函数结构	197
6.2.5	Verilog HDL 的行为描述	203
6.2.6	Verilog HDL 的结构级描述	222
6.3	数字 EDA 软件	235
6.3.1	Quartus II 软件	235
6.3.2	ModelSim 软件	247
	本章重点	253
	思考题	253
实践篇		
第 7 章 简单电路仿真分析		255
7.1	电容充放电	255
7.1.1	电路设计分析	255
7.1.2	电路输入	256



7.1.3 充放电仿真分析	257
7.2 串联谐振电路	258
7.2.1 电路设计	258
7.2.2 电路输入	258
7.2.3 串联谐振仿真分析	258
7.3 微分电路和积分电路	259
7.3.1 电路设计分析	259
7.3.2 微/积分电路输入	260
7.3.3 微/积分电路仿真分析	261
7.4 三端式振荡器	262
7.4.1 电路设计分析	262
7.4.2 电路输入	262
7.4.3 振荡电路仿真分析	263
7.5 乘法器 AM 调幅	263
7.5.1 电路设计分析	263
7.5.2 AM 调幅电路输入	263
7.5.3 仿真分析	264
本章重点	264
思考题	265
第 8 章 放大电路与滤波电路仿真	266
8.1 两级晶体管放大电路	266
8.1.1 工作原理	266
8.1.2 电路设计	270
8.1.3 放大电路仿真	270
8.1.4 仿真结果与讨论	273
8.2 差分放大电路	274
8.2.1 工作原理	274
8.2.2 电路仿真分析	275
8.3 射极跟随器	277
8.3.1 射极跟随器原理	277
8.3.2 射极跟随器电路设计	278
8.3.3 电路仿真分析	278
8.4 桥式整流滤波电路	280
8.4.1 工作原理	280
8.4.2 桥式整流基本电路	281
8.4.3 整流电路仿真分析	281
8.5 DSB 调幅与解调	283
8.5.1 DSB 调制原理	283



8.5.2	DSB 调制电路	284
8.5.3	DSB 调制仿真分析	284
	本章重点	286
	思考题	286
第 9 章	RISC_CPU 设计	287
9.1	设计概述	287
9.2	RISC_CPU 结构设计	288
9.2.1	外围模块	290
9.2.2	时钟发生器	291
9.2.3	算术运算器	293
9.2.4	指令寄存器	294
9.2.5	累加器	296
9.2.6	数据控制器	297
9.2.7	地址复用器	298
9.2.8	程序计数器	299
9.2.9	状态控制器	300
9.3	RISC_CPU 的操作和时序	305
9.3.1	系统复位和启动操作	305
9.3.2	总线读操作	306
9.3.3	总线写操作	307
9.4	RISC_CPU 的寻址方式和指令系统	307
9.5	RISC_CPU 模块调试	308
9.5.1	RISC_CPU 的前仿真	308
9.5.2	RISC_CPU 模块的综合	320
9.5.3	RISC_CPU 的布局布线	321
	本章重点	321
	思考题	321
	参考文献	322



基础篇

- 第 1 章 绪 论
- 第 2 章 EDA 设计流程
- 第 3 章 Multisim 软件
- 第 4 章 SPICE 语言与 PSpice 软件
- 第 5 章 原理图输入与仿真
- 第 6 章 数字 EDA 基础

第 1 章 绪 论

1.1 EDA 技术及进展

EDA(Electronic Design Automation, 电子设计自动化)技术是将能执行特定功能的电子线路集合(电子器件、集成电路芯片 IC、专用集成电路 ASIC、大规模可编程逻辑器件 FPGA 等)作为载体,采用特定的电路描述(如电路原理图或硬件描述语言)为表达方式,通过 EDA 平台,利用相关的开发软件(EDA 软件)让计算机自动完成电子系统设计,并且可以完成从软件到硬件系统的编译、逻辑综合及优化、布局布线、功能仿真、时序仿真,直至对特定芯片的逻辑映射、编程下载等工作,最终完成电子系统设计的一门技术。图 1.1 展示了 EDA 技术各部分的关系。

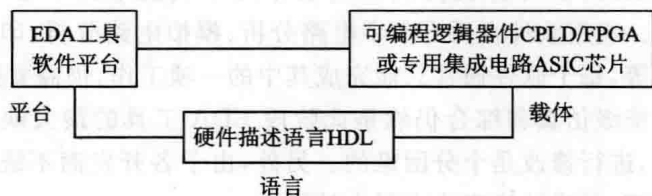


图 1.1 EDA 各相关部分的关系

电路设计者不需要进行硬件搭建,仅仅依靠 EDA 平台就可以完成对电路系统的功能设计,这大大提高了电路设计效率。EDA 平台通常以软件形式出现,称之为 EDA 工具软件,或简称 EDA 工具。从 EDA 技术发展进程看,EDA 工具可以分为三个阶段,即 CAD 阶段、混合阶段和平台阶段。

各阶段 EDA 工具都有其优缺点,新一代 EDA 工具都是对其前一代的更新和功能拓展,以满足不断发展的电子电路的设计需要。

1.1.1 第一阶段的 EDA 工具

这一阶段是 EDA 平台发展的初期,即 CAD 时期,从 20 世纪 60 年代至 80 年代。这一时期已经出现了一些独立的软件,完成电路设计中的特定环节,如实现印制电路板(Printed Circuit Board, PCB)布线设计、电路模拟、逻辑模拟及版图的绘制等,依靠这些工具软件,设计者可以从大量重复、繁琐的计算与绘图中解脱出来。目前常用的 PCB 布线软件 PROTEL、电路模拟的 PSpice 软件以及之后产品化的 IC(集成电路)版图编辑与设计规则检查等软件都是这一时期的产品。

80 年代初,由于集成电路规模越来越大,随着集成度和复杂度的提高,对 EDA 技术的要求也越来越高,这促进了 EDA 技术的飞速发展,很多软件公司进入到 EDA 市场,EDA 工具软件的种类也开始增多。这一时期的 EDA 工具主要针对的是产品开发具体过程,有设计、分析、生产、测试等多个独立软件包。每个软件只能完成其中的一项工作,通过顺序使用这些软件包才可以完成设计全过程。这一阶段的 EDA 面临两个问题:一是由于各软件包是由不同的公司开发的,仅解决一两个设计问题,通常需要将一个软件的输出作为另一个软件的输入,需要繁琐的人工处理,影响设计进度;二是对于复杂的电子系统设计,不能提供系统级的仿真和综合。由于缺乏系统的复杂逻辑级设计,产品开发后期才能发现一些前期的设计问题,增加了修改难度。此外,EDA 工具供应商还是较少,应用面单一,几乎全部面向 LSI 或 PCB 的设计开发。

1.1.2 第二阶段的 EDA 工具

这一阶段时间从 20 世纪 80 年代初期至 90 年代初期,是 EDA 工具发展的过渡期,即 CAE、CAM、CAT 混合阶段。由于许多公司如 Mentor 公司、Daisy Systems 公司、Logic Systems 公司进入 EDA 工具市场,为设计开发人员提供了电路图逻辑工具和逻辑模拟工具的 EDA 软件,可以进行数字电路的分析,解决了电路设计完成之前的单一功能仿真检验问题。

此阶段的 EDA 工具,以计算机仿真和自动布局布线技术为中心,同时产生了 CAM、CAT、CAE 等新概念。应用软件主要有数字电路分析、模拟电路分析、印制电路板、现场可编程门阵列的布局布线等,每个软件通常只能完成其中的一项工作,仍需要按照顺序完成设计的全过程。不能进行系统级仿真和综合仍然是此阶段 EDA 工具的最大缺点,在产品发展的后期才能发现设计错误,进行修改是十分困难的。另外,由于各开发商不统一,工具间数据交互需要进行界面统一处理,对设计进度也有很大的影响。

1.1.3 第三阶段的 EDA 工具

以高级语言描述、可进行系统级仿真和综合的平台级 EDA 技术,构成了第三代 EDA 工具。自 20 世纪末至 21 世纪,各 EDA 厂商相继推出以高级语言描述、系统级仿真和综合技术为核心技术,可完成多种工作的平台化的第三代 EDA 工具。本阶段工具已经形成综合的各种仿真检测平台,可以完成逻辑综合、硬件行为仿真、参数分析和测试,建立了门类齐全、满足系统设计需要的全部开发工具,极大地提高了设计效率,使设计者将注意力集中到创造性的方案与概念构建上。下面介绍这阶段 EDA 技术的主要特征。



(1) 采用硬件描述语言

由于 VHDL 和 Verilog HDL 两种标准硬件描述语言 (Hardware Description Language, HDL) 的普及应用, 并且它们均支持不同层次的描述, 使得复杂集成电路的描述规范化, 便于传递、交流、保存与修改, 并可方便地建立独立工艺的设计文档, 便于设计重用。

(2) 高层综合

高层综合可将 EDA 设计层次提高到系统级 (或称行为级), 而通过相应的行为级综合优化工具, 可以大大缩短复杂电路的设计周期, 同时改进设计质量, 如 Synopsys 公司的 Behavioral Compiler、Mentor Graphics 公司的 Monet 和 Renoir 产品。

(3) 可测性综合设计

随着 IC 的规模与复杂度的增加, 测试的难度与费用急剧上升, 产生了将可测性电路结构放在芯片上的构想, 于是开发了扫描插入、BLST (内建自测试)、边界扫描等可测性设计 (DFT) 工具, 并集成到 EDA 系统中, 如 Compass 公司的 Test Assistant、Mentor Graphics 公司的 LBLST Architect、BSD Architect 和 DFT Advisor 等产品。

(4) 平面规划

此项技术可以对逻辑综合和物理版图设计进行联合管理, 做到在逻辑综合阶段就考虑到物理设计信息的影响。设计者能进行更进一步的综合与优化, 保证所做的修改只会提高性能而不会给版图设计带来负面影响。在深亚微米级布线延时成为主要延时的情况下, 这对加速设计过程的收敛与成功很有帮助。Synopsys 和 Cadence 等公司的 EDA 系统中均采用了这项技术。

(5) 并行设计工程结构

此结构是集成化设计环境, 以适应当今逻辑 IC 电路的规模大而复杂、数字与模拟电路并存、硬件与软件设计并存的特点。该框架可以将不同公司的优秀工具集成为一个完整的 EDA 系统, 各种 EDA 工具在该框架中可以并行使用。通过统一的集成化设计环境, 保证各设计工具之间的相互联系与管理。在这种集成化设计环境中, 使用统一的数据管理系统与完善的通信管理系统, 若干个相关小组可以共享数据库与知识库, 同时并行进行设计。一旦系统设计完成, 相应的电路设计、版图设计、可测性设计与嵌入软件设计等也就基本完成。

由于互联网迅速发展, IC 设计所需的 EDA 工具和 IP 模块均可在互联网中传播。IC 设计人员可以在互联网上通过电子付款的方式选购设计工具与 IP 模块, 使 IC 设计变得迅速、经济、高效。此外, 基于互联网的虚拟设计也已出现, 因而可从世界范围内整合最优秀的设计资源, 解决日益复杂的电子系统设计问题。

1.2 EDA 技术的实现目标

利用 EDA 技术进行电子系统设计, 最终目标是完成电子电路或者更复杂的集成电路的设计和实现。以专用集成电路 (Application Specific Integrated Circuit, ASIC) 为例, ASIC 芯片仅是最终实现的物理平台, 它是集中了用户通过 EDA 技术将电子应用系统的既定功能和技术指标具体实现的硬件实体。由于专用集成电路是具有专门用途和特定功能的独立集成电路芯片, 因此作为 EDA 技术最终实现目标的 ASIC, 可以通过三种途径来实现, 如图 1.2 所示。

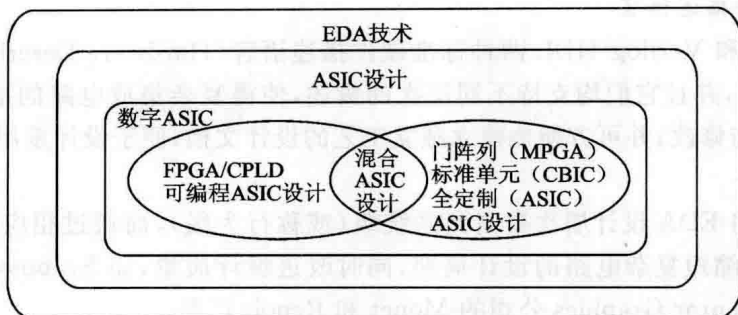


图 1.2 EDA 技术实现目标

1.2.1 大规模可编程逻辑器件

可编程逻辑器件(Programmable Logic Device, PLD)是由用户编程来实现某种逻辑功能的电子器件,主要有 FPGA(Field Programmable Gate Array, 场可编程门阵列)和 CPLD(Complex Programmable Logic Device, 复杂可编程逻辑器件)。其开发目的是减少集成电路设计制造高成本的高风险,这是由厂家开发的具有可编程逻辑功能的半成品芯片产品。所谓半成品,指的是产品框架已由厂家完成,后续还需要用户在此框架下进行一定的设计开发,使该半产品成为具有特定功能的芯片。其优点是直接面向用户,具有极大的灵活性和重用性,可以多次制成不同功能的芯片,大大降低芯片的开发成本。另外,还有使用方便、硬件测试和实现快捷、开发效率高、上市时间短、技术维护简单等特点。FPGA 和 CPLD 可视为 EDA 技术与软硬件电子设计技术的有机结合。

1.2.2 专用集成电路 ASIC

专用集成电路 ASIC 是基于集成电路技术的半定制或全定制产品。根据 ASIC 的制作过程,它们可分为可编程 ASIC 与掩膜 ASIC。可编程逻辑阵列 PLD 就是一种可编程的 ASIC,两者相比,可编程 ASIC 具有面向用户灵活多样的可编程性。而掩膜 ASIC 有门阵列 ASIC、标准单元 ASIC 和全定制 ASIC 等产品。

(1) 门阵列 ASIC

门阵列芯片包括预定制的相连的 PMOS 和 NMOS 晶体管行。设计中,用户可以借助 EDA 工具将原理图或硬件描述语言模型映射为相应的门阵列晶体管配置,创建一个指定金属互连路径文件,完成门阵列 ASIC 开发。

(2) 标准单元 ASIC

标准单元 ASIC 可称作基于单元的集成电路(Cell-based Integrated Circuits, CBIC),此类芯片是使用库中的不同标准单元设计的。库里面包括不同复杂度的逻辑模块,并且包含每个逻辑模块在硅片级的完整布局,利用 EDA 软件工具进行逻辑块描述即可完成设计,而不必关心电路细节的布局。标准单元布局中,所有扩散、接触点、过孔、多晶通道及金属通道都完全确定。当该单元用于设计时,通过 EDA 软件生成的网表文件会将单元布局块放到芯片布局之上的单元行上。标准单元 ASIC 设计与 FPGA 设计开发的流程相近。

(3) 全定制芯片

在采用特定的工艺建立的设计规则下,电路设计者从基本电路到功能模块直至最后电路



实现,都有电路设计决定权,如互连线的间隔和 MOS 管沟道的确定。

(4) 混合 ASIC

这种芯片既有面向用户的 FPGA 可编程功能和逻辑模块资源,也包含可方便调用和配置的硬件标准单元模块,如 RAM、ROM、加法器、乘法器等。此种方式可用于 SoC(System on Chip,片上系统)设计实现工作中。

1.3 EDA 设计思想

EDA 设计采用自顶向下(Top to Down)的思想,即设计者首先根据需求分析来确定设计的整个系统过程,再分解系统的功能,每项功能由很多子系统完成,每个子系统根据不同的要求,又可分为很多不同模块,这些模块由不同的逻辑门电路搭建而成,逻辑门再由不同的电路组建,而这些电路则由各种器件构成。从顶层向下的设计思想通常包括以下几个方面:首先对需求进行系统级描述,之后再做功能级描述以及功能模块的实现,接着做功能仿真(前仿真),再进行逻辑门级描述,最后进行系统的时序仿真(后仿真)。下面就以数字系统为例进行说明:

- 系统功能指标描述,用自然语言描述系统的功能及设计指标。
- 系统级描述的行为模型建立,把设计需求及指标转变为由硬件描述语言(HDL)所描述的行为模型。其目的是通过 HDL 仿真器对整个系统进行行为仿真和性能评估。
- 硬件语言行为仿真。这一阶段利用 HDL 仿真器对顶层系统行为模型进行仿真测试,检查仿真结果,进行完善和改进,完成对系统功能行为的考察。
- HDL-RTL 级建模。其目的是将 HDL 描述的行为模型转变为 HDL 的行代码。利用 HDL 中可综合的语句实现现实目标的器件描述,HDLC 综合器将其综合成 RTL 级(寄存器级)乃至门级模型。
- 前端功能仿真。它主要是对 HDL-RTL 级模型进行仿真,完成的是系统功能仿真,仿真结果是综合模型的逻辑功能。
- 逻辑综合。这是将 HDL 行为级描述转化为结构化的门级电路。在 ASIC 设计中,门级电路可以由 ASIC 库中的基本单元组成。
- 测试向量生成。测试向量由综合器结合含有版图硬件特性的工艺库生成,用于系统的功能测试。
- 功能仿真。利用测试向量文件对测试系统和子系统的功能进行仿真。
- 结构综合。综合产生表达逻辑连接关系的网表文件,结合目标的硬件环境进行标准单元调用、布局、布线,进行满足约束条件的结构优化配置,即结构综合。
- 门级时序仿真。利用门级仿真器进行门级时序仿真,这是更接近硬件器件工作的功能时序,可以称为布局布线后仿真,是将具有布局布线所得到的精确时序信号信息映射到门级电路后重新进行仿真,以便更接近实际器件的运行状况。
- 硬件测试。这是对最后完成的系统进行检查和测试。



1.4 EDA 的发展及应用趋势

对于飞速发展的电子产品市场,设计师需要更加实用、快捷的 EDA 工具,使用统一的集成化设计环境,改变传统设计思路,将精力集中到设计构思、方案比较和寻找优化设计等方面,需要以最快的速度,开发出性能优良、质量一流的电子产品,这些需求对 EDA 技术提出了更高的要求。未来的 EDA 技术将在仿真、时序分析、集成电路自动测试、高速印刷电路板设计及开发操作平台的扩展等方面取得新的突破,向着功能强大、简单易学、使用方便的方向发展。

1.4.1 平台工具的发展特点

(1) 混合信号处理能力

由于数字电路和模拟电路的不同特性,模拟集成电路 EDA 工具的发展远远落后于数字电路 EDA 开发工具。但是,由于物理量本身多以模拟形式存在,实现高性能复杂电子系统的设计必然离不开模拟信号。自 20 世纪 90 年代以来,EDA 工具厂商都比较重视数模混合信号设计工具的开发。美国 Cadence、Synopsys 等公司开发的 EDA 工具已经具有了数模混合设计能力,这些 EDA 开发工具能完成含有模/数转换、数字信号处理、专用集成电路宏单元、数/模转换和各种压控振荡器在内的混合系统设计。

(2) 高效的仿真工具

在整个电子系统设计过程中,仿真是花费时间最多的工作,也是占用 EAD 工具时间最多的一个环节。可以将电子系统设计的仿真过程分为两个阶段:设计前期的系统级仿真和设计过程中的电路级仿真。系统级仿真主要验证系统的功能,如验证设计的有效性等;电路级仿真主要验证系统的性能,决定怎样实现设计,如测试设计的精度、处理和保证设计要求等。要提高仿真的效率,一方面要建立合理的仿真算法;另一方面要更好地解决系统级仿真中,系统模型的建模和电路级仿真中电路模型的建模技术。在未来的 EDA 技术中,仿真工具将有较大的发展空间。

(3) 理想的逻辑综合、优化工具

逻辑综合功能是将高层次系统行为设计自动翻译成门级逻辑的电路描述,做到了实际与工艺的独立。优化则是对于上述综合生成的电路网表,根据逻辑方程功能等效的原则,用更小、更快的综合结果替代一些复杂的逻辑电路单元,根据指定目标库映射成新的网表。随着电子系统的集成规模越来越大,几乎不可能直接面向电路图做设计,因此要将设计者的精力从繁琐的逻辑图设计和分析中转移到设计前期算法开发上。逻辑综合、优化工具就是要把设计者的算法完整、高效地生成电路网表。

1.4.2 描述方式的发展特点

(1) 形象化

20 世纪 80 年代,电子设计开始采用新的综合工具,设计工作由逻辑图设计描述转向以各种硬件描述语言为主的编程方式。采用硬件描述语言描述设计是为了更接近系统的真实行为,便于综合,更加适于传递和修改设计信息,而且还可以建立独立于工艺的设计文档;缺点是不形象、不直观,要求设计者具有很强的硬件语言编程能力。