



国际信息工程先进技术译丛

WILEY

计算机系统设计： 片上系统

Computer System Design: System-on-Chip

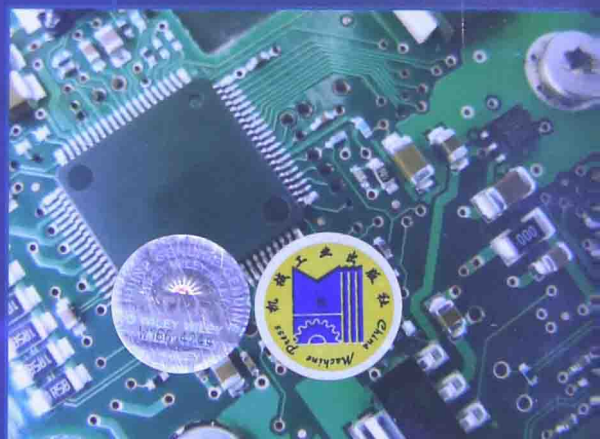
[美] 迈克尔 J. 弗林 (Michael J. Flynn)

[英] 陆永青 (Wayne Luk)

著

张志敏 范东睿 等译

 机械工业出版社
CHINA MACHINE PRESS



国际信息工程先进技术译丛

计算机系统设计：片上系统

[美] 迈克尔 J. 弗林 (Michael J. Flynn) 著
[英] 陆永青 (Wayne Luk)
 张志敏 范东睿 等译



机械工业出版社

Copyright © 2011 by John Wiley & Sons, Inc.

All Rights Reserved. This translation published under license. Authorized translation from the English language edition, entitled < Computer System Design: System-on-Chip >, ISBN < 978-0-470-64336-5 >, by < Michael J. Flynn, Wayne Luk >, Published by John Wiley & Sons. No part of this book may be reproduced in any form without the written permission of the original copyrights holder.

本书中文简体字版由 Wiley 授权机械工业出版社出版, 未经出版者书面允许, 不得以任何方式复制或发行本书的任何部分。版权所有, 翻印必究。

北京市版权局著作权合同登记图字: 01-2012-7571 号。

图书在版编目 (CIP) 数据

计算机系统设计: 片上系统 / (美) 弗林 (Flynn, M. J.), (英) 陆永青著; 张志敏等译. —北京: 机械工业出版社, 2015. 4

(国际信息工程先进技术译丛)

书名原文: Computer system design: system-on-chip

ISBN 978-7-111-49813-1

I. ①计… II. ①弗…②陆…③张 III. ①电子计算机—系统设计
IV. ①TP302.1

中国版本图书馆 CIP 数据核字 (2015) 第 062738 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 刘星宁 责任编辑: 刘星宁

责任校对: 樊钟英 封面设计: 马精明

责任印制: 刘 岚

北京中兴印刷有限公司印刷

2015 年 6 月第 1 版第 1 次印刷

169mm × 239mm · 18.5 印张 · 358 千字

0 001—2 500 册

标准书号: ISBN 978-7-111-49813-1

定价: 78.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

服务咨询热线: 010-88361066 机工官网: www.cmpbook.com

读者购书热线: 010-68326294 机工官博: weibo.com/cmp1952

010-88379203 金书网: www.golden-book.com

封面无防伪标均为盗版

教育服务网: www.cmpedu.com

本书由计算机工程领域资深学者编著，涵盖了计算机系统/SoC设计的许多重要研究内容，着眼于以系统为中心的设计空间理念，从基本概念和分析技术着手，对各种应用和架构设计、开发予以重点阐述。书中除了讲解计算机体系结构中处理器、内存、互联等要素外，重点介绍了系统的定制化设计技术与可重构性设计技术，更关注系统级开发时关于面积、速度、功耗和可配置性等权衡技术发展，并指出计算机系统/SoC设计面临的挑战。

本书不仅可供计算机系统设计专业人员、SoC设计师及计算机学者阅读，也可作为计算机科学、计算机工程及电子工程等专业研究生的参考书。

译者序

随着计算机与微电子技术融合趋势日益凸显，以及 CPU/SoC 设计技术快速发展，计算机体系结构课程的挑战性越来越明显，需要专业人员深入研究微体系结构，也给培养创新型计算机人才带来了极大的挑战和机遇。

早在几年前，拜读《Computer System Design: System-On-Chip》，就引起我们共鸣。我们翻译组主译人员从事 SoC 研究设计开发近 20 年。“2002 年中国未来十大技术之一——SoC 技术”[⊖] 就由主要译者张志敏点评，并且他一直带领团队不断研究开发一系列 SoC，培养了一批芯片设计人才。我们始终认为 SoC 能够为计算机学科发展注入新鲜活力，必将丰富计算机体系结构教学课件内容，利于造就一大批优秀的计算机系统研究开发人才。

原书作者 Michael J. Flynn 是美国哈佛大学教授，1966 年提出弗林分类学，1995 年获哈利·古德纪念奖，2009 年获贝尔格莱德大学荣誉博士。作者多年来一直从事计算系统工程设计和体系结构教学研究，设计经验丰富。他编著的原书英文版内容翔实，涵盖了计算机系统设计的许多方面，从基本概念和分析技术着手，就各种应用和架构的设计开发予以重点阐述，对于计算机专业师生和系统集成芯片设计开发者而言，是一本很好的参考书。

本书的翻译工作由范东睿组织完成，宋风龙和孟海波协助执行，参与本书前期辅助翻译工作的有廖飞、马丽娜、谭旭、李文明、王宏博、申小伟、郑亚松，张志敏参与较多的翻译工作，并负责统稿、校对、润色等工作。

感谢机械工业出版社给我们翻译这样一本好书的机会，感谢编辑为本书出版所做的工作。

译者

2015 年 4 月

⊖ 由《计算机世界》报业集团主办。

原 书 前 言

计算机系统设计师下一步将更关注系统定制元素，以针对特定的应用，而非处理器和存储器系统的细节。这样的设计者应具有处理器和其他部件的基本知识，但他们设计成功与否将取决于他们对系统的平衡能力，以及在可优化成本、性能和其他满足应用需求属性方面的能力。本书将介绍计算机系统设计，特别是 SoC 设计中的问题。

驾驭这样的设计需要一系列知识，如图 0.1 所示。本书第 1 章对系统方法进行了简介绪论，第 2 章着眼于定义设计空间——面积、速度、功耗和可配置性，第 3~5 章提供系统的基本元素的背景知识——处理器、内存和互联。后续的章节专注于面向特定应用程序和技术的计算机系统定制：第 6 章涵盖了定制和配置的设计问题，第 7 章讨论了针对各种应用的系统级平衡技术，将早期的材料归类在一起研究，第 8 章提出系统设计和 SoC 设计未来可能面临的挑战。本书所描述的工具仍在发展中，附录提供了一些工具概述。由于工具不断革新，请经常看看公司的网站：www.soctextbook.com。此外，对教学有用的材料，如幻灯片和练习的答案，也在准备中。

本书涵盖了计算机系统设计的一个特定的方法，介绍的基本概念和分析技术适用于各种应用和架构，而不是针对特定的应用、架构、语言和工具。本书还包括互补处置和其他主题，如电子系统级设计、嵌入式软件开发和系统级集成和测试。在适当的地方，本书简短地描述和引用这些主题，更详细的处置可能包含在未来的版本中或其他书中。

SoC 是一个快速发展的领域。虽然专注于基本的资料，但为完成本书也简要介绍了最新的技术进展。当然，这些最新的相关技术，可到如网站等相关的信息源找寻。

许多同事和学生，多数来自英国伦敦帝国理工学院和美国斯坦福大学，对本书做出了贡献。很抱歉，难以在这里说出他们所有人的名字。然而，一些人应该特别感谢，Peter Cheung 从一开始就与我们合作，他的贡献体现在许多主题上，特别是第 5 章；Tobias Becker、Ray Cheung、Rob Dimond、Scott Guo、Shay Ping Seng、David Thomas、Steve Wilton、Alice Yu 和 Chi Wai Yu 等对各章节提供了重要素材；Philip Leong 和 Roger Woods 多次精读了手稿并提供了许多改进建议；也从 Jeffrey Arnold、Peter Boehm、Don Bouldin、Geoffrey Brown、Patrick Hung、Sebastian Lopez、Oskar Mencer、Kevin Rudd 和匿名审稿人等获益良多；感谢 Kubi-

lay Atasu、Peter Collingbourne、James Huggett、Qiwei Jin、Adrien Le Masle、Pete Sedcole 和 Tim Todman 等提供的宝贵援助。

最后，感谢美国 Wiley 出版社的 Cassie Strickland、美国 Toppan Best-set 出版社的 Janet Hronek 对及时完成本书提供的帮助。

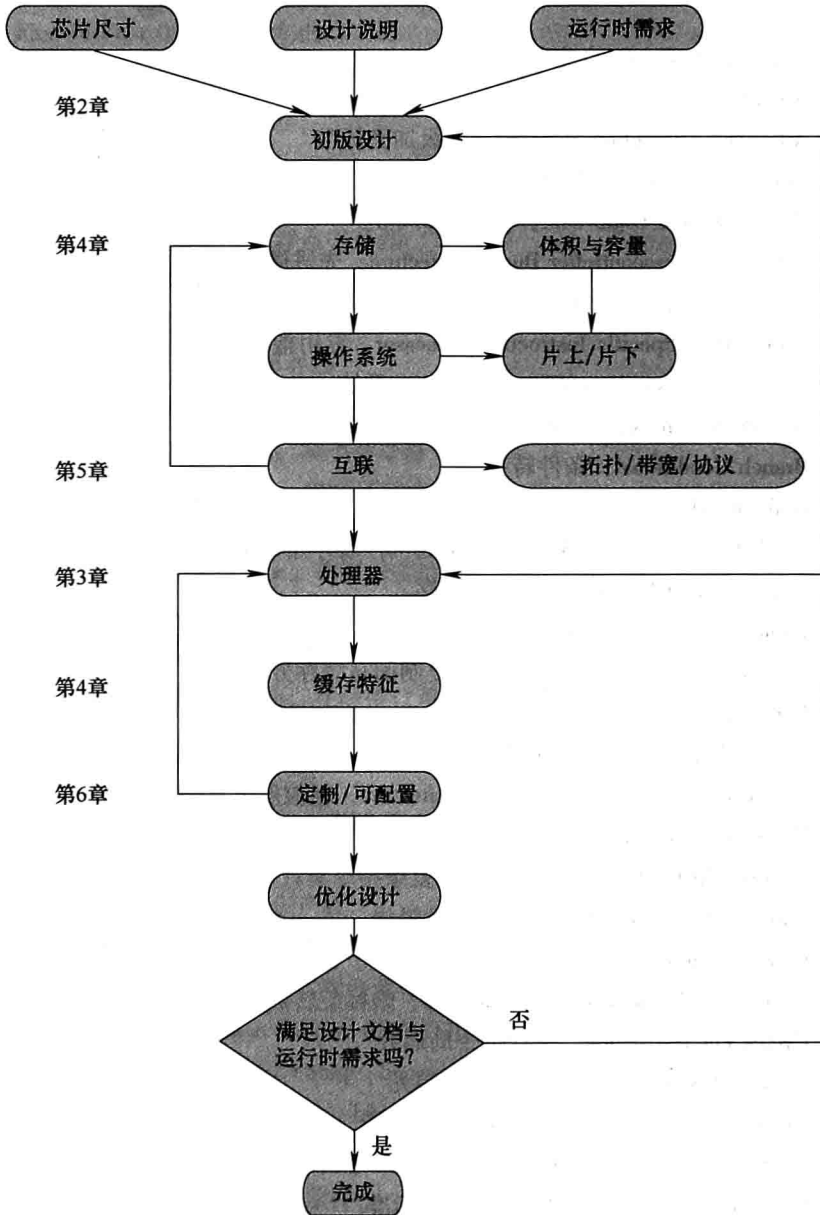


图 0.1 本书所述 SoC 设计方案

缩 略 语

AC	Autonomous Chip, 自主芯片
A-D	Analog to Digital, 模-数转换
AES	Advanced Encryption Standard, 高级加密标准
AG	Address Generation, 地址形成
ALU	Arithmetic and Logic Unit, 算术逻辑单元
AMBA	Advanced Microcontroller Bus Architecture, 先进微控制器总线架构
ASIC	Application -Specific Integrated Circuit, 专用集成电路
ASIP	Application -Specific Instruction Processor, 专用指令处理器
ASoC	Autonomous System-on-Chip, 自主片上系统
AXI	Advanced eXtensible Interface, 先进的可扩展接口
BC	Branch Conditional, 条件转移
BIST	Built-In-Self-Test, 内嵌自测试
BRAM	Block Random Access Memory, 块随机存取存储器
BTB	Branch Target Buffer, 分支目标缓存
CAD	Computer Aided Design, 计算机辅助设计
CBWA	Copy-Back Write Allocate cache, 复制回写缓存分配
CC	Condition Codes, 条件码
CFA	Color Filter Array, 彩色滤波阵列
CGRA	Coarse-Grained Reconfigurable Architecture, 粗粒度可重构体系结构
CIF	Common Intermediate Format, 通用中间格式
CISC	Complex Instruction Set Computer, 复杂指令集计算机
CLB	Configurable Logic Block, 可配置逻辑块
CMOS	Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体
CORDIC	COordinate Rotation Digital Computer, 坐标旋转数字计算机
CPI	Cycles Per Instruction, 平均指令周期数
CPU	Central Processing Unit, 中央处理单元
DCT	Discrete Cosine Transform, 离散余弦变换
DDR	Double Data Rate, 双数据速率
DES	Data Encryption Standard, 数据加密标准
3DES	Triple Data Encryption Standard, 三重数据加密标准
DF	Data Fetch, 取数据
DMA	Direct Memory Access, 直接存储访问
DRAM	Dynamic Random Access Memory, 动态随机存取存储器

DSP	Digital Signal Processing (Processor), 数字信号处理 (器)
DTMR	Design Target Miss Rates, 设计目标的命中率
ECC	Error Correcting Code, 纠错码
eDRAM	embedded Dynamic RandomAccess Memory, 嵌入式动态随机存取存储器
EX	Execute, 执行
FIFO	First In First Out, 先进先出
FIR	Finite Impulse Response, 有限冲激响应
FO4	Fan-Out of four, 4 扇出
FP	Floating-Point, 浮点
FPGA	Field Programmable Gate Array, 现场可编程门阵列
FPR	Floating-Point Register, 浮点寄存器
FPU	Floating-point unit, 浮点部件
GB	Giga Bytes, a billion (10^9) bytes, 吉字节
GIF	Graphics InterFace, 图形界面
GPP	General-Purpose Processor, 通用处理器
GPR	General-Purpose Register, 通用寄存器
GPS	Global Positioning System, 全球定位系统
GSM	Global System for Mobile communications, 全球移动通信系统
HDTV	High Definition TeleVision, 高清晰度电视
HPC	High Performance Computing, 高性能计算机
IC	Integrated Circuit, 集成电路
ICU	Interconnect interface Unit, 互联接口单元
ID	Instruction Decode, 指令译码
IF	Instruction fetch, 取指
ILP	Instruction-Level Parallelism, 指令级并行
I/O	Input/Output, 输入/输出
IP	Intellectual Property, 知识产权
IR	Instruction Register, 指令寄存器
ISA	Instruction Set Architecture, 指令集体系结构
ISEF	Instruction Set Extension Fabric, 指令集扩展架构
JPEG	Joint Photographic Experts Group (image compression standard), 联合图像专家小组
Kb	Kilo bits, one thousand (10^3) bits, 千 (1024) 位
KB	Kilo Bytes, one thousand bytes, 千 (1024) 字节
L1	Level 1 (for cache), 一级缓存
L2	Level 2 (for cache), 二级缓存
LE	Logic Element, 逻辑器件
LRU	Least Recently Used, 最近少使用的
L/S	Load/Store, 取存

LSI	Large Scale Integration, 大规模集成
LUT	LookUp Table, 查找表格
Mb	Mega bits, one million (10^6) bits, 兆位
MB	Mega Bytes, one million bytes, 兆字节
MEMS	Micro Electro Mechanical System, 微机电系统
MIMD	Multiple Instruction streams, Multiple Data streams, 多指令多数据流
MIPS	Million Instructions Per Second, 每秒百万指令
MOPS	Million Operations Per second, 每秒百万操作
MOS	Metal Oxide Semiconductor, 金属氧化物半导体
MPEG	Motion Picture Experts Group (video compression standard), 动态图像专家组
MTBF	Mean Time Between Faults, 平均故障间隔时间
MUX	MUltipleXor, 多路转接器
NOC	Network On Chip, 片上网络
OCP	Open Core Protocol, 开放核心协议
OFDM	Orthogonal Frequency-Division Multiplexing, 正交频分复用
PAN	Personal Area Network, 个人区域网络
PCB	Printed Circuit Board, 印制电路板
PLCC	Plastic Leaded Chip Carrier, 塑料封装芯片载体
PROM	Programmable Read Only Memory, 只读存储器
QCIF	Quarter Common Intermediate Format, 四分之一通用中间格式
RAM	Random Access Memory, 随机访问存储处理器
RAND	Random, 随机
RAW	Read-After-Write, 写后读
rbe	register bit equivalent, 寄存器位等效
RF	Radio Frequency, 无线射频
RFID	Radio Frequency Identification, 射频识别
RISC	Reduced Instruction Set Computer, 精简指令集计算机
R/M	Register/Memory, 寄存器/存储器
ROM	Read Only Memory, 只读存储器
RTL	Register Transfer Language, 寄存器传送语言
SAD	Sum of the Absolute Differences, 绝对差异的总和
SDRAM	Synchronous Dynamic Random Access Memory, 同步动态随机存取存储器
SECDED	Single Error Correction, Double Error Detection, 单纠错双纠错
SER	Soft Error Rate, 软件错误率
SIA	Semiconductor Industry Association, (美国) 半导体行业协会
SIMD	Single Instruction stream, Multiple Data streams, 单指令多数据流
SMT	Simultaneous MultiThreading, 并发多线程
SoC	System on Chip, 片上系统

SRAM	Static Random Access Memory, 静态随机访问存储器
TLB	Translation Look - Aside Buffer, 旁路转换缓冲器
TMR	Triple Modular Redundancy, 三重模块冗余度
UART	Universal Asynchronous Receiver/Transmitter, 通用异步接收器/发送器
UMTS	Universal Mobile Telecommunications System, 通用移动通信系统
UV	UltraViolet, 紫外光
VCI	Virtual Component Interface, 虚拟组件接口
VLIW	Very Long Instruction Word, 超长指令字
VLSI	Very Large Scale Integration, 超大规模集成
VPU	Vector Processing Unit, 向量处理单元
VR	Vector Register, 向量寄存器
VSIA	Virtual Socket Interface Alliance, 虚拟接口联盟
WAR	Write After Read, 读后写
WAW	Write After Write, 写后写
WB	Write Back, 回写
WTNWA	Write-Through cache No Write Allocate, 直写无须写分配

目 录

译者序

原书前言

缩略语

第 1 章 系统方法简介	1
1.1 系统架构：概览	1
1.2 系统组件：处理器、存储器及互联	3
1.3 硬件和软件：可编程性与性能	4
1.4 处理器架构	5
1.4.1 处理器：功能的观点	7
1.4.2 处理器：架构的观点	7
1.5 内存与寻址	16
1.5.1 SoC 内存实例	17
1.5.2 寻址：内存架构	18
1.5.3 SoC 操作系统内存	19
1.6 系统级互联	20
1.6.1 基于总线方法	21
1.6.2 片上网络方法	21
1.7 SoC 设计方法	22
1.7.1 需求与规范	22
1.7.2 设计迭代	23
1.8 系统架构及其复杂性	25
1.9 SoC 产品经济及影响	26
1.9.1 影响产品成本的因素	26
1.9.2 给产品经济和技术复杂性建模：SoC 课程	28
1.10 应对设计复杂性	28
1.10.1 购买 IP	29
1.10.2 重构	30
1.11 总结	31
1.12 习题	31
第 2 章 芯片基础：时间、面积、功耗、可靠性和可配置性	33
2.1 引言	33
2.1.1 设计的权衡	33

2.1.2 需求和规格	35
2.2 周期	36
2.2.1 周期的定义	36
2.2.2 流水线优化	37
2.2.3 性能	39
2.3 芯片面积和成本	40
2.3.1 处理器面积	40
2.3.2 处理器单元	43
2.4 理想和实用尺寸	45
2.5 功耗	49
2.6 在处理器设计中面积-时间-功耗的权衡	51
2.6.1 工作站处理器	51
2.6.2 嵌入式处理器	52
2.7 可靠性	53
2.7.1 解决物理错误	53
2.7.2 错误检测和纠正	55
2.7.3 解决制造缺陷问题	58
2.7.4 存储和功能擦除	58
2.8 可配置性	58
2.8.1 为什么要可配置性设计	59
2.8.2 可配置器件的面积估计	60
2.9 总结	60
2.10 习题	61
第3章 处理器	63
3.1 引言	63
3.2 SoC 处理器的选择	64
3.2.1 概述	64
3.2.2 实例: 软处理器	66
3.2.3 实例: 处理器核选择	67
3.3 处理器体系结构中的基本概念	68
3.3.1 指令集	68
3.3.2 一些指令集习惯	70
3.3.3 分支	70
3.3.4 中断和异常	71
3.4 处理器微体系结构的基本概念	72
3.5 指令处理的基本元素	74
3.5.1 指令译码器和互锁	75
3.5.2 旁路	76

3.5.3 执行单元	76
3.6 缓冲：让流水线延迟最小化	76
3.6.1 平均请求率缓冲	77
3.6.2 固定或最大请求率的缓冲设计	78
3.7 分支：减少分支的开销	78
3.7.1 分支目标获取：分支目标缓冲	81
3.7.2 分支预测	82
3.8 更健壮的处理器的：矢量、超长指令字和超标量体系结构	85
3.9 矢量处理器和矢量指令扩展	85
3.9.1 矢量功能部件	86
3.10 超长指令字处理器	90
3.11 超标量处理器	91
3.11.1 数据相关	91
3.11.2 检测指令并行	93
3.11.3 一个简单的实现	94
3.11.4 乱序指令的状态保存	98
3.12 处理器的演变和两个实例	99
3.12.1 软核和固核处理器设计：IP 形式的处理器	99
3.12.2 高性能定制处理器	100
3.13 总结	101
3.14 习题	101
第 4 章 片上系统和基于主板系统的存储设计	104
4.1 引言	104
4.2 概况	106
4.2.1 SoC 外部存储：闪存	106
4.2.2 SoC 内部存储器：放置点	107
4.2.3 存储器大小	108
4.3 暂存器和缓存	109
4.4 基础概念	109
4.5 缓存组织形式	111
4.6 缓存数据	113
4.7 写策略	114
4.8 失效替换策略	115
4.8.1 读取一行	116
4.8.2 行替换	116
4.8.3 缓存环境：系统、事务和多道程序的影响	116
4.9 其他类型的缓存	118

4.10	分离的指令缓存和数据缓存及代码密度的影响	118
4.11	多级缓存	119
4.11.1	缓存阵列大小的限制	119
4.11.2	评估多级缓存	119
4.11.3	逻辑包含	121
4.12	虚实转换	121
4.13	片上存储系统	123
4.14	片外（基于主板）存储系统	125
4.15	简单 DRAM 和存储阵列	126
4.15.1	SDRAM 和 DDR SDRAM	129
4.15.2	存储缓冲器	132
4.16	处理器-存储器交互简单模型	133
4.16.1	简单多处理器和存储器模型	133
4.16.2	Strecker-Ravi 模型	134
4.16.3	交叉缓存	136
4.17	总结	136
4.18	习题	137
第 5 章	互联	140
5.1	引言	140
5.2	概述：互联结构	140
5.3	总线：基本结构	143
5.3.1	仲裁和协议	144
5.3.2	总线桥	144
5.3.3	物理总线结构	144
5.3.4	总线多样性	145
5.4	SoC 总线标准	146
5.4.1	AMBA 总线	146
5.4.2	CoreConnect 总线	150
5.4.3	总线接口单元：总线套接字和总线封装	153
5.5	总线模型分析	156
5.5.1	竞争和共享总线	156
5.5.2	简单的总线模型：没有重新提交	156
5.5.3	重新提交的总线模型	157
5.5.4	使用总线模型：计算给定的占有率	157
5.5.5	总线事务的影响和竞争时间	158
5.6	超越总线：拥有交换互联的 NoC	158
5.6.1	静态网络	160
5.6.2	动态网络	162

5.7 一些 NoC 交换的例子	165
5.7.1 直接网络的一个二维网格的实例	165
5.7.2 同步 SoC 的异步交叉互联 (动态网络)	166
5.7.3 阻塞与不阻塞比较	167
5.8 分层结构和网络接口单元	167
5.8.1 NoC 的分层结构	168
5.8.2 NoC 和 NIU 的实例	169
5.8.3 总线与 NoC 比较	169
5.9 互连网络评估	170
5.9.1 静态网络与动态网络比较	170
5.9.2 网络比较: 实例	172
5.10 总结	173
5.11 习题	174
第 6 章 定制与可配置性	176
6.1 引言	176
6.2 估算定制的有效性	177
6.3 SoC 定制综述	178
6.4 定制指令处理器	180
6.4.1 处理器定制方法	181
6.4.2 架构描述	181
6.4.3 自动识别定制指令	183
6.5 重构技术	184
6.5.1 可重构的功能单元	185
6.5.2 重构互联	189
6.5.3 软件可配置处理器	190
6.6 可重构设备上的映射设计	192
6.7 特定实例设计	194
6.8 可定制软件处理器的一个实例	196
6.9 重构	200
6.9.1 重构的开销分析	200
6.9.2 平衡分析: 重构的并行性	202
6.10 总结	206
6.11 习题	206
第 7 章 应用研究	209
7.1 引言	209
7.2 SoC 设计方法	209
7.3 应用研究: AES	213

7.3.1 AES: 算法及需求	213
7.3.2 AES: 设计和评估	215
7.4 应用研究: 三维图形处理器	217
7.4.1 分析: 处理	217
7.4.2 分析: 互联	220
7.4.3 原型技术	221
7.5 应用研究: 图像压缩	223
7.5.1 JPEG 压缩	223
7.5.2 实例: 数字静态相机中的 JPEG 系统	225
7.6 应用研究: 视频压缩	227
7.6.1 MPEG 和 H.26X 视频压缩: 需求	228
7.6.2 H.264 加速: 设计	231
7.7 未来的应用研究	235
7.7.1 MP3 音频解码	235
7.7.2 IEEE 802.16 软件定义无线电	237
7.8 总结	239
7.9 习题	240
第 8 章 展望: 未来的挑战	242
8.1 引言	242
8.2 未来的系统: 全自治片上系统	242
8.2.1 概述	242
8.2.2 技术	244
8.2.3 功耗	245
8.2.4 全自治片上系统的外形	246
8.2.5 计算机模型和存储	247
8.2.6 RF 和激光通信	248
8.2.7 传感	250
8.2.8 动力、飞行及果蝇	252
8.3 未来的设计流程: 自我优化和自我验证	253
8.3.1 动机	253
8.3.2 概述	253
8.3.3 部署前	255
8.3.4 部署后	258
8.3.5 规划和挑战	261
8.4 总结	262
附录 处理器评估工具	263
参考文献	265