



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

电子科学与技术

Design and Application of FPGA in Modern
Digital Systems

FPGA现代数字系统设计及应用

张德学 张小军 郭华 编著

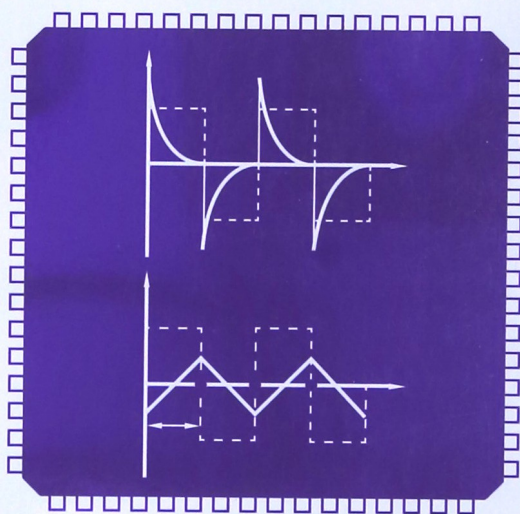
Zhang Dexue

Zhang Xiaojun

Guo Hua

陈新华 主审

Chen Xinhua



清华大学出版社



教育部高等学校电子信息类专业教学指导委员会
高等学校电子信息类专业系列教材

Design and Application of FPGA in
Modern Digital Systems

FPGA现代数字系统 设计及应用

张德学 张小军 郭华 编著

Zhang Dexue

Zhang Xiaojun

Guo Hua

清华大学出版社

内 容 简 介

随着 EDA 技术和工具的发展,现代数字系统的设计思想、设计工具和实现方式均发生了深刻的变化,基本设计流程主要包括:硬件描述语言(HDL)输入;仿真验证设计功能;将 HDL 综合为门级网表;静态时序分析验证时序;后端 ASIC 或者 FPGA 实现。验证方法学、低功耗设计也是热点问题。随着系统规模增大,将整个系统在单片系统上实现(即片上系统,SoC)已逐渐成为主流。本书根据工程实践与教学经验,采用最新参考流程,指导读者完成大规模复杂系统的设计、验证和 FPGA 实现。本书注重实践,配套教学 PPT 与全部实例代码,详细演示各项技术,指导读者动手操作,对电子信息类学生系统掌握现代数字系统设计有重要的参考价值。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

FPGA 现代数字系统设计与应用/张德学,张小军,郭华编著.--北京:清华大学出版社,2015

高等学校电子信息类专业系列教材

ISBN 978-7-302-38856-2

I. ①F… II. ①张… ②张… ③郭… III. ①可编程序逻辑器件—系统设计—高等学校—教材
IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2015)第 004354 号

责任编辑:盛东亮

封面设计:李召霞

责任校对:时翠兰

责任印制:杨 艳

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:北京嘉实印刷有限公司

经 销:全国新华书店

开 本:185mm×260mm 印 张:14.25

字 数:343 千字

版 次:2015 年 6 月第 1 版

印 次:2015 年 6 月第 1 次印刷

印 数:1~2000

定 价:35.00 元

产品编号:061420-01

高等学校电子信息类专业系列教材

一
顾问委员会

谈振辉	北京交通大学（教指委高级顾问）	郁道银	天津大学（教指委高级顾问）
廖延彪	清华大学（特约高级顾问）	胡广书	清华大学（特约高级顾问）
华成英	清华大学（国家级教学名师）	于洪珍	中国矿业大学（国家级教学名师）
彭启琮	电子科技大学（国家级教学名师）	孙肖子	西安电子科技大学（国家级教学名师）
邹逢兴	国防科学技术大学（国家级教学名师）	严国萍	华中科技大学（国家级教学名师）

一
编审委员会

主 任	吕志伟	哈尔滨工业大学		
副主任	刘 旭	浙江大学	王志军	北京大学
	隆克平	北京科技大学	葛宝臻	天津大学
	秦石乔	国防科学技术大学	何伟明	哈尔滨工业大学
	刘向东	浙江大学		
委 员	王志华	清华大学	宋 梅	北京邮电大学
	韩 焱	中北大学	张雪英	太原理工大学
	殷福亮	大连理工大学	赵晓晖	吉林大学
	张朝柱	哈尔滨工程大学	刘兴钊	上海交通大学
	洪 伟	东南大学	陈鹤鸣	南京邮电大学
	杨明武	合肥工业大学	袁东风	山东大学
	王忠勇	郑州大学	程文青	华中科技大学
	曾 云	湖南大学	李思敏	桂林电子科技大学
	陈前斌	重庆邮电大学	张怀武	电子科技大学
	谢 泉	贵州大学	卞树檀	第二炮兵工程大学
	吴 瑛	解放军信息工程大学	刘纯亮	西安交通大学
	金伟其	北京理工大学	毕卫红	燕山大学
	胡秀珍	内蒙古工业大学	付跃刚	长春理工大学
	贾宏志	上海理工大学	顾济华	苏州大学
	李振华	南京理工大学	韩正甫	中国科学技术大学
	李 晖	福建师范大学	何兴道	南昌航空大学
	何平安	武汉大学	张新亮	华中科技大学
	郭永彩	重庆大学	曹益平	四川大学
	刘缠牢	西安工业大学	李儒新	中科院上海光学精密机械研究所
	赵尚弘	空军工程大学	董友梅	京东方科技集团
	蒋晓瑜	装甲兵工程学院	蔡 毅	中国兵器科学研究院
	仲顺安	北京理工大学	冯其波	北京交通大学
	黄翊东	清华大学	张有光	北京航空航天大学
	李勇朝	西安电子科技大学	江 毅	北京理工大学
	章毓晋	清华大学	张伟刚	南开大学
	刘铁根	天津大学	宋 峰	南开大学
	王艳芬	中国矿业大学	靳 伟	香港理工大学
	苑立波	哈尔滨工程大学		
丛书责任编辑	盛东亮	清华大学出版社		

序

FOREWORD

我国电子信息产业销售收入总规模在 2013 年已经突破 12 万亿元,行业收入占工业总体比重已经超过 9%。电子信息产业在工业经济中的支撑作用凸显,更加促进了信息化和工业化的高层次深度融合。随着移动互联网、云计算、物联网、大数据和石墨烯等新兴产业的爆发式增长,电子信息产业的发展呈现了新的特点,电子信息产业的人才培养面临着新的挑战。

(1) 随着控制、通信、人机交互和网络互联等新兴电子信息技术不断发展,传统工业设备融合了大量最新的电子信息技术,它们一起构成了庞大而复杂的系统,派生出大量新兴的电子信息技术应用需求。这些“系统级”的应用需求,迫切要求具有系统级设计能力的电子信息技术人才。

(2) 电子信息系统设备的功能越来越复杂,系统的集成度越来越高。因此,要求未来的设计者应该具备更扎实的理论基础知识和更宽广的专业视野。未来电子信息系统的设计越来越要求软件和硬件的协同规划、协同设计和协同调试。

(3) 新兴电子信息技术的发展依赖于半导体产业的不断推动,半导体厂商为设计者提供了越来越丰富的生态资源,系统集成厂商的全方位配合又加速了这种生态资源的进一步完善。半导体厂商和系统集成厂商所建立的这种生态系统,为未来的设计者提供了更加便捷却又必须依赖的设计资源。

教育部 2012 年颁布了新版《高等学校本科专业目录》,将电子信息类专业进行了整合,为各高校建立系统化的人才培养体系,培养具有扎实理论基础和宽广专业技能的、兼顾“基础”和“系统”的高层次电子信息人才给出了指引。

传统的电子信息学科专业课程体系呈现“自底向上”的特点,这种课程体系偏重对底层元器件的分析与设计,较少涉及系统级的集成与设计。近年来,国内很多高校对电子信息类专业课程体系进行了大力度的改革,这些改革顺应时代潮流,从系统集成的角度,更加科学合理地构建了课程体系。

为了进一步提高普通高校电子信息类专业教育与教学质量,贯彻落实《国家中长期教育改革和规划纲要(2010—2020 年)》和《教育部关于全面提高高等教育质量若干意见》(教高【2012】4 号)的精神,教育部高等学校电子信息类专业教学指导委员会开展了“高等学校电子信息类专业课程体系”的立项研究工作,并于 2014 年 5 月启动了《高等学校电子信息类专业系列教材》(教育部高等学校电子信息类专业教学指导委员会规划教材)的建设工作。其目的是为推进高等教育内涵式发展,提高教学水平,满足高等学校对电子信息类专业人才培养、教学改革与课程改革的需要。

本系列教材定位于高等学校电子信息类专业的专业课程,适用于电子信息类的电子信

息工程、电子科学与技术、通信工程、微电子科学与工程、光电信息科学与工程、信息工程及其相近专业。经过编审委员会与众多高校多次沟通,初步拟定分批次(2014—2017年)建设约100门课程教材。本系列教材将力求在保证基础的前提下,突出技术的先进性和科学的前沿性,体现创新教学和工程实践教学;将重视系统集成思想在教学中的体现,鼓励推陈出新,采用“自顶向下”的方法编写教材;将注重反映优秀的教学改革成果,推广优秀的教学经验与理念。

为了保证本系列教材的科学性、系统性及编写质量,本系列教材设立顾问委员会及编审委员会。顾问委员会由教指委高级顾问、特约高级顾问和国家级教学名师担任,编审委员会由教育部高等学校电子信息类专业教学指导委员会委员和一线教学名师组成。同时,清华大学出版社为本系列教材配置优秀的编辑团队,力求高水准出版。本系列教材的建设,不仅有众多高校教师参与,也有大量知名的电子信息类企业支持。在此,谨向参与本系列教材策划、组织、编写与出版的广大教师、企业代表及出版人员致以诚挚的感谢,并殷切希望本系列教材在我国高等学校电子信息类专业人才培养与课程体系建设中发挥切实的作用。

吕志伟 教授

前言

PREFACE

随着 EDA 技术和工具的发展,现代数字系统的设计思想、设计工具和实现方式均发生了深刻的变化,系统规模不断增大,片上系统(SoC)已逐渐成为设计主流。本书根据工程实践与教学经验,采用主流工具与参考流程,帮助读者完成大规模复杂系统的设计、验证和 FPGA 实现。

本书在章节安排上,尽量按照现代数字系统开发流程和由浅入深的学习顺序来安排,让读者先了解 FPGA 器件原理,再学习基本的 Verilog 语法,采用 Modelsim 工具仿真调试,然后用 Quartus II 工具综合适配,生成 FPGA 配置信息流,并将其下载到 FPGA 开发板上验证。基本流程掌握后,可进一步学习 Verdi 工具,提高调试效率;使用 TimeQuest 时序约束与分析工具,评估设计的性能。工具都熟悉后,可再学习有限状态机设计方法,自检测 Testbench 设计方法,测试覆盖率分析方法,理解多种良好的编码风格,了解功耗来源构成和低功耗设计方法等。随后可学习基于 Nios II 的 SOPC 系统开发过程,以及自定制 IP 核的设计与集成。最后的综合设计中,详细介绍了基于 OR1200 的 SoC 系统设计过程,包括系统架构、硬件搭建、软件开发、软硬件联合仿真、FPGA 实现、u-boot 移植、Linux 移植等,从最小系统开始,逐步添加功能模块,成为较为实用的 SoC 系统,是较好的 SoC 系统开发示范。

全书章节安排如下:

第 1 章介绍了现代数字系统设计流程、FPGA/CPLD 器件原理和商用 FPGA/CPLD 器件。

第 2 章介绍了 Verilog 标准与基本语法、Testbench 设计方法、仿真器工作原理,并列举了一些设计实例,介绍了设计中的常见问题。

第 3 章介绍了 Modelsim 仿真工具,主要采用命令行和脚本方式,并介绍了 VCD 输出、测试覆盖率相关操作。

第 4 章介绍了 Verdi 工具,以及如何与 Modelsim 联合调试等问题。

第 5 章介绍了 Quartus II 工具使用、FPGA 开发流程,以及如何进行功能仿真与时序仿真。

第 6 章介绍了时序约束与时序分析概念,以及 TimeQuest 工具使用。

第 7 章介绍了 Synplify Pro 工具使用。

第 8 章介绍了部分 Verilog 高级设计,包括编码风格、自检测 Testbench 设计、FSM 设计、多时钟域设计,以及 PLI 编程。

第 9 章介绍了功耗来源、功耗估算方法,以及常见的低功耗设计方法。

第 10 章介绍了基于 Nios II 的 SOPC 系统设计,从系统搭建到 μ CLinux 操作系统移植,

并介绍了如何进行 IP 核开发与集成。

第 11 章介绍了基于 OR1200 的 SoC 系统设计过程,采用“OR1200 CPU + Wishbone 总线+其他功能模块”结构,从构建基本平台开始,逐步添加外围模块,并移植了 u-boot 和 Linux 系统,最终实现了功能较为完备的实用 SoC 系统。

本书配套教学 PPT 与全部实例代码,以便于教师教学及学生练习。

本书可用作 EDA 技术与应用、SOPC 系统设计、SoC 设计方法学等课程的参考教材。EDA 技术与应用课程可重点讲解第 1、2、3、5、6、8 章,SOPC 系统设计课程可重点讲解第 3、4、6、8、9、10 章,SoC 设计方法学课程可重点讲解第 3、4、6、8、9、11 章。

本书注重实践,配套教学 PPT 与全部实例代码,详细演示各项技术,指导读者动手操作,对电子信息类学生系统地掌握现代数字系统设计有一定帮助。全书行文力求简洁实用,阅读过程中,可能需要读者查阅相关标准、规范文档。

本书撰写中,直接或间接引用了不少专家、学者的文献,以及 EDA 厂商的培训教材等,它们精辟的分析、简明的风格,让作者受益匪浅,在此表示感谢!书中引用处已做了说明,疏漏之处敬请谅解。

全书由张德学博士、张小军博士、郭华博士编写,王维克、肖风玉检验了全书实例,提出了修改意见,并对文字描述、图片做了一些修正,陈新华教授审校了全书。全书由张德学负责统稿。

作者教学、实践经验尚浅,加之水平有限,谬误和疏漏之处在所难免,敬请读者指正,联系方式 dxzhang@ustc.edu。

张德学

2015 年 1 月

目录

CONTENTS

第 1 章 现代数字系统设计简介	1
1.1 现代数字系统设计流程	1
1.2 FPGA/CPLD 原理	2
1.2.1 乘积项技术原理	2
1.2.2 CPLD 原理	2
1.2.3 查找表技术原理	4
1.2.4 FPGA 原理	5
1.2.5 FPGA 与 CPLD 简要比较	7
1.3 商用 FPGA/CPLD 器件简介	7
第 2 章 Verilog 标准与基本语法	9
2.1 Verilog HDL 发展历史	9
2.2 Verilog IEEE Standard 1364-1995 标准基本语法	10
2.2.1 标识符	10
2.2.2 注释	11
2.2.3 四值逻辑	12
2.2.4 数字表达	12
2.2.5 字符串	12
2.2.6 数据类型	13
2.2.7 内建基本门	14
2.2.8 连续赋值 assign 语句	14
2.2.9 过程赋值 initial 和 always 语句	14
2.2.10 运算	15
2.2.11 if 语句	19
2.2.12 case、casex 和 casez 语句	19
2.2.13 循环控制语句	20
2.2.14 编译指示语句	21
2.2.15 时延	22
2.2.16 系统任务	22
2.2.17 function 与 task	25
2.2.18 参数	31
2.3 Verilog IEEE Standard 1364 更新标准重要特性简介	32
2.3.1 敏感列表	32
2.3.2 多维数组	32

2.4	Verilog 建模	33
2.4.1	可综合与不可综合语法	34
2.4.2	层次化和模块化设计方法	35
2.5	Verilog 代码书写	36
2.5.1	Verilog 代码编写推荐工具	36
2.5.2	Verilog 模块基本结构	37
2.5.3	实例化方法	37
2.5.4	层次命名	38
2.6	简单 Testbench 设计	38
2.6.1	组合电路 Testbench 基本结构	39
2.6.2	时序电路 Testbench 基本结构	39
2.6.3	文本界面的 Testbench	39
2.7	Verilog 实例	40
2.7.1	Lab1: 门级电路设计与仿真	40
2.7.2	Lab2: 简单时序电路设计与仿真	43
2.7.3	Lab3: 文本界面的 Testbench	44
2.7.4	Lab4: 3-8 译码器	47
2.7.5	Lab5: 全加器	47
2.7.6	Lab6: 计数器	48
2.8	Verilog 常见问题	49
2.8.1	数字仿真器基本原理	49
2.8.2	阻塞赋值与非阻塞赋值	50
2.8.3	\$display、\$strobe 和 \$monitor 比较	53
2.8.4	#0 延时	54
2.8.5	竞争条件	55
2.8.6	仿真与综合对部分语法的不同理解	57
2.8.7	双向端口的仿真	59
2.8.8	组合逻辑回环	60
2.8.9	'timescale 问题	60
第 3 章	Modelsim 仿真	62
3.1	仿真简介	62
3.2	Modelsim 简介	63
3.3	Modelsim 使用方式	63
3.3.1	命令行方式	64
3.3.2	脚本方式	64
3.3.3	qverilog 单步执行方式	66
3.4	系统任务	66
3.5	VCD 输出	66
3.6	SDF 标注	67
3.7	测试覆盖率	68
第 4 章	Verdi 使用	73
4.1	Verdi 简介	73
4.2	Modelsim 与 Verdi 联合调试流程	73

4.3	FSDB 格式波形导出	74
4.4	Verdi 使用实例	74
第 5 章	Quartus II 使用	76
5.1	Quartus II 简介	76
5.2	FPGA 开发流程	76
5.2.1	流程简介	77
5.2.2	创建项目	81
5.2.3	设置约束	82
5.2.4	综合适配	83
5.2.5	下载验证	83
5.3	功能仿真与时序仿真	84
第 6 章	TimeQuest 时序分析	87
6.1	时序简介	87
6.2	动态时序分析与静态时序分析	87
6.3	基本时序分析模型	87
6.4	SDC 简介	89
6.5	时序约束与时序分析技术	90
6.5.1	时钟约束	90
6.5.2	输入延时	92
6.5.3	输出延时	92
6.5.4	组合逻辑延时	92
6.6	TimeQuest 工具简介	92
6.7	TimeQuest 使用	93
6.7.1	TimeQuest 使用流程	93
6.7.2	TimeQuest 使用举例	94
6.8	时序例外的约束与分析	98
6.8.1	false path	98
6.8.2	multicycle path 多周期路径	98
6.8.3	set_max_delay 和 set_min_delay	101
第 7 章	Synplify Pro 使用	102
7.1	Synplify 工具简介	102
7.2	Quartus II 与 Synplify Pro 联合使用流程	103
7.2.1	Synplify Pro 与 Quartus II 独立运行	103
7.2.2	Quartus II 中调用 Synplify Pro	106
7.2.3	Synplify Pro 中调用 Quartus II	107
第 8 章	Verilog 高级设计	110
8.1	编码风格	110
8.1.1	避免生成多余 latch	110
8.1.2	资源共享	111
8.1.3	避免同时使用时钟双沿	113
8.2	编码风格检查	113
8.3	自检测 Testbench 设计	115

8.4	FSM 设计	118
8.4.1	FSM 分类	118
8.4.2	两段式 FSM 设计	119
8.4.3	三段式 FSM 设计	120
8.4.4	FSM 状态编码	121
8.5	多时钟域设计	122
8.5.1	亚稳态	122
8.5.2	2DFF 同步器	123
8.5.3	Open-Loop 与 Closed-Loop 同步器	124
8.5.4	多个控制信号的同步电路设计	126
8.5.5	数据信号的同步电路设计	129
8.6	复位信号处理	132
8.7	PLI/VPI 编程	132
8.7.1	仿真器扩展接口发展历史	132
8.7.2	VPI 简介	133
8.7.3	注册 systf	133
8.7.4	VPI 实例 1: 系统任务 hello	134
8.7.5	回调 callbacks	135
8.7.6	VPI 实例 2: 系统函数 random	136
8.7.7	object 存取方法	140
8.7.8	VPI 实例 3: 显示所有 nets	141
第 9 章	低功耗设计	145
9.1	功耗来源	145
9.2	基于 FPGA 的功耗估算	145
9.3	低功耗设计方法	146
9.3.1	门控时钟	147
9.3.2	操作数隔离	147
9.4	工具选项	148
第 10 章	SOPC 系统	150
10.1	SOPC 概念	150
10.2	SOPC Builder 简介	150
10.3	Avalon 总线	151
10.4	Nios II 处理器简介	151
10.5	SOPC 开发流程	153
10.6	SOPC 最小系统硬件开发	153
10.7	Nios II 软件开发	155
10.7.1	Nios II 软件开发简介	155
10.7.2	Nios II IDE 使用流程: LED 实例	155
10.8	基于 Nios II 的 SOPC 系统上 μ CLinux 移植	159
10.8.1	硬件设计	159
10.8.2	软件开发环境	161
10.8.3	Nios II 交叉开发工具链的构建	162
10.8.4	硬件信息传递	163

10.8.5	内核与应用程序配置	164
10.8.6	系统测试	166
10.8.7	网络应用	168
10.9	Avalon 总线 IP 核的开发	168
10.9.1	Avalon 总线功能模型	168
10.9.2	Avalon 总线 IP 核开发基本框架	170
10.9.3	Avalon 总线 IP 核仿真	170
10.9.4	Avalon 总线 IP 核集成	171
10.9.5	Avalon 总线 IP 核测试	173
10.10	u-boot 移植与使用	174
10.10.1	u-boot 移植	174
10.10.2	u-boot 使用	176
第 11 章	综合设计：基于 OR1200 的 SoC 系统构建	182
11.1	Wishbone 总线	182
11.2	构建基于 OR1200 的最小 SoC 系统	185
11.2.1	系统硬件框图	185
11.2.2	部件简介	186
11.2.3	系统构建	189
11.2.4	or32 交叉开发工具链	195
11.2.5	软件开发	197
11.2.6	系统软硬件联合仿真	201
11.3	基于 Wishbone 总线的 IP 核开发	201
11.3.1	Wishbone 总线功能模型	201
11.3.2	Wishbone 总线 IP 核开发基本框架	202
11.3.3	Wishbone 总线 IP 核仿真	203
11.3.4	Wishbone 总线 IP 核集成	204
11.3.5	Wishbone 总线 IP 核测试	204
11.4	构建基于 OR1200 的实用 SoC 系统	205
11.4.1	系统硬件框图	205
11.4.2	uart16550	206
11.4.3	flash 控制器	207
11.4.4	sdram 控制器	207
11.4.5	u-boot 移植	207
11.4.6	dm9000a 网络接口	207
11.4.7	Linux 移植	208
附录	rtl_to_gate 工具	210
参考文献		211

1.1 现代数字系统设计流程

专用集成电路(application-specific integrated circuit, ASIC)按实现方式,大体可分为全定制与半定制两种。全定制设计由设计者完成所有电路设计,高度灵活,由人工优化,一般可得到最优指标的电路,但开发成本高,研制周期长。半定制设计一般使用验证过的标准逻辑单元(standard cell)库,在综合(synthesis)工具辅助下,完成用户设计到标准单元的映射,快速实现系统。半定制设计一般又可细分为基于标准单元、基于门阵列与基于可编程器件三类。ASIC 分类如图 1-1 所示(部分资料分类方法略有差别)。

随着 EDA(electronic design automation)技术和工具的发展,现代数字系统的设计思想、设计工具和实现方式均发生了变化,已完成了由原理图输入向基于硬件描述语言(hardware description language, HDL)设计的转变,设计全程均有较完善的 EDA 工具支持,采用 FPGA(field-programmable gate array)实现系统(直接做产品或者原型系统)已成为现代数字系统设计的主流做法。

基于 FPGA 的现代数字系统设计基本流程如图 1-2 所示,详细说明参见 5.2 节 FPGA 开发流程。

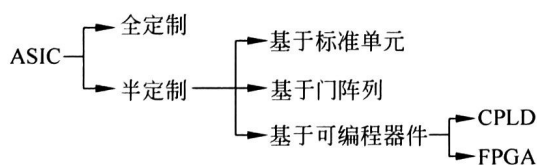


图 1-1 ASIC 实现方式分类

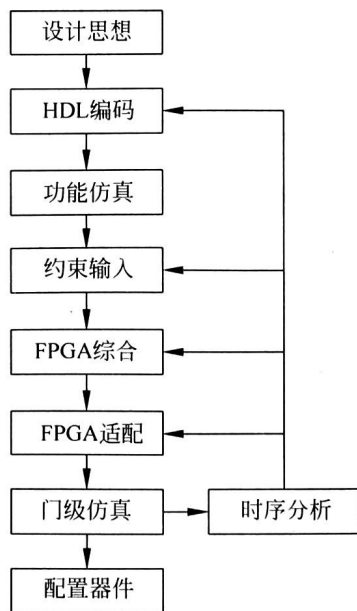


图 1-2 基于 FPGA 的现代数字系统设计基本流程

1.2 FPGA/CPLD 原理

大规模可编程逻辑器件主要分为 FPGA 与 CPLD 两类,对用户来讲,两者用法类似,但两者的基本实现原理不同,CPLD 基于乘积项 (product-term) 技术,FPGA 基于查找表 (look-up table,LUT) 技术。

1.2.1 乘积项技术原理

乘积项技术的基本原理是:任何组合逻辑均可表达为“最小项和”的形式,即“乘积项和”形式。“乘积项和”可以用规整的“与或阵列”(“与或平面”)实现。

如 $Y=(A+\bar{B})\cdot C$,可以转换表达为 $Y=A\cdot B\cdot C+A\cdot \bar{B}\cdot C+\bar{A}\cdot \bar{B}\cdot C$,对应的实现电路结构如图 1-3 所示。

图 1-3 中,“×”处代表连接关系,可采取熔丝等技术实现。实际的电路实现时,可采取“与”平面可编程,“或”平面固定;“与”平面固定,“或”平面可编程;“与”“或”平面均可编程等多种方式。

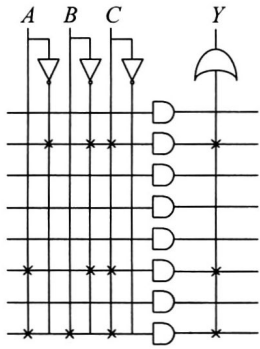


图 1-3 乘积项方法实现
组合逻辑示例

1.2.2 CPLD 原理

本节以 Altera MAX 3000A 器件为例介绍 CPLD 原理,其他 CPLD 器件原理类似。

MAX 3000A 主要由逻辑阵列块(logic array block,LAB)、宏单元(macrocell)、乘积项扩展结构[expander product terms (shareable and parallel)]、可编程互联阵列(PIA,programmable interconnect array)、I/O 控制块(I/O control blocks)构成,并具有 4 条全局控制信号线,可用于时钟、复位信号等,结构如图 1-4 所示。

每一个逻辑阵列块(LAB)包含 16 个宏单元(macrocell),逻辑阵列块(LAB)之间通过可编程互联阵列(PIA)互联。macrocell 是高度可配置的,可以用来实现组合逻辑与时序逻辑。macrocell 包括三个功能块:逻辑阵列、乘积项选择电路、可编程寄存器。MAX 3000A 器件的 macrocell 结构如图 1-5 所示。

组合逻辑是在逻辑阵列(图 1-5 左侧)中实现的,输出 5 个乘积项结果,由乘积项选择电路进行选择,并输出到后端寄存器实现时序逻辑或者通过旁路寄存器输出实现组合逻辑。乘积项扩展电路用于扩展功能,分为两类:①Shareable expander,用于反馈本级结果至逻辑阵列;②Parallel expander,用于级联邻近 macrocell。具体扩展原理请参考 Altera MAX 3000A 手册。

每个 I/O 控制块可配置为输入、输出、双向、三态端口,结构如图 1-6 所示。

传统的 CPLD 结构,在工艺尺寸缩小时难以同步缩小,无法做到高密度。Altera 的新一代 MAX 系列器件已转为基于查找表 LUT 实现,具体参见 Altera 白皮书“MAX II Logic Element to Macrocell Conversion Methodology”(http://www.altera.com.cn/literature/wp/wp_maxii_le.pdf)。

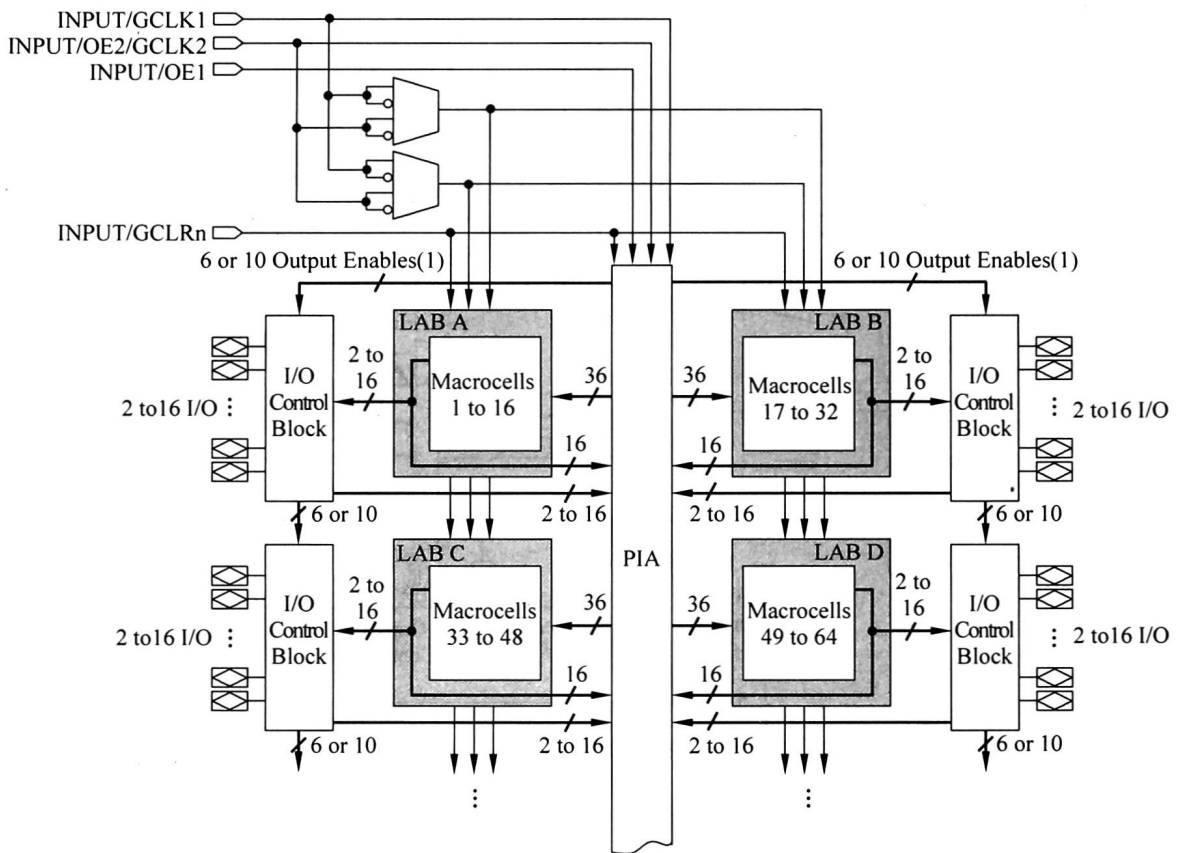


图 1-4 Altera MAX 3000A 结构框图

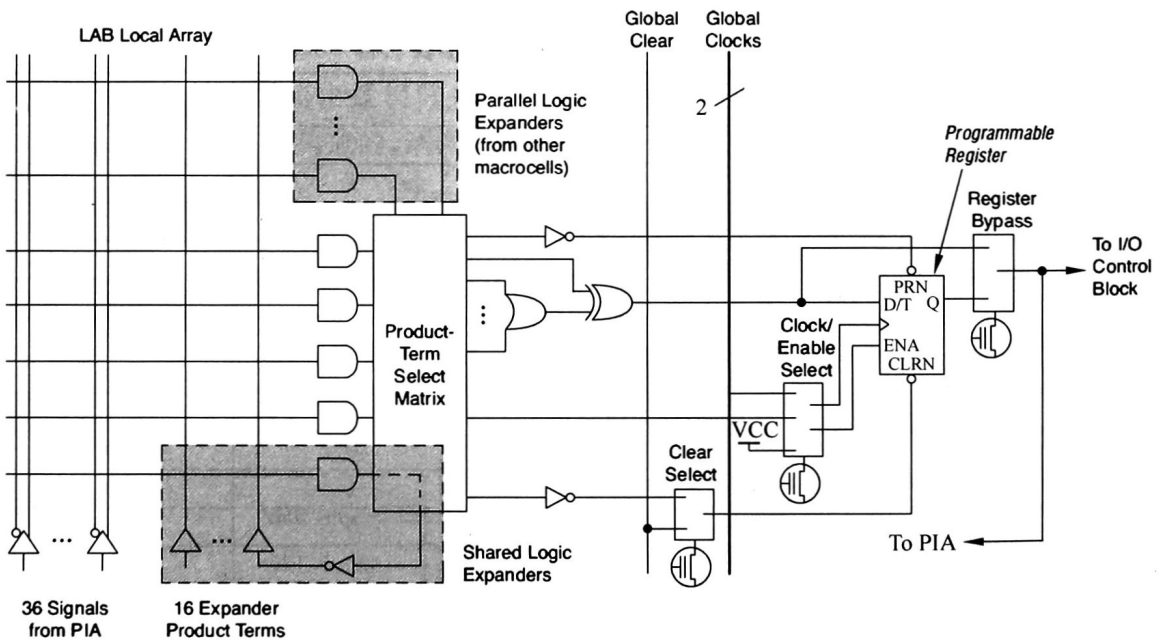


图 1-5 Altera MAX 3000A macrocell 结构

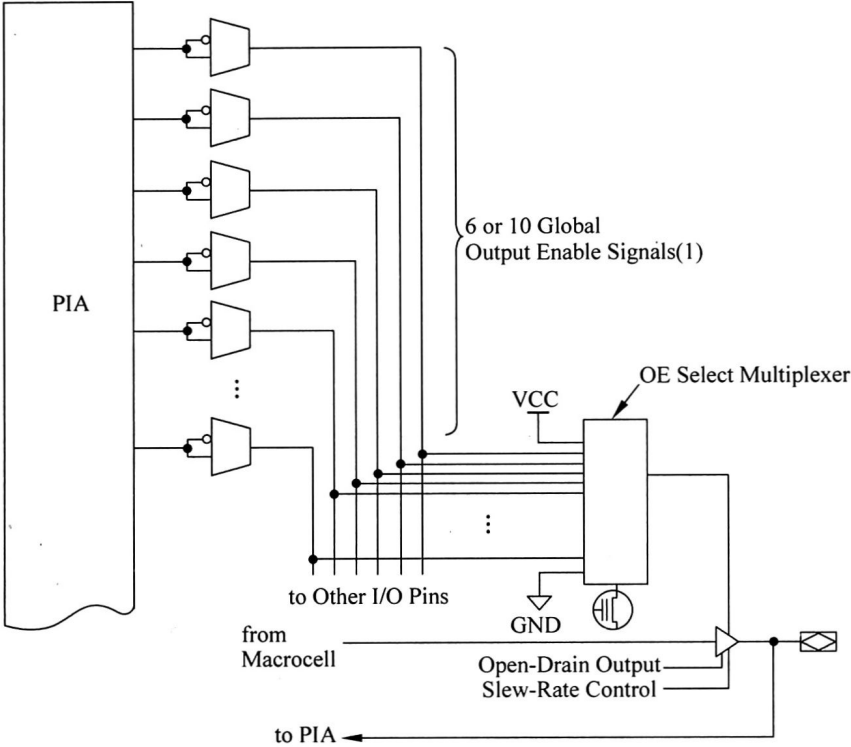


图 1-6 Altera MAX 3000A I/O 控制块结构

1.2.3 查找表技术原理

查找表技术采用 RAM 技术实现任意 N 输入的组合逻辑,以 4 输入查找表为例。如实现 $Y=\bar{B} \cdot C \cdot D+\bar{A} \cdot B \cdot (\bar{C} \cdot \bar{D}+C \cdot D)$,可以先得真值表,如表 1-1 所示。

表 1-1 4 输入组合逻辑真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0