

“电子信息材料与器件国家级实验教学示范中心”系列规划教材
教育部“卓越工程师教育培养计划”系列规划教材

微电子专业实验教材系列丛书

数字集成电路设计 实验教程

王忆文 杜 涛 谢小东 李 辉◎编著



科学出版社

“电子信息材料与器件国家级实验教学示范中心”系列规划教材
教育部“卓越工程师教育培养计划”系列教材
微电子专业实验教材系列丛书

数字集成电路设计实验教程

王忆文 杜涛 谢小东 李辉 编著

科学出版社

北 京

内 容 简 介

本书是作者结合自身多年教学经验和项目实践经验所编著的一本实验教程。作为一本实验教程,本书着重突出实用性和可操作性。也就是以一系列具有工程项目特点的试验为载体,结合实用的工具软件,详细介绍数字集成电路从前端设计到后端设计的一系列流程和方法。本书由简单到复杂、逐步深入、易学易懂,理论和实验密切结合,使读者能够较快掌握数字集成电路的设计方法。主要内容包括数字集成电路自顶向下(top-down)的设计流程,仿真软件 ModelSim、FPGA 开发软件 ISE、调试利器 ChipScope Pro、逻辑综合软件 Design Compiler 以及后端设计软件 Astro 的使用,基本逻辑门电路、分频器、状态机、按键防抖电路、数码管扫描显示电路基础性实验,乐曲演奏电路、数字时钟电路、交通信号灯、基于 I²C 接口的存储器读写访问、VGA、MIPS 微处理器综合性实验。本书在每章后面还安排了相应的习题,便于读者检验学习的效果。

本书可作为集成电路设计相关专业的本科生或硕士研究生在学习“数字集成电路设计”理论课程的配套实验教材,也可作为单独的实验教程来使用,还可供相关领域的工程师参考。

图书在版编目(CIP)数据

数字集成电路设计实验教程/王兆文等编著. —北京:科学出版社,2015.5
电子信息材料工程国家级实验教学示范中心系列规划教材
ISBN 978-7-03-044269-7

I. ①数… II. ①王… III. ①数字集成电路-实验-高等学校-教材
IV. ①TN431.2-33

中国版本图书馆CIP数据核字 (2015) 第097202号

责任编辑:杨 岭 黄明冀 / 责任校对:杨悦蕾 黄明冀

责任印制:余少力 / 封面设计:墨创文化

科学出版社出版

北京东黄城根北街16号

邮政编码:100717

<http://www.sciencep.com>

成都创新包装印刷厂印刷

科学出版社发行 各地新华书店经销

*

2015年6月第 一 版 开本:B5 (720×1000)

2015年6月第一次印刷 印张:15 1/4

字数:310千字

定价:34.00元

出版说明

——微电子专业实验教材系列丛书简介

微电子技术是新一代信息技术的基础与支撑，是信息存储、处理与执行控制的核心技术，它伴随着国民经济和社会信息化进程，渗透到主流行业的方方面面，成为带动整个国民经济增长的战略性要素。因此，国家对以集成电路为代表的微电子产业发展给予了前所未有的重视。2014年，国务院印发了《国家集成电路产业发展推进纲要》，推出了一系列针对集成电路产业发展的政策和规划，对集成电路技术与产业发展以及微电子人才培养提出了新的布局和要求。

微电子专业作为一门专业性和应用性很强的学科，除了需要理论课程的支撑外，完备的实验教学也是必不可少的，特别是在“卓越工程师教育培养计划”中，动手能力更是教学中的重中之重。但是，我们通过调研，了解到国内尚没有微电子专业的系列实验教材，为此，出版一套微电子专业的系列实验教材将会是一件非常有意义的事情。

本系列实验教材以微电子专业的理论课程设置为依据，并综合考虑微电子产业的流程，划分了4本分册，包括《半导体物理与器件实验教程》《数字集成电路设计实验教程》《模拟集成电路设计实验教程》和《微电子制造技术实验教程》。微电子以及相关专业的学生可以根据学习阶段来选择配套的实验教程。

本系列实验教材的编委由电子科技大学微电子与固体电子学院的骨干教师组成。该学院成立于电子科技大学建校之时，经过半个多世纪的发展，在微电子专业领域积累了雄厚的实力，不仅在科研方面取得了诸多成果，在教书育人方面，也建立起了一支优秀的教师队伍。同时，在建设“电子信息材料与器件国家级实验教学示范中心”过程中，始终坚持以学科方向为主线，注重学科交叉和互补。依托国家重点学科，跨专业整合资源，打造电子信息领域的“材料制备-器件与电路设计-工艺制作-系统应用”综合性实验平台，并取得了丰富的实验教学成果。这一切都为本系列实验教材的编写打下了良好的基础。我们相信，本系列实验教程的出版会填补国内微电子专业系列实验教材的空白，为我国微电子技术的教育事业做出贡献。

《微电子专业实验教材系列丛书》编委会

主 编	张怀武			
副主编	于 奇	李 平	王忆文	
编 委	(以姓氏笔画为序)			
	王 刚	王 靖	王向展	王姝娅
	任 敏	刘 诺	杜江峰	杜 涛
	李 辉	张国俊	罗小蓉	钟志亲
	谢小东	蒋书文	戴丽萍	

前 言

众所周知,计算机、消费电子、网络通信(通常称为“3C”)极大地促进了集成电路技术的发展,集成电路产业已经成为国民经济发展中基础性、战略性和先导性的产业,发达国家都在这一领域投入大量资源,力争抢占这一战略制高点,我国在“十三五”规划中也把发展集成电路产业列为重中之重。

1947年,第一只晶体管在贝尔实验室诞生,时光荏苒,如今集成电路已经进入片上系统(system on chip, SoC)时代,一块 SoC 芯片就可以集成上亿个晶体管,从而构成一个系统。如何在满足产品上市时间(time to market)和无瑕疵(bug free)的条件下设计完成如此复杂的集成电路,给设计人员带来极大的挑战。

SoC 中通常包含处理器、存储器、总线和各种 I/O 等模块,其中绝大多数模块为数字电路。而随着电子设计自动化(electronic design automation, EDA)技术的发展,数字集成电路的设计进入了一个前所未有的时代,可以通过一系列的工具软件完成我们通常所说的“前端设计”和“后端设计”,完成指标确定、算法设计、代码设计、代码验证、逻辑综合、静态时序分析、物理设计、后仿真等一系列的流程。

在多年的教学和科研中,我们一直思考如何使学生尽快掌握数字集成电路乃至 SoC 的设计方法。因为掌握了这些 EDA 的工具和流程,学生在进入工作岗位后就能很快“上手”。我们觉得有三个关键的地方应该着重培养。第一要有系统的概念,要了解和掌握要实现的系统的功能、性能、协议、算法等,这些需要长时间的学习和积累,是设计 SoC 的“灵魂”;第二需要熟练掌握一些标准模块的设计,这些是完成一个系统设计的“积木”,是数字集成电路设计的基本功;第三需要熟练掌握数字集成电路设计的流程,掌握 EDA 工具软件的使用,这些是数字集成电路设计的“帮手”和“利器”,可以提高工作效率,达到事半功倍的效果。

为了达到以上三个培养目标,最好的教学方法就是让学生亲身实践。为此,我们编撰了本实验教程,使学生能按照系列实验,逐步提升水平,掌握技能。

为此,本书编排如下内容:

第1章,重点介绍 EDA 采用自顶向下(top-down)的设计方法,该方法对底层单元选取更加灵活,有利于发挥设计人员的创造性,有利于形成自主知识产权的芯片产品。本章首先介绍 EDA 主要设计流程,然后针对 FPGA 和 ASIC 设计方法的不同,分别介绍 FPGA 和 ASIC 的主要设计流程。

第2章,“工欲善其事,必先利其器”,EDA软件的熟练使用是学习数字电路设计的利器。本书按照数字集成电路的设计流程分别介绍 ModelSim、ISE、ChipScop Pro、Design Compiler、Astro 等常用的 EDA 工具软件。

第3章,基础性实验单元模块电路,具有很强的典型性。它们是复杂电路的基本组成部分,深入理解这些基础性电路可以为复杂数字电路的设计打下良好基础。本章分梯度地设置了基本逻辑门电路、分频器、状态机、按键防抖电路、数码管扫描显示电路基础性实验。

第4章,综合性实验是基础性实验的“组合”,是基础性实验的拓展、延伸和深化,综合性实验能实现某方面的功能。综合性实验的深入理解有助于提高读者的综合设计能力。本章递进式地设置了乐曲演奏电路、数字时钟电路、交通信号灯、基于 I²C 接口的存储器读写访问、VGA、MIPS 微处理器综合实验。基础性和综合性实验是典型的前端过程,要能正确可靠地流片得到芯片(chip),还必须经过后端过程。由于篇幅所限,对于后端设计流程,本书仅在第2章的 Astro 软件使用中详细介绍了后端设计流程,并没有再举其他实验例子,读者完全可以根据该例程完成后端设计。

为了使学生能尽快完成实验,本书对每个实验都给出了相应的参考设计代码,这样一方面可以使学生尽快动手实验,另一方面学生也可以与自己设计的代码进行比较,找出差距,相互借鉴,利于提高。本书的代码统一采用 VHDL 设计,所以在使用本教材之前,希望学生能够首先掌握 VHDL。

本书每章之后配有一定的习题,期望能开阔学生的思路,激发学生的兴趣。

本书是一本实验教程,更是实践教程,其设计实例丰富,具有很强的实用性。当然,IC 设计涉及诸多方面,IC 设计实验不可能全方位详细介绍,需要读者多动手实践,在实践中练习,在练习中提高。

本书在编写过程中引用了许多学者的著作,这里向他们表示衷心的感谢。在本书的统编工作中,曾荣周博士做了大量的艰苦工作,在此表示感谢。

由于作者水平有限,书中不妥之处在所难免,敬请读者批评指正。

作 者

2015 年 3 月

目 录

第 1 章 数字集成电路的设计流程	1
第 2 章 EDA 软件使用指南	6
2.1 仿真软件——ModelSim	6
2.1.1 基于 ModelSim 的仿真流程	6
2.1.2 仿真设计	7
2.2 FPGA 开发软件——ISE	12
2.2.1 启动 ISE 软件	12
2.2.2 创建项目工程	13
2.2.3 添加设计的约束文件	15
2.2.4 逻辑综合	17
2.2.5 FPGA 设计实现	19
2.2.6 编程下载 FPGA	20
2.3 调试利器——ChipScope Pro	28
2.3.1 ChipScope Pro 工作原理	28
2.3.2 ChipScope Pro 开发实例	28
2.4 逻辑综合软件——Design Compiler	38
2.4.1 启动 DesignCompiler 综合器	39
2.4.2 逻辑单元库加载	40
2.4.3 用户设计源文件的加载与分析	41
2.4.4 顶层设计文件设置	44
2.4.5 时序约束	45
2.4.6 综合及优化	46
2.4.7 综合结果导出	48
2.5 后端设计软件——Astro	50
2.5.1 数据准备(data preparation)	51
2.5.2 设计建立(design setup)	52
2.5.3 布局规划(floorplan)	57
2.5.4 时序设置(timing setup)	63
2.5.5 布局(placement)	67
2.5.6 时钟树综合(clock tree synthesis)	72

2.5.7	布线	75
2.5.8	可制造性设计(design for manufacturing)	82
2.5.9	数据导出(data export)	88
第3章	基础性实验	94
3.1	基本逻辑门电路实验	94
3.1.1	实验目的	94
3.1.2	实验原理	94
3.1.3	实验工具	94
3.1.4	实验步骤	95
3.1.5	VHDL 参考源代码	95
3.2	分频器实验	96
3.2.1	实验目的	96
3.2.2	实验原理	96
3.2.3	实验工具	97
3.2.4	实验步骤	97
3.2.5	VHDL 参考源代码	97
3.3	状态机控制流水灯实验	99
3.3.1	实验目的	99
3.3.2	实验原理	99
3.3.3	实验工具	99
3.3.4	实验步骤	99
3.3.5	VHDL 参考源代码	100
3.4	按键防抖电路实验	103
3.4.1	实验目的	103
3.4.2	实验原理	104
3.4.3	实验工具	105
3.4.4	实验步骤	105
3.4.5	VHDL 参考源代码	106
3.5	数码管扫描显示电路实验	107
3.5.1	实验目的	107
3.5.2	实验原理	108
3.5.3	实验工具	109
3.5.4	实验步骤	109
3.5.5	VHDL 参考源代码	109
第4章	综合性实验	113
4.1	乐曲演奏电路实验	113

4.1.1	实验目的	113
4.1.2	实验原理	113
4.1.3	实验工具	116
4.1.4	实验步骤	117
4.1.5	VHDL 参考源代码	122
4.2	数字时钟电路实验	126
4.2.1	实验目的	126
4.2.2	实验原理	126
4.2.3	实验工具	127
4.2.4	实验步骤	127
4.2.5	VHDL 参考源代码	128
4.3	交通信号灯实验	145
4.3.1	实验目的	145
4.3.2	实验原理	145
4.3.3	实验工具	146
4.3.4	实验步骤	146
4.3.5	VHDL 参考源代码	146
4.4	基于 I ² C 接口的存储器读写访问综合实验	153
4.4.1	实验目的	153
4.4.2	实验原理	153
4.4.3	实验工具	158
4.4.4	实验步骤	158
4.4.5	VHDL 参考源代码	158
4.5	VGA 综合实验	188
4.5.1	实验目的	188
4.5.2	实验原理	188
4.5.3	实验工具	192
4.5.4	实验步骤	192
4.5.5	VHDL 参考源代码	192
4.6	MIPS 综合实验	196
4.6.1	实验目的	196
4.6.2	实验原理	196
4.6.3	实验工具	212
4.6.4	实验步骤	212
4.6.5	VHDL 参考代码	212
主要参考文献		231

第 1 章 数字集成电路的设计流程

集成电路(integrated circuit, IC)是微电子技术发展的一个标志性成果,集成电路的发展经历了小规模(SSI)、中规模(MSI)、大规模(LSI)、超大规模(VLSI)阶段,一直发展到目前的 SoC,已经可以在单一芯片中集成中央处理器(CPU)、数字信息处理器(DSP)、接口、锁相环(PLL)、模拟数字转换器(ADC)等越来越多的模块。同时,集成电路设计与加工的特征尺寸也达到十几纳米的水平。集成电路的高性能、高复杂性要求,给设计带来了挑战,同时也极大地促进了 EDA 的迅猛发展,尤其对于数字集成电路,其规模甚至达到单片几亿个晶体管,如果不依赖于 EDA 技术,其工作量是难以想象的。

电子设计自动化技术针对传统的自底向上(bottom-up)的设计方法提出了自顶向下(top-down)的设计方法。自顶向下的设计过程是从系统硬件的高层次抽象描述向底层物理描述的一系列转换过程。自顶向下的设计对底层单元的选取更加灵活,有利于更好地发挥设计人员的创造性,从而形成具有自主知识产权的芯片产品。自顶向下的设计流程如图 1.1 所示。

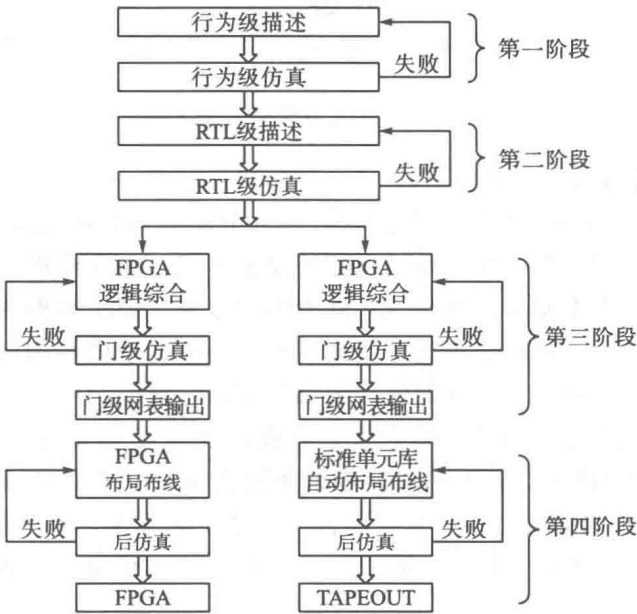


图 1.1 自顶向下设计流程

自顶向下的设计由功能级、行为级描述开始；寄存器传输(RTL)级描述为第一个中间结果；再将 RTL 级描述由逻辑综合得到网表(net-list)或电路图；利用 EDA 工具将网表自动转换成目标文件下载到现场可编程门阵列(field programmable gate array, FPGA)/复杂可编程逻辑器件(complex programmable logic device, CPLD)或通过自动布局布线设计成专用集成电路(application specification integrated circuit, ASIC)，从而得到电路与系统的物理实现。

在设计过程中，FPGA 开发设计流程与 ASIC 设计流程有很大的差异。

FPGA 的设计流程是利用 EDA 开发软件对 FPGA 芯片进行开发的过程。FPGA 的设计流程主要包括电路设计输入、功能仿真、综合、综合后仿真、布局布线、布线后仿真以及芯片编程与调试等步骤。FPGA 开发的主要流程如图 1.2 所示。

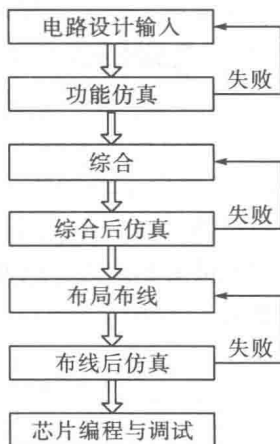


图 1.2 FPGA 开发的主要流程

以下对各步骤进行简要介绍：

(1) 电路设计输入。常用的电路设计输入方法有硬件描述语言(HDL)和原理图输入等。原理图输入是一种最直接的描述方式，在可编程芯片发展的早期应用比较广泛，它将所需的器件从元件库中调出来，画出原理图。这种方法虽然直观并易于仿真，但效率很低，且不易维护，不利于模块构造和重用，可移植性差，当芯片升级后，所有的原理图都需要做一定的改动。目前，在实际开发中应用最广泛的就是 HDL 输入法，它利用文本描述设计，其主流语言是 Verilog HDL 和 VHDL。这两种语言都是美国电气与电子工程师协会(IEEE)的标准 HDL，其共同的突出特点有：语言与芯片工艺无关，利于自顶向下设计，便于模块的划分，可移植性好，具有很强的逻辑描述和仿真功能，而且输入效率很高。

(2) 功能仿真。功能仿真，也称为前仿真，是在编译之前对用户所设计的电路进行逻辑功能验证，此时的仿真没有延迟信息，仅对初步的功能进行检测。仿

真前,要先利用波形编辑器和 HDL 等建立波形文件和测试向量,仿真结果将会生成报告文件并输出信号波形,从中便可以观察各个节点信号的变化。如果发现错误,则返回修改逻辑设计。常用的工具有 Model Tech 公司的 ModelSim、Synopsys 公司的 VCS 和 Cadence 公司的 NC-Verilog 以及 NC-VHDL 等软件。

(3)综合。所谓综合就是将较高级抽象层次的描述转化成较低层次的描述。综合优化根据目标与要求优化所生成的逻辑连接,使层次设计平面化,供 FPGA 布局布线软件进行实现。即将设计输入编译成由与门、或门、非门、RAM、触发器等基本逻辑单元组成的逻辑连接网表。常用的综合工具有 Synopsys(原 Synplify 公司)公司的 Synplify/Synplify Pro 软件以及各个 FPGA 厂家自己推出的综合开发工具。

(4)综合后仿真。综合后仿真检查综合结果是否和原设计一致。在仿真时,把综合生成的标准延时文件反标注到综合仿真模型中,可估计网表中门延时带来的影响。但由于没有布线信息,这一步骤不能估计线延时,所以与布线后的实际情况还有一定的差距,并不十分准确。

(5)布局布线。布局布线即实现,是将综合生成的逻辑网表配置到具体的 FPGA 芯片上,布局布线是其中最重要的过程。布局将逻辑网表中的底层单元合理地配置到 FPGA 芯片内部的固有硬件结构上。布线则根据布局的拓扑结构,利用芯片内部的各种连线资源,合理正确地连接各个元件。布线结束后,软件工具会自动生成报告,提供有关设计中各部分资源的使用情况。基于对自身芯片知识产权的考虑,布局布线工具一般由各 FPGA 芯片生产商自主提供。

(6)布线后仿真。布线后仿真也称为后仿真,是指将布局布线的延时信息反标注到设计网表中,对设计的电路进行验证。后仿真包含的时序信息最完整,能较好地反映芯片的实际工作情况。

(7)芯片编程与调试。设计的最后一步就是芯片编程与调试。芯片编程是指产生使用的数据文件(位流文件, bitstream),然后将编程数据下载到 FPGA 芯片中。逻辑分析仪是 FPGA 设计的主要调试工具,但需要引出大量的测试引脚,且价格昂贵。目前,主流的 FPGA 芯片生产商都提供了内嵌的在线逻辑分析仪(如 Xilinx ISE 中的 ChipScope、Altera QuartusII 中的 Signal TapII 以及 Signal Prob)来解决上述矛盾,它们只需要占用芯片少量的逻辑资源,具有很高的实用价值。

ASIC 的设计可以粗略地分为设计输入、逻辑综合、仿真、布局(placement)、布线(rounting)、版图后仿真、检查验证等步骤。利用商业化工具以及预先设计好的标准单元库、宏单元库已经使 ASIC 设计成为速度最快、成本最低而且错误最少的一种 IC 设计方法,因而 ASIC 设计方法已迅速在工业界的各个领域得到推广。ASIC 的设计流程如图 1.3 所示。

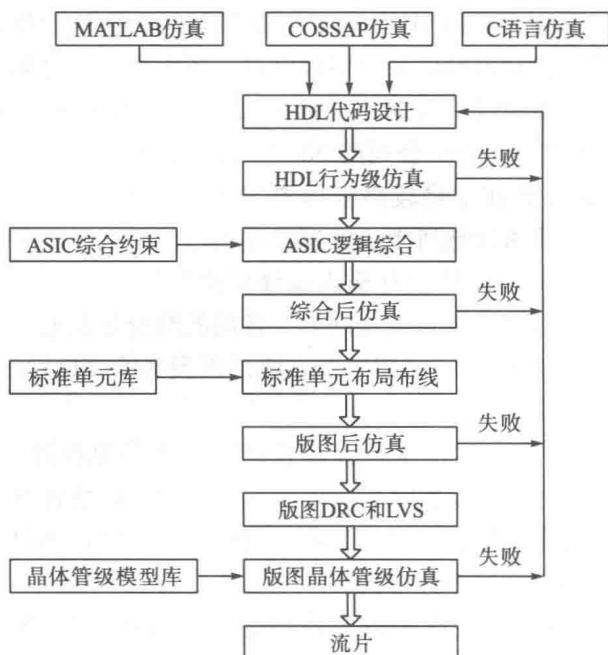


图 1.3 ASIC 设计流程

当 HDL 的行为级仿真通过之后,就可以进行 ASIC 逻辑综合了。所谓 ASIC 逻辑综合是指在工艺库的基础上通过映射和优化过程,把设计的 RTL 级描述转换成与工艺密切相关的门级网表。在综合过程中,设计者可以根据自己的需要加入时序约束或驱动负载约束等,使综合结果合乎设计的要求。在 ASIC 逻辑综合上,Cadence 公司的 AMBIT Build Gates 和 Synopsys 公司的 Design Compiler 都是经过无数验证,切实可用的工具。综合结束后为了及早地发现错误、排除错误,可以进行门级估算时序仿真,如果结果有错误就可以马上回到代码设计纠正错误,直到仿真结果符合要求。

接下来流程转入版图设计,在 EDA 工具环境下,可以将综合生成的网表读入并与工艺物理信息库及时序库配合,进行整个芯片的布局布线。布局布线走通后,可得到一个初步的版图。为了验证实际布线后寄生效应对设计的影响是否会导致时序出错,必须进行版图后仿真,仿真的方法与综合后仿真相同。另外,版图必须在随后的 DRC、LVS 中进行验证,以确保版图不违背设计规则、无电气错误。此外,在版图设计完成后,还可以进行更为准确的晶体管级的功能仿真,以此确保芯片设计的正确性。当然以上流程往往不是跑一遍就能够完全达到功能、时序等条件的要求,一般都需要经过多次的迭代和优化才能最终达到时序等条件的“收敛”。本章仅仅是对 FPGA 和 ASIC 设计的流程做了大致的介绍,后面的实验教程有更为详细的介绍和讲解。

习 题

- (1) top-down 设计方法主要包括哪几个阶段？分别是什么内容？
- (2) FPGA 开发的主要流程有哪些？
- (3) ASIC 设计流程包括哪些？
- (4) FPGA 开发的主要流程与 ASIC 设计流程有哪些区别？
- (5) FPGA 的主要厂商有哪些？各自使用的 EDA 软件是什么？

第 2 章 EDA 软件使用指南

“工欲善其事，必先利其器”，EDA 软件的熟练使用是学习数字集成电路设计的基础。本章详细介绍 ModelSim 仿真软件、FPGA 开发软件 ISE、调试利器 Chipscope Pro、逻辑综合软件(design compiler)和后端设计软件(Astro)的使用。

2.1 仿真软件——ModelSim

ModelSim 是 Mentor 公司推出的优秀的 HDL 仿真软件，它功能强大，提供友好的仿真环境，支持 VHDL 和 Verilog 混合仿真，具有速度快、精度高和便于操作的特点。它还具有代码分析能力，可以看出不同代码段消耗的资源情况。

2.1.1 基于 ModelSim 的仿真流程

使用 ModelSim 进行仿真的流程如图 2.1 所示。

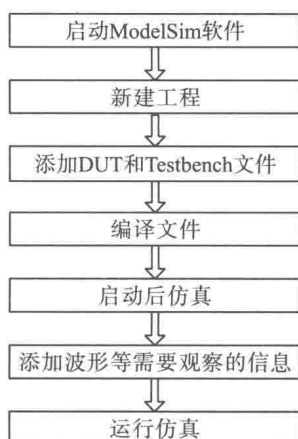


图 2.1 ModelSim 仿真流程

2.1.2 仿真设计

1. 创建工程

正确安装 ModelSim 软件工具之后，启动 ModelSim 软件。如图 2.2 所示，执行 File→New→Project 命令启动项目工程的创建。

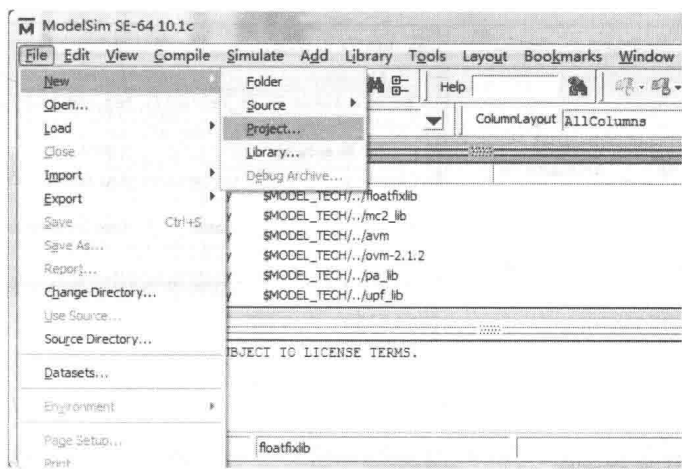


图 2.2 新建工程

2. 指定工程路径与命名

如图 2.3 所示，指定 Project 路径，给 Project 命名，单击 OK 按钮后，出现如图 2.4 所示的 Add items to the Project 对话框。

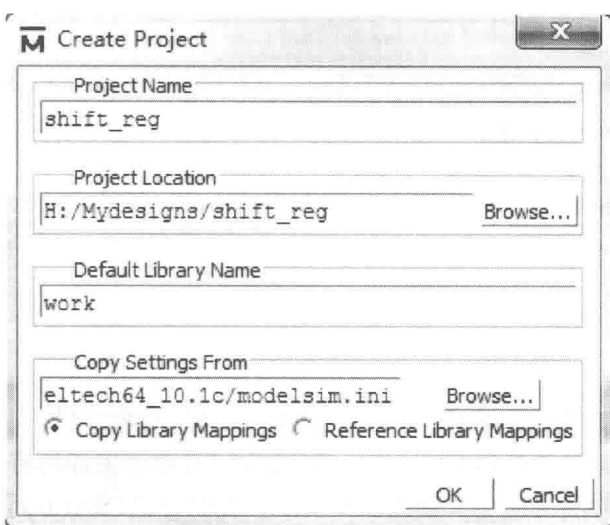


图 2.3 建立工程并命名