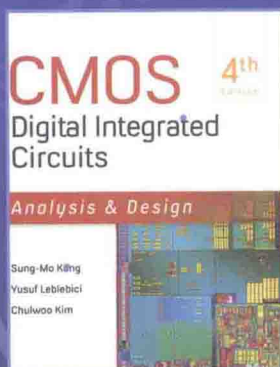


国外电子与通信教材系列

CMOS 数字集成电路

——分析与设计 (第四版)

CMOS Digital Integrated Circuits
Analysis and Design, Fourth Edition



[美] Sung-Mo Kang
[瑞士] Yusuf Leblebici 著
[韩] Chulwoo Kim

王志功 窦建华 等译



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

国外电子与通信教材系列

CMOS数字集成电路

——分析与设计

(第四版)

CMOS Digital Integrated Circuits

Analysis and Design

Fourth Edition

[美] Sung-Mo Kang
[瑞士] Yusuf Leblebici 著
[韩] Chulwoo Kim

电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

全书详细讲述了 CMOS 数字集成电路的相关内容, 在第三版的基础上增加了新的内容和章节, 提供了反映现代技术发展水平和电路设计的最新资料。全书共 15 章。第 1 章至第 8 章详细讨论 MOS 晶体管的相关特性和工作原理、基本反相器电路设计、组合逻辑电路及时序逻辑电路的结构与工作原理; 第 9 章至第 13 章主要介绍应用于先进 VLSI 芯片设计的动态逻辑电路、先进的半导体存储电路、低功耗 CMOS 逻辑电路、数字运算和转换电路、芯片的 I/O 设计; 第 14 章和第 15 章分别讨论电路的可制造性设计和可测试性设计这两个重要问题。

本书是现代数字集成电路设计的理想教材和参考书, 可供与集成电路设计领域有关的各电类专业本科生和研究生使用, 也可供从事集成电路设计、数字系统设计和 VLSI 设计等领域的工程师参考。

Sung-Mo Kang, Yusuf Leblebici, Chulwoo Kim.

CMOS Digital Integrated Circuits: Analysis and Design, Fourth Edition.

ISBN: 978-0-07-338062-9

Copyright ©2015 by McGraw-Hill Education.

All Rights reserved. No part of this publication may be reproduced or transmitted in any form or by any means, electronic or mechanical, including without limitation photocopying, recording, taping, or any database, information or retrieval system, without the prior written permission of the publisher.

This authorized Chinese Simplified translation edition is jointly published by McGraw-Hill Education and Publishing House of Electronics Industry. This edition is authorized for sale in China Mainland.

Copyright ©2015 by McGraw-Hill Education and Publishing House of Electronics Industry.

版权所有。未经出版人事先书面许可, 对本出版物的任何部分不得以任何方式或途径复制或传播, 包括但不限于复印、录制、录音, 或通过任何数据库、信息或可检索的系统。

本授权中文简体字翻译版由麦格劳-希尔(亚洲)教育出版公司和电子工业出版社合作出版。此版本经授权仅限在中国大陆销售。

版权©2015 由麦格劳-希尔(亚洲)教育出版公司与电子工业出版社所有。

本书封面贴有 McGraw-Hill Education 公司防伪标签, 无标签者不得销售。

版权贸易合同登记号 图字: 01-2014-7298

图书在版编目(CIP)数据

CMOS 数字集成电路: 分析与设计: 第 4 版 / (美) 康松默等著; 王志功等译.

北京: 电子工业出版社, 2015.4

(国外电子与通信教材系列)

书名原文: CMOS Digital Integrated Circuits: Analysis and Design, Fourth Edition

ISBN 978-7-121-24987-7

I. ①C… II. ①康… ②王… III. ①CMOS 电路—电路分析—高等学校—教材 ②CMOS 电路—电路设计—高等学校—教材 IV. ①TN432

中国版本图书馆 CIP 数据核字(2014)第 278986 号

策划编辑: 杨 博

责任编辑: 杨 博

印 刷: 三河市华成印务有限公司

装 订: 三河市华成印务有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 30.25 字数: 787 千字 彩插: 4

版 次: 2004 年 11 月第 1 版(原著第 3 版)

2015 年 4 月第 2 版(原著第 4 版)

印 次: 2015 年 4 月第 1 次印刷

定 价: 79.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010)88254888。

质量投诉请发邮件至 zltts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010)88258888。

译者序

CMOS Digital Integrated Circuits: Analysis and Design, 即《CMOS 数字集成电路——分析与设计》一书是现任韩国科学技术院院长的 Sung-Mo “Steve” Kang 教授和瑞士联邦理工学院的 Yusef Leblebici 教授编著的一本讨论 CMOS 逻辑电路的教材。该书于 1995 年首版, 1998 年、2002 年、2013 年分别出版了第二版、第三版和第四版, 在美国被多所大学选为教材。

我们受电子工业出版社的委托, 在 2004 年对该书的 2002 年版(即第三版)进行了翻译, 意在为我国正在蓬勃兴起的集成电路设计人才培养提供可直接使用的教材, 或为采用该原版教材进行双语教学的师生提供对照阅读的中文版本。经过近几年多所大学的使用, 对此书反映普遍较好, 为集成电路设计人才的培养发挥了一定的作用。所以, 今年又对此书的第四版进行了翻译, 以满足更多读者的需求。

在第四版的翻译过程中, 合肥工业大学的潘敏、于红光老师都对该书做出了贡献, 王翔宇、赵亦濛、陈强云、杨茜、刘国树等也参与了部分章节的翻译工作, 在此对他们表示感谢。

鉴于时间紧迫, 译者水平有限, 译文中难免有错误之处, 敬请读者批评指正。

译者

2014 年 10 月

作者简介

Sung-Mo (Steve) Kang (康松默) 于美国加州大学伯克利分校电机工程系取得博士学位，主要研究全定制 CMOS VLSI 芯片的发展。在美国新泽西州默里山 AT&T 贝尔实验室，他研究出了世界上第一个 32 位全 CMOS 微处理器及外围芯片。他曾在美国伊利诺伊大学厄巴纳-香槟分校、美国加州大学圣克鲁兹分校、美国加州大学默塞德分校以及韩国科学技术院(位于韩国大田)教授数字集成电路课程。他还在全世界一些主要的会议和大学中，就 CMOS 数字电路、可靠性，以及电脑辅助 VLSI 电路和系统的设计等问题，发表特约演讲及担任特邀讲师。

Kang 教授是 IEEE、ACM 及 AAAS 会员。曾获诸多奖项，包括 IEEE Millennium 奖、IEEE 研究生教育技术领域奖、IEEE 电路与系统协会 M.E. Van Valkenburg 奖、IEEE 电路与系统协会技术成就奖、SRC 卓越技术奖及 Chang-Lin Tien 教育领导奖。他曾在美国伊利诺伊大学厄巴纳-香槟分校任系主任，美国加州大学圣克鲁兹分校任工程系主任，美国加州大学默塞德分校担任名誉校长，现在在韩国科学技术院担任院长。

Yusuf Leblebici 于美国伊利诺伊大学厄巴纳-香槟分校电气和计算机工程系取得博士学位，是美国伊利诺伊大学厄巴纳-香槟分校的客座副教授，土耳其伊斯坦布尔科技大学电气和电子工程系的副教授，美国伍斯特理工学院电气和计算机工程系的副教授。曾担任土耳其萨班哲大学微电子项目的协调人。目前，他是瑞士联邦理工学院的全职(主)教授，并兼任微电子系统实验室主任。主要研究高性能 CMOS 数字及混合信号的集成电路设计，VLSI 系统的计算机辅助设计，智能传感器接口，半导体器件的建模与仿真，以及 VLSI 可靠性分析。他是 IEEE 会士，获北大西洋公约组织科学研究会奖，土耳其科学技术委员会年轻科学家奖，美国伍斯特理工学院 Joseph Samuel Satin 杰出人物奖。曾被选为 IEEE 电路与系统协会 2010—2011 年度杰出演讲人。

Chulwoo Kim 于韩国高丽大学电子工程系取得理科学士学位和硕士学位，于美国伊利诺伊大学厄巴纳-香槟分校电气和计算机工程系取得博士学位。1999 年，曾在美国加利福尼亚州圣克拉拉的英特尔公司设计工艺部门进行暑假实习；2001 年 5 月，加入位于得克萨斯州奥斯汀的 IBM 微电子部，研究单元处理器设计；2002 年 9 月，加入韩国高丽大学电子和计算机工程系，现成为该系教授。曾任美国加州大学洛杉矶分校和美国加州大学圣克鲁兹分校的客座教授。目前研究有线线路收发器、存储器、功率管理及转换器。

Kim 教授曾获三星人机工程论文比赛铜奖，ISLPED 低功率设计比赛奖，DAC 学生设计比赛奖，SRC 发明家奖，韩国科学技术部青年科学家奖，Seokto 优秀教师奖，ASP-DAC 最佳设计奖。现任 IEEE VLSI 系统交流会编委会委员及 IEEE 固体电路国际会议科技项目委员会成员。

前 言

互补金属氧化物半导体(CMOS)数字集成电路是当今信息时代的一种领先技术。由于具有低功耗、大噪声容限以及易于设计等固有的特点, CMOS 集成电路在开发研制随机存储器(RAM)、微处理器、数字信号处理(DSP)和专用集成电路(ASIC)芯片方面得到了广泛的应用。随着在移动计算平台、可穿戴设备、智能手机和多媒体系统等芯片开发方面对于低功耗、低噪声电子系统日益增长的需求, CMOS 电路的广泛应用将持续增长。

CMOS 集成电路涉及的领域非常广泛, 通常分为数字 CMOS 电路和模拟 CMOS 电路两类。本书将集中讨论 CMOS 数字集成电路。然而需要指出的是: 随着纳米制作工艺、极低的工作电压和吉赫兹(GHz)级工作频率带来的挑战, 经典的数字 CMOS 电路设计与模拟 CMOS 电路设计的界限已渐趋模糊。因此, 作者将试图从“模拟”的角度来分析和设计数字 CMOS 电路, 例如用器件和电路的模拟及连续特性来实现数字化功能。

作者在 20 世纪 90 年代初期即计划撰写本书, 当时两位主要作者正在从事本科及研究生的数字集成电路基础教学。在美国伊利诺伊大学厄巴纳-香槟分校任教期间, 在高年级工程技术选修课(即 ECE382——大规模集成电路设计)教学中作者曾尝试选用已有的教材, 然而老师和同学们一致反映需要一本深入讨论 CMOS 逻辑电路的全新教材, 因此作者通过整理多年的课堂讲义开始编撰本书。从 1993 年起, 作者在美国伊利诺伊大学厄巴纳-香槟分校、土耳其伊斯坦布尔科技大学、美国伍斯特理工学院、瑞士联邦工学院使用了这些新版的讲义。从广大同学、同行及审阅者的好评中, 我们得到了极大的肯定和鼓舞。于 1995 年底出版了《CMOS 数字集成电路——分析与设计》的第一版。

在第一版出版后不久, 使用本书的众多师生提出了许多建设性的意见, 作者迫切感到本书有待修订。作者对低功耗电路的设计、高速电路设计中的互连线问题、深亚微米电路设计等问题进行了修改和补充, 并针对存储电路的新发展提供了众多更为精确有效的处理方法。在 CMOS 数字电路这个发展异常迅速的领域中, 一本教科书只有通过不断修订, 及时反映当今的技术发展水平, 才能保证具有高的学术水平。基于这种认识, 作者对本书不断地进行修订, 先后于 1998 年、2002 年出版了第二版和第三版, 以反映技术水平和电路设计实践的最新发展。

从 2002 年本书第三版发行到现今的 13 年里, CMOS 数字集成电路领域一直以越来越快的速度发展。纳米科技的出现以及集成大量功能模块的片上系统的广泛应用给 CMOS 数字集成电路的设计方式带来了巨大且亟需应对的改变。因此我们认为仅对内容进行增加修订已经不能满足本教材下一版本的要求了, 而是需要对几乎所有章节进行全面重写。我们的作者团队加入了一位重要成员, 来自韩国高丽大学的 Chulwoo Kim 教授。我们一起对本教材进行了大量修订。本书的第四版终于在付出艰辛努力后诞生了。

本书可作为高年级本科生和一年级研究生的教材, 也可供从事集成电路设计、数字设计、VLSI 等领域的工程师参考。数字集成电路设计正在持续高速地发展, 作者也竭尽全力对本书所涵盖的内容提供最新的资料。本书共分 15 章, 依据作者的教学经验, 在一学期内

教授本书所有内容略显局促，因此推荐按照如下计划授课：在面向本科生的教学中，用一学期的时间来讲授第 1 章至第 10 章有关 CMOS 数字集成电路的内容。

如时间允许，还可以有选择地讲授第 11 章“低功耗 CMOS 逻辑电路”、第 12 章“算术组合模块”和第 13 章“时钟电路与输入/输出电路”的内容。本书也可安排为两学期讲授，可以对后面章节中的新问题进行详细的探讨。在面向研究生的教学中，本书的全部章节可安排在一个学期内讲授。

本书的第 1~8 章详细讨论 MOS 晶体管及其相关特性、静态和动态工作原理与分析及基本反相器电路的设计、组合逻辑电路及时序逻辑电路的结构与工作原理。第四版第 1 章的内容有大量扩充，将详细介绍一些 VLSI 的设计方法。由于本书的前半部分主要讨论的是与数字 VLSI 及 ASIC 设计相关的一些数字 IC 设计方法，作者认为有必要在本书的开头加以说明。第 6 章深入讨论芯片上的互连线模型及互连线上的延迟时间计算，并将完整介绍数字集成电路的开关特性。第 9 章单独介绍应用于达到领先水平的 VLSI 芯片上的动态逻辑电路。第 10 章在内容和表达形式方面都做了全面的修改，深入地介绍许多达到当今领先水平的半导体存储电路。

由于低功耗电路设计的重要性日益增加，作者在第 11 章将致力于低功耗 CMOS 逻辑电路的讨论，全面覆盖了低功耗大规模数字集成电路的设计方法和实例。第 12 章介绍关键数运算模块，并重点介绍高性能多位加法器和乘法器。

第 13 章将对时钟电路和芯片的 I/O 设计进行详细介绍。对如 ESD 保护电路、时钟分配、时钟缓冲及闩锁效应等一系列不可忽视的问题也给出了详细的讨论。最后，第 14 章和第 15 章分别讨论电路的可制造性设计和可测试性设计这两个重要问题。

作者曾就本书中的 nMOS 电路进行了长篇幅的讨论。从教学的角度来看，对 nMOS 电路进行一些介绍是有益的。为了强调广泛应用于数字电路设计的负载的概念，第 5 章介绍了基本的电阻型负载和伪 nMOS 反相器电路以及与其对应的 CMOS 电路，并在第 7 章介绍伪 nMOS 逻辑门（与非/或非）。

本书提供的 Cadence 设计教程和彩图可登录 www.mhhe.com/kang 或华信教育资源网 (www.hxedu.com.cn) 注册下载，教辅资源包括习题解答，采用本书作为教材的老师可以通过向 te_service@phei.com.cn 发送邮件申请。

目 录

第 1 章 概论	1
1.1 发展历史	1
1.2 本书的目标和结构	3
1.3 电路设计举例	6
1.4 VLSI 设计方法综述	12
1.5 VLSI 设计流程	14
1.6 设计分层	15
1.7 规范化、模块化和本地化的概念	18
1.8 VLSI 的设计风格	18
1.9 设计质量	26
1.10 封装技术	28
1.11 计算机辅助设计技术	30
习题	31
第 2 章 MOS 场效应管的制造	34
2.1 概述	34
2.2 制造工艺的基本步骤	34
2.3 CMOS n 阱工艺	41
2.4 CMOS 技术的发展	45
2.5 版图设计规则	50
2.6 全定制掩膜版图设计	52
习题	55
第 3 章 MOS 晶体管	57
3.1 金属-氧化物-半导体(MOS)结构	57
3.2 外部偏置下的 MOS 系统	60
3.3 MOS 场效应管(MOSFET)的结构和作用	62
3.4 MOSFET 的电流-电压特性	69
3.5 MOSFET 的收缩和小尺寸效应	76
3.6 MOSFET 电容	99
习题	106
第 4 章 用 SPICE 进行 MOS 管建模	109
4.1 概述	109
4.2 基本概念	109
4.3 一级模型方程	111

4.4	二级模型方程	114
4.5	三级模型方程	117
4.6	先进的 MOSFET 模型	118
4.7	电容模型	118
4.8	SPICE MOSFET 模型的比较	121
	附录 典型 SPICE 模型参数	122
	习题	127
第 5 章	MOS 反相器的静态特性	128
5.1	概述	128
5.2	电阻负载型反相器	133
5.3	MOSFET 负载反相器	140
5.4	CMOS 反相器	148
	附录 小尺寸器件 CMOS 反相器的尺寸设计趋势	161
	习题	163
第 6 章	MOS 反相器的开关特性和体效应	166
6.1	概述	166
6.2	延迟时间的定义	167
6.3	延迟时间的计算	168
6.4	延迟限制下的反相器设计	174
6.5	互连线电容的估算	181
6.6	互连线延迟的计算	190
6.7	CMOS 反相器的开关功耗	196
	附录 超级缓冲器的设计	202
	习题	204
第 7 章	组合 MOS 逻辑电路	208
7.1	概述	208
7.2	带伪 nMOS (pMOS) 负载的 MOS 逻辑电路	208
7.3	CMOS 逻辑电路	217
7.4	复杂逻辑电路	222
7.5	CMOS 传输门	232
	习题	239
第 8 章	时序 MOS 逻辑电路	244
8.1	概述	244
8.2	双稳态元件的特性	244
8.3	SR 锁存电路	248
8.4	钟控锁存器和触发器电路	252
8.5	钟控存储器的时间相关参数	257
8.6	CMOS 的 D 锁存器和边沿触发器	258

8.7	基于脉冲锁存器的钟控存储器	262
8.8	基于读出放大器的触发器	263
8.9	时钟存储器器件中的逻辑嵌入	264
8.10	时钟系统的能耗及其节能措施	265
	附录	266
	习题	269
第 9 章	动态逻辑电路	272
9.1	概述	272
9.2	传输晶体管电路的基本原理	273
9.3	电压自举技术	281
9.4	同步动态电路技术	283
9.5	动态 CMOS 电路技术	287
9.6	高性能动态逻辑 CMOS 电路	290
	习题	302
第 10 章	半导体存储器	305
10.1	概述	305
10.2	动态随机存储器 (DRAM)	309
10.3	静态随机存储器 (SRAM)	329
10.4	非易失存储器	340
10.5	闪存	349
10.6	铁电随机存储器 (FRAM)	355
	习题	357
第 11 章	低功耗 CMOS 逻辑电路	362
11.1	概述	362
11.2	功耗综述	362
11.3	电压按比例降低的低功率设计	371
11.4	开关激活率的估算和优化	379
11.5	减小开关电容	383
11.6	绝热逻辑电路	385
	习题	389
第 12 章	算术组合模块	390
12.1	概述	390
12.2	加法器	390
12.3	乘法器	398
12.4	移位器	401
	习题	402
第 13 章	时钟电路与输入/输出电路	406
13.1	概述	406

13.2	静电放电 (ESD) 保护	406
13.3	输入电路	408
13.4	输出电路和 $L(di/dt)$ 噪声	412
13.5	片内时钟生成和分配	415
13.6	闩锁现象及其预防措施	424
附录	片上网络：下一代片上系统 (SoC) 的新模式	428
	习题	431
第 14 章	产品化设计	433
14.1	概述	433
14.2	工艺变化	433
14.3	基本概念和定义	434
14.4	实验设计与性能建模	439
14.5	参数成品率的评估	443
14.6	参数成品率的最大值	447
14.7	最坏情况分析	448
14.8	性能参数变化的最小化	452
	习题	454
第 15 章	可测试性设计	457
15.1	概述	457
15.2	故障类型和模型	457
15.3	可控性和可观察性	460
15.4	专用可测试性设计技术	460
15.5	基于扫描的技术	462
15.6	内建自测 (BIST) 技术	464
15.7	电流监控 IDDQ 检测	466
	习题	467
	参考文献	468
	物理和材料常数	473
	公式	474

第 1 章 概 论

1.1 发展历史

由于集成技术和大规模系统设计的飞速进步，电子工业在过去的几十年里得到了惊人的发展。集成电路在高性能计算、通信以及消费类电子等领域中的应用一直在飞速发展。事实上，正是这些应用所需要的计算和信息处理能力成为电子领域快速发展的驱动力。图 1.1 所示的是近几十年信息技术的发展趋势。当前的前沿技术(如低比特率视频和蜂窝通信)已经为终端用户提供了一定的处理能力和便捷性，人们希望这种对 VLSI(超大规模集成电路)和系统设计具有重大影响的发展趋势能够延续下去。对高性能的处理能力和带宽的不断增加的需求是信息业务最重要的特征之一(如处理实时的视频信号)。另一个重要特征是信息业务更趋向个人化，这将意味着信息处理设备必须更加智能化，并具有便携性。便携化的趋势(亦即分布式系统结构)成为系统集成的主要驱动力之一。当然，集中化的趋势[例如在 NC(网络计算)和视频业务中需要的高性能信息系统]也同样需要。

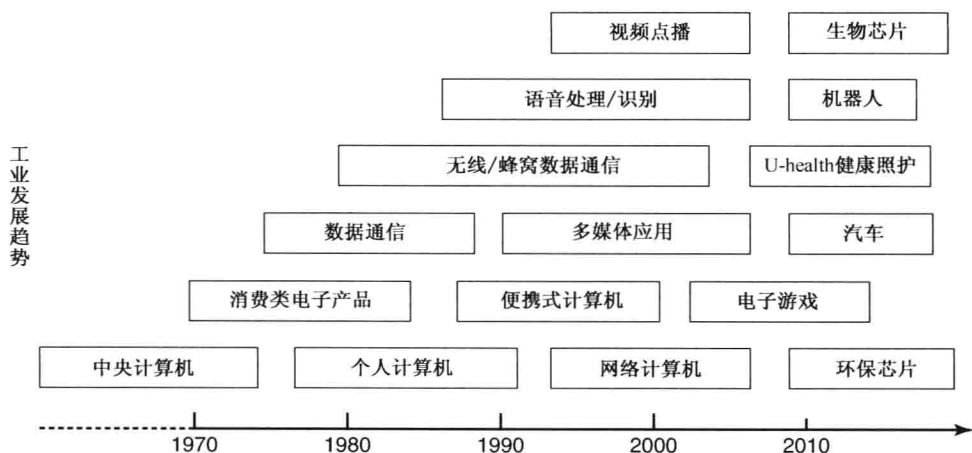


图 1.1 信息技术的发展趋势

随着各种数据处理和通信设备功能越来越复杂，将众多功能集成在一块小芯片之上的需求一直在增加。集成度是由单块芯片上逻辑门的数量来衡量的。由于工艺技术和互连技术的快速进步，过去三十年来芯片的集成度一直在稳步提高。表 1.1 所示的是过去三十年来集成电路逻辑复杂度的发展以及每个时期的里程碑。这里把电路复杂度作为唯一的衡量标准。

根据功能的不同，一个逻辑块可以包含 10~100 个晶体管。而微处理器芯片，例如 IBM 公司的双核 Power6 芯片或英特尔公司的安腾芯片(代号为 Tukwila)包含了 7.9 到 20.5 亿个晶体管。片上系统(SoC)用数字和模拟知识产权(IP)将所有的系统组件集成在一个芯片上。而在封装系统(SiP)中，不同的模块或集成电路(IC)将被组合在一个封装中。在许多移动设备的应用程序里都会使用封装系统，对处理器、内存、闪存和无源器件进行集成。

表 1.1 集成电路逻辑复杂度的发展

电路规模	年 代	复杂度 [*] (每个芯片上逻辑块数量)
单个晶体管	1958	<1
逻辑单元(1个门)	1960	1
多功能	1962	2~20
复杂功能	1964	20~100
中等规模集成电路(MSI)	1967	100~1000
大规模集成电路(LSI)	1972	1000~200 000
超大规模集成电路(VLSI)	1978	200 000-
片上系统(SoC)	20世纪90年代后期	多重知识产权
封装系统(SiP)	21世纪早期	多种结构集成

*此项技术开始发展时的复杂度

一块集成了大量功能的芯片通常有以下几个特点：

- 更小的面积/体积，更加紧缩
- 更低的功耗
- 需要更少的系统级测试
- 由于改进了芯片的互连，可靠性更高
- 由于明显降低了互连长度，速度更快
- 更节省费用

因此，在未来的一段时间内，电路将继续朝着集成迈进。设备制造技术的进步使得集成电路的最小特征尺寸(即晶体管的最小沟道长度或芯片上可实现的互连线宽度)逐步减少。图 1.2 所示为 20 世纪 70 年代后期以来集成电路中晶体管最小特征尺寸的发展过程。在 1980 年，也就是 VLSI 时代刚刚开始的时候，典型的最小特征尺寸为 2 μm ，并且当时预计 2000 年到 2010 年将从 0.3 μm 减小到 65 nm。然而实际技术的发展远远超出人们的预想：1995 年最小特征尺寸就达到了 0.25 μm ，而在 2001 年已经达到 0.18 μm ，2007 年则达到了 65 nm。到 1994 年，第一个 64 MB 的 DRAM(动态随机存储器)和 Intel Pentium 微处理器芯片就包含了 300 万个晶体管，这是当时集成密度的极限。

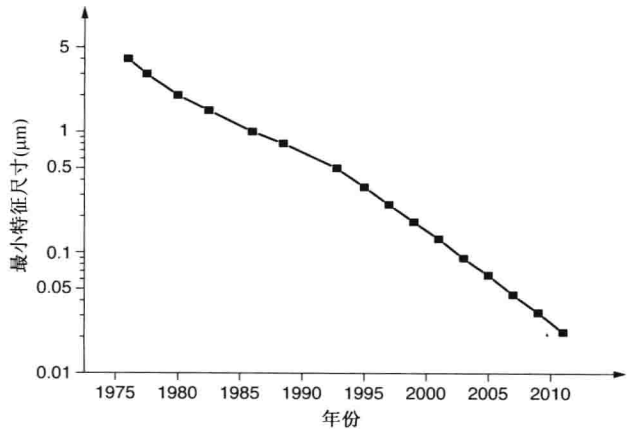


图 1.2 集成电路最小特征尺寸的发展过程

2007 年下半年，三星公司宣布第一个基于 30 nm 制造工艺的 64 GB NAND 闪存生产成功。根据 ITRS(国际半导体技术规划局)的预计，在 2020 年之前，金属氧化物半导体(MOS)晶体管的特征尺寸将达到 10 nm，每个芯片上集成的晶体管数将达到 240 亿个。

比较集成电路的集成度时可以发现，存储芯片与逻辑芯片之间有明显的区别。图 1.3 所示的是从 1970 年以来存储芯片与逻辑芯片集成度的发展。在过去三十年中，每个芯片所包含的晶体管数量呈指数形式增长，这就证实了摩尔在 20 世纪 60 年代早期关于芯片复杂度增长速

率的预言(摩尔定律:集成电路上的晶体管数目每2年翻一倍)。由于复杂的互连线占用了大量的芯片面积,逻辑芯片所包含的晶体管数量明显变少。而存储芯片则非常规则,因而互连线所占用的面积大大减少。这也是存储电路芯片复杂度(每个芯片含有的晶体管数量)增长率更高的主要原因之一。

数字 CMOS(互补金属氧化物半导体)集成电路是超大规模集成电路在高性能计算和其他科学和工程领域中应用的驱动力,由于具有低功耗、高可靠性以及采用诸如动态电路来获得高速的技术和工艺技术不断进步等突出特征,人们对于数字 CMOS 集成电路的需求越来越大。

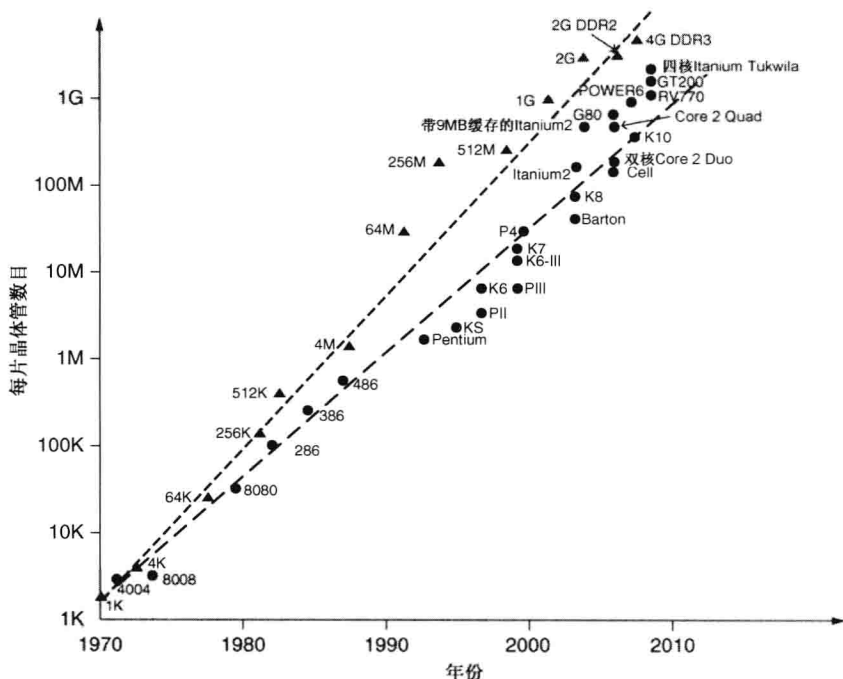


图 1.3 存储芯片和逻辑芯片集成度的比较

人们计划在十年内将非平面晶体管的集成电路的最小特征尺寸降到 5 nm。若能够达到这个技术水平,单个逻辑芯片上的集成度就能达到几百亿的晶体管,而对存储芯片来说集成度会更高。这对于芯片开发人员来说,无论是在工艺、设计和测试方面,还是在项目管理方面都是一个巨大的挑战。只有通过“各个击破”的策略,并采用更加先进的计算机辅助设计(CAD)工具和自动设计方法,VLSI的设计问题才能得到解决。

1.2 本书的目标和结构

本书的目标是帮助读者培养对数字 CMOS 电路和芯片进行深入分析与设计的能力。超大规模集成芯片的开发需要一支由市场专家、系统结构设计工程师、逻辑设计工程师、电路与版图设计工程师、封装工程师、测试工程师以及工艺与器件工程师等不同专业人员组成的团队。最基本的任务是完成计算机辅助设计和优化。任何一书中都不可能涉及到所有的开发问题。因此,本书着重介绍数字电路,并且介绍深入理解 CMOS 数字电路所必须的器件规则和工艺的相关知识。

读者常常会感到“只见树木，不见森林”。然而对于超大规模集成电路的设计来说，采用适当的边界条件进行全面的优化设计是很重要的。最终的设计目标是关注所有互连的晶体管的整体性能而不是单个管子的性能，事实上这也是集成电路的引人入胜之处。因此互连的问题与单个晶体管问题同样重要。不管单个晶体管的性能有多好，如果没有同样好的互连技术，就会由于寄生电容和寄生电阻的影响使总体性能变得很差，从而导致晶体管与逻辑门之间的互连线产生很大的延迟。

本书可作为高年级本科生和一年级研究生数字电路设计课程的教材，对 VLSI 设计工程师也会有很大帮助。书中绝大部分内容都作为本科和研究生课程的讲义在两位作者所在的伊利诺伊大学电子与计算机工程系等许多学校讲授数年。我们假定本书的读者已经具有足够的半导体器件、电子线路分析与设计以及逻辑理论的基础知识。全书非常强调逻辑设计、电路设计以及版图设计之间的相互联系，重点是晶体管级的电路分析与设计，这就要求读者除了对传输延时、噪声容限以及功耗这些器件特性如何影响电路的整体特性有深刻理解外，还需要有相当熟练的电流电压计算知识。

图 1.4 描述了一门典型的数字电路课程各主题的相关顺序以及覆盖的范围。首先是电路分析、理解和使用各种金属氧化物半导体场效应晶体管 (MOSFET) 器件模型需要的基本器件的物理知识。复习完基本器件之后，重点将从单个器件转向诸如反相器一类简单的双晶体管电路，然后转向更加复杂的逻辑电路。我们将看到，随着问题讨论的不断深入，每个标题所涉及内容的广度也在不断扩展。事实上，在实现复杂电路和系统时，我们应考虑众多的变化。因此，我们将研究大规模系统实现的一些典型例子，对性能、可靠性和制造工艺上的优缺点进行比较。

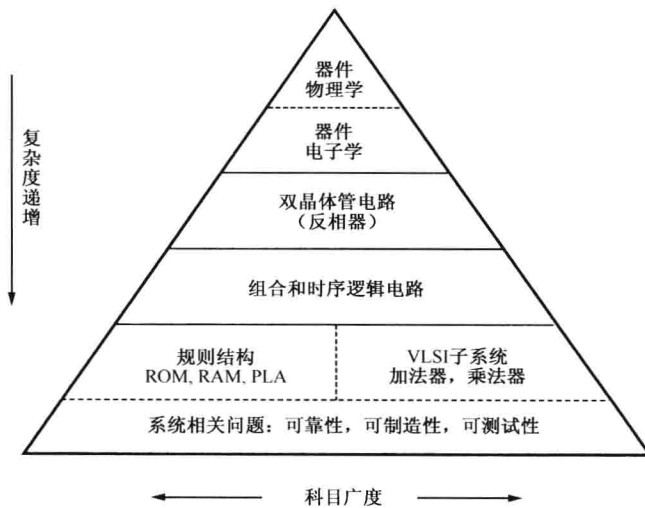


图 1.4 一门典型的数字集成电路课程所覆盖的科目顺序

本书从回顾与制造相关的问题开始。为了建立一个简单的工艺流程并给读者提供与工艺相关的重要术语，本书开篇简短地对具有代表性的集成电路制造技术进行了总结。本书介绍的 MOS 器件物理学的层次和范围特别适合于手工电路设计与分析应用，因此采用的绝大部分器件模型相对简单。选择简单的器件模型会使准确性受到一定的限制；然而，在设计初期，主要强调对基本设计概念的清楚理解和对电路性能进行一些有意义的分析。同时计算机辅助

电路仿真工具对 VLSI 设计也十分重要。本书包含大量基于 SPICE(集成电路模拟程序)的计算机仿真实例和问题。在很多计算平台上 SPICE 已经成为晶体管级电路仿真的事实上的标准。我们将用一整章内容来分析和比较在 SPICE 中实现的 MOSFET 模型,包括各种器件模型参数的确定。由于具有性能验证功能和良好的电路转换功能,计算机仿真已经并将继续成为设计过程中必不可少的部分。然而,重视仿真应与重视手工设计和分析预测加以权衡。不能因为计算机辅助技术的大量应用而忽略后者的重要性。

本书的重点是 CMOS 数字集成电路,但也介绍了大量关于伪 nMOS 数字电路的知识。尽管近年来大多数的应用都选择 CMOS 技术,但 nMOS 管的基本概念为 CMOS 概念的理解和 CMOS 设计的发展都提供了坚实的基础。第 5 章中的 5.9 节专门介绍基本的 CMOS 和部分伪 nMOS 数字电路的分析与设计。图 1.5 是一个说明各种不同类型电路分类和描述数字集成电路关系的“家谱”。按照基本工作模式可把电路分成两大类:静态电路和动态电路。静态电路又可以进一步分为标准 CMOS 电路(完全互补型)、传输门逻辑电路、传输晶体管逻辑电路以及级联电压转换逻辑电路(CVSL)。动态电路分为多米诺逻辑电路、NORA 和真正的单相时钟电路(TSPC)。

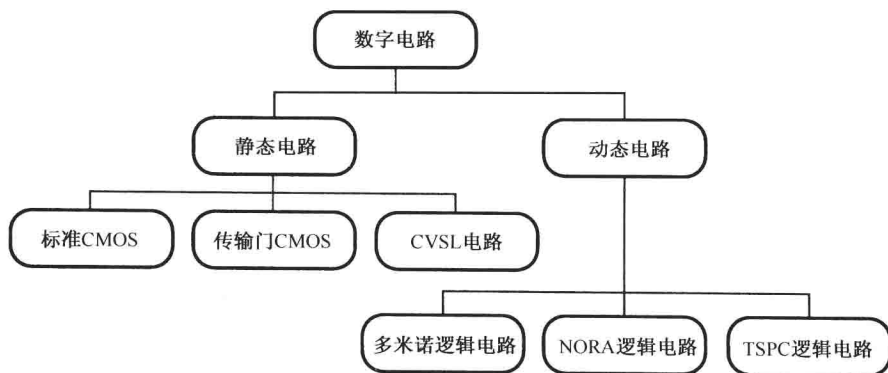


图 1.5 CMOS 数字电路分类

除了晶体管级电路设计问题外,在高性能数字集成电路设计中,尤其是对深亚微米工艺来说,对互连线寄生参数进行准确预测从而降低其影响已成为一个重要的课题。因此第 6 章的大部分内容将介绍互连线效应。第 10 章将详细介绍半导体存储器,还将重点介绍不同的静态和动态存储器类型的设计,比较它们的工作原理和性能特点。由于可移动系统的发展和高密度超大规模芯片对功耗(以及散热)的限制使低功耗设计近年来取得了引人注目的快速发展,我们将用一整章来介绍低功耗 CMOS 逻辑电路。在大多数情况下,对低功耗要求的同时也要求更高的集成度和更高的性能。我们还将用一整章内容介绍输入输出(I/O)电路和包括 ESD(静电放电)保护、电平转换、高级缓冲器设计以及门锁保护等一些相关问题。最后关于制造设计和测试设计的两章介绍诸如成品率估计、统计设计和系统测试等重要内容,这些在 VLSI 设计中应当给予特别重视。

本书的最新版中加入了一个全新的章节“算术组合模块”。在各种超大规模集成电路芯片,如微处理器、数字信号处理器、调制解调器中,高速运算及低功耗的算术组合模块都是其中的关键部分且被广泛的使用。在大多数情况下,对低功耗要求的同时也要求更高的集成度和更高的性能。由于以上所述技术的发展趋势,我们认为有必要单独分出一个章节来特别介绍算术组合模块。这一章中将详细讨论算术组合模块的方方面面,并介绍各种降低功耗提高性能的策略。

为了满足不同的课程安排和自学的需要，可以灵活安排各章节的学习。许多章节可以合在一起以适应特殊的课程教学。读者也可以跳过一些章节，而且并不影响整体的连贯性。每一章都有大量例题和题解以帮助读者加深对内容的理解，同时在每章最后提供了一些习题，其中一些很适合利用计算机通过 SPICE 仿真来解决。

1.3 电路设计举例

为了帮助读者对数字电路设计流程获得一个整体概念，这一章我们以一个“简单的例子”开始。作为一个电路设计者，不管我们做哪方面的实践都应从与设计指标相关联的逻辑图开始。首先把逻辑电路转换成 CMOS 电路，最初的版图就完成了。从版图中通过使用电路参数提取软件能把所有重要的寄生参数计算出来。一旦我们从最初的版图中得到了完全的电路描述，就可以应用电路级的仿真软件 SPICE 对电路的直流和瞬态特性进行分析，进而将结果与给定的设计指标进行比较。如果最初的设计不能满足指标中的任何一条要求，这也是设计中常见的情况，那么我们就设计一个改进的电路来达到设计指标。改进的设计将得到一个新的版图，并将重复设计和分析循环，直到满足所有的设计指标。图 1.6 所示的是电路设计过程的简单流程。注意，本书主要关注用虚线框起来的重要的两步：即 VLSI 设计和验证。

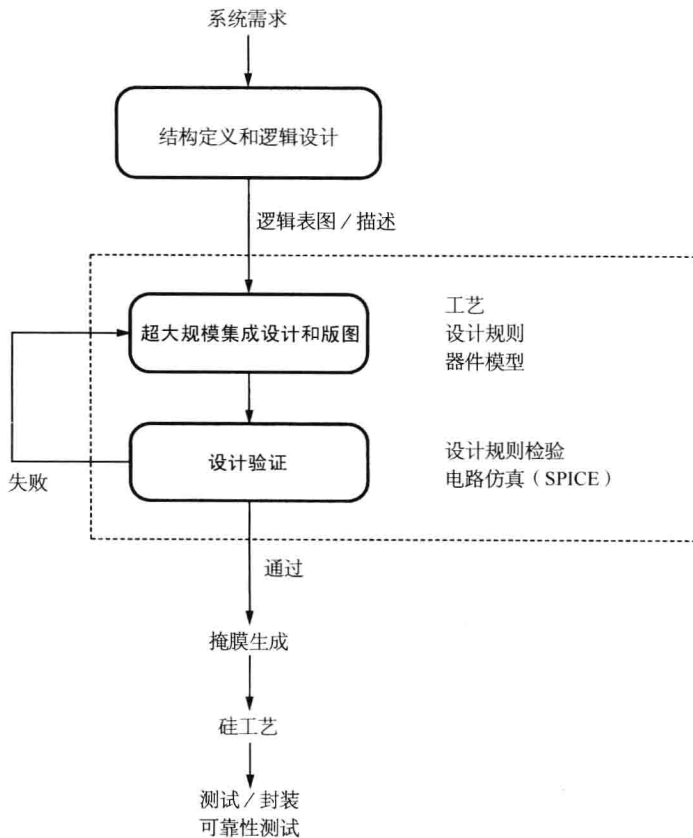


图 1.6 电路设计流程图