



工业和信息化部“十二五”规划教材

SOPC 技术与应用

SOPC JISHUYUYINGYONG

康维新 主编

潘大鹏 刘柏森 副主编

HEUP 哈尔滨工程大学出版社



工业和信息化部“十二五”规划教材

SOPC 技术与应用

SOPC JISHUYUYINGYONG

康维新 主编

潘大鹏 刘柏森 副主编

HEUP 哈尔滨工程大学出版社

内 容 简 介

SOPC 是目前在 IT 行业被广泛应用的技术之一,本书主要介绍了 SOPC 技术、设计与应用。全书共分 7 章,第 1 章介绍 SOPC 技术;第 2 章 Nios II 体系结构,比较详细地介绍了 Nios II 处理器的内部架构;第 3 章 Avalon 总线规范,介绍了 Avalon 总线架构和各种 Avalon 总线传输时序;第 4 章 SOPC 开发流程及开发平台,依托设计实例详尽地介绍了 Quartus II, Nios II DE 两种软件的操作流程;第 5 章 SOPC 的硬件描述语言,介绍了两种硬件描述语言 VHDL, Verilog HDL,并配有大量例程;第 6 章 SOPC 用户定制方法,介绍了用户定制指令、外设的方法, C2H 技术以及外设 HAL 驱动开发方法;第 7 章 SOPC 开发实例,以基于 FPGA 的车路协同智能路侧系统的设计与实现为例,系统地介绍了如何将 SOPC 技术用于生产实际。

本书面向实际、图文并茂。既可作为高等院校电子工程、通信工程、自动化、计算机科学与技术等专业的本科、研究生教材,也可作为从事嵌入式开发的科研人员的参考资料。

图书在版编目(CIP)数据

SOPC 技术与应用/康维新主编. —哈尔滨:哈尔滨
工程大学出版社,2015.7

ISBN 978-7-5661-1098-5

I. ①S… II. ①康… III. ①微处理器-系统设计-
高等学校-教材 IV. ①TP332

中国版本图书馆 CIP 数据核字(2015)第 170517 号

出版发行 哈尔滨工程大学出版社
社 址 哈尔滨市南岗区东大直街 124 号
邮政编码 150001
发行电话 0451-82519328
传 真 0451-82519699
经 销 新华书店
印 刷 哈尔滨市石桥印务有限公司
开 本 787mm×1 092mm 1/16
印 张 15.5
字 数 405 千字
版 次 2015 年 7 月第 1 版
印 次 2015 年 7 月第 1 次印刷
定 价 37.00 元

<http://www.hrbeupress.com>

E-mail:heupress@hrbeu.edu.cn

前 言

SOPC 是目前在 IT 行业被广泛应用的技术之一,随着其不断地扩展,SOPC 已经成为最热门的新技术。近年来相关教材偏少,现有的教材较多为 2004 和 2006 年版本。由于 SOPC 新技术快速更新和升级,以及高校教学需求的扩展和延伸,产生了新的教材需求,对新技术内容、适用层面、结构形式等方面都有了更高的要求。因此编写一部适用本科生及研究生的内容新颖、实用的教材,对促进现代工业技术发展及信息化建设人才培养具有重要的积极意义。

本教材在参考和借鉴国内相关教材的基础上,重新进行了编写与扩展,在内容上具有以下三方面特点。

一是对 SOPC 技术内容进行了更新,对 Cyclone 和 Stratix 两个系列的高端、中端和低功耗与低成本的第四代与第五代新技术及特点进行了表述。新技术特点突出、概念和理论鲜明。

二是全书由技术基础、应用开发和开发实例三个部分构成,共分七章。全书系统地介绍了 SOPC 系统的设计方法并重点介绍了 SDRAM 和 FLASH 的使用方法,同时介绍了硬件描述语言,以满足学生的底层驱动程序编写需求。整体结构及相应内容编排更合理,逻辑清晰,满足了不同层面的教学需求。

三是具体地阐述了技术应用方法与实例,以设计需求为出发点逐层向学生展示 SOPC 的设计流程,并对部分实例提供了部分程序源代码,这对不同开发平台和不同芯片系列的开发应用有启示和参考价值。

全书由哈尔滨工程大学康维新教授担任主编,由哈尔滨工程大学潘大鹏讲师和黑龙江工程学院刘柏森副教授担任副主编。本书第 1 章、第 2 章、第 3 章由康维新编写;第 4 章由潘大为编写;第 5 章由潘大鹏编写;第 6 章、第 7 章由刘柏森编写。欢迎各位专家和读者为本书提出宝贵意见和建议。

编 者

2015 年 3 月

目 录

第1章 SOPC 技术概述	1
1.1 概述	1
1.2 支持 SOPC 的可编程逻辑器件	4
1.3 SOPC 设计与开发工具介绍	14
第2章 Nios II 体系结构	15
2.1 Nios II 处理器的特点	15
2.2 Nios II 处理器的体系结构	15
2.3 Nios II 处理器的存储器和 I/O 结构	19
2.4 Nios II 的异常处理	22
2.5 复位信号	25
2.6 Nios II 处理器的运行模式	26
2.7 Nios II 处理器的性能	27
第3章 Avalon 总线规范	28
3.1 Avalon 总线简介	28
3.2 Avalon 总线相关基本概念	29
3.3 Avalon 信号	31
第4章 SOPC 开发流程及开发平台	61
4.1 SOPC Builder 设计流程	61
4.2 Nios II 设计流程	94
第5章 SOPC 的硬件描述语言	106
5.1 硬件描述语言(HDL)概述	106
5.2 VHDL 语言基础	106
5.3 Verilog HDL 语言基础	121
5.4 硬件描述语言设计实例	137
第6章 SOPC 用户定制方法	164
6.1 用户定制指令	164
6.2 用户定制外设(SOPC Builder 元件)	177
6.3 C2H 技术	183
6.4 Nios II 外设 HAL 驱动开发	186
第7章 SOPC 开发实例——基于 FPGA 的车路协同智能路侧系统的设计与实现	201
7.1 软件系统结构	201
7.2 硬件环境搭建	203

7.3 Quartus II 中相关组件的添加和配置	204
7.4 智能路侧交通控制系统设计	209
7.5 智能路侧系统网络通信模块设计	220
7.6 视频采集与图像信息公告模块设计	224
7.7 系统调试与结果分析	233
参考文献	239

第 1 章 SOPC 技术概述

1.1 概 述

数字集成电路是将元器件和连线集成于同一半导体芯片上而制成的数字逻辑电路或系统。1947 年 12 月 23 日,世界上第一个晶体管在美国贝尔(Bell)实验室问世,其标志着人类开始进入半导体时代。1958 年,德州仪器公司制造出第一块集成电路,虽然它仍然很原始,但却是半导体工业发展的一个重要里程碑。自集成电路发明以后,集成电路芯片的发展基本上遵循了 INTEL 公司创始人之一的 Gordon E. Moore 在 1965 年预言的摩尔定律,即每隔 3 年集成度增加 4 倍。在集成电路(IC)发展初期,电路设计都是从器件的物理版图设计入手;后来出现了集成电路单元库(Cell - Lib),使得集成电路设计从器件级进入逻辑级,极大地推动了 IC 产业的发展。20 世纪 90 年代初,在一片硅芯片上已可做出 400 万个晶体管。目前集成度比较高的 FPGA 也是数字集成电路的一种,其内部可集成 7 万多个逻辑单元,由数百万个晶体管构成。可编程逻辑器件(PLD)的复杂度已经能够在单个可编程器件内实现整个系统,完整的单芯片系统(SOC)概念是指在一个芯片中实现用户定义的系统。在系统设计复杂度不断提高及新产品市场周期不断缩短的压力下,把 FPGA 及微处理器的核心内嵌在同一芯片上,构建成为一个可编程的 SOC 系统体系框架结构,建成所谓的可编程芯片系统(SOPC, System on a Programmable Chip),从而为系统设计者提供了又一灵活快捷的设计方法与途径。

1.1.1 嵌入式系统

在许多领域中广泛应用的嵌入式计算机系统,简称嵌入式系统。嵌入式系统是指以应用为中心(适应系统对功能、可靠性、成本、体积、功耗等的严格要求)、以计算机技术为基础、软件硬件可裁剪的专用计算机系统。目前,通用计算机系统追求高速、海量的数值计算,技术发展方向是总线速度的无限提升和存储容量的无限扩大;而嵌入式计算机系统追求对对象的智能化控制,技术发展方向是与对象系统密切相关的嵌入性能、控制能力和控制的可靠性。

由于早期的嵌入式系统是基于通用微型计算机操作使用的,因此应用领域受到很大限制。嵌入式系统的真正发展是在微处理器问世以后。1971 年 11 月,INTEL 公司将算术运算器和控制器电路进行集成,推出了世界上第一片微处理器 INTEL4004。从此,嵌入式系统进入了独立发展的单片机时代,其以器件形态迅速进入传统电子技术领域。

在现今的数字系统设计中,以“嵌入式微控制器 + FPGA”为核心的体系结构,因其具有强大的处理能力和灵活的工作方式而被广泛采用。嵌入式微控制器的优势在于将微处理器内核与丰富多样的外围接口设备紧密结合,在提供强大的运算、控制功能的同时,降低了系统成本和功耗,因而适合作为数字系统的控制核心;FPGA 的优势在于超高速、丰富的逻辑资源以及用户可灵活配置的逻辑功能,适用于逻辑接口功能多种多样、灵活可变的场合。将二者结合形成优势互补,适用于大多数复杂数字系统的设计。

1. 嵌入式系统的行业特点

(1) 嵌入式系统是计算机技术、半导体技术、电子技术与各个行业具体应用紧密结合的产物,其行业特点是技术密集、资金密集、高度分散、不断创新。

(2) 通用计算机行业是技术高效垄断的行业。比如,占整个行业 90% 的 PC 产业中,80% 采用 INTEL 的 8X86 体系结构;芯片基本出自 INTEL,AMD 等几家公司;操作系统和文字处理,微软占 80% ~ 90%。

(3) 通用计算机工业的基础是由 INTEL 和微软垄断的工业;嵌入式系统工业的基础是以应用为中心的“芯片”设计和面向应用的软件开发。

2. 嵌入式系统的产品特点

(1) 嵌入式系统是面向用户、面向产品、面向应用的,不会独立于应用而发展;嵌入式处理器的功耗、体积、成本、可靠性、速度、处理能力、电磁兼容性等均受应用要求的制约。

(2) 嵌入式系统的硬件和软件都必须高效率设计,量体裁衣,去除冗余。

(3) 嵌入式系统与具体应用有机结合在一起,产品一旦进入市场,具有较长的生命周期;各个行业的嵌入式产品很少发生突然性跳跃,因此,嵌入式系统的软件更强调可继承性和技术衔接性。

3. 嵌入式系统的硬件平台

(1) 8 位/16 位微处理器:80C51 内核单片机、AVR 单片机、PIC 单片机、TI 的 MSP 系列微处理器、DSP 芯片等,前/后台程序模式或简单的操作系统模式(μ C/OS, TinyOS 等),板级嵌入式系统。

(2) 32 位微处理器:ARM, MIPS 架构微处理器(龙芯)等,前/后台程序模式或操作系统模式(μ C/OS, Linus, WinCE 等),板级嵌入式系统。

(3) SOPC 技术:硬核 ARM 处理器或可配置软核 Nios II 微处理器 + FPGA,前/后台程序模式或操作系统模式(μ C/OS, Linus, WinCE 等),软件、硬件完全可配置,芯片级嵌入式系统。

1.1.2 SOC 与 SOPC

20 世纪下半叶以来,微电子技术迅猛发展,集成电路设计和工艺水平有了很大提高,单片集成度已达上亿个晶体管。如何利用这一近乎无限的晶体管集成度,就成了电子工程师的一项需要研究课题。在这种背景下,片上系统 SOC 应运而生。

片上系统 SOC 单芯片集成系统级、多元化的功能模块,构成一个包括以下内容的能够处理各种信息的集成系统:CPU、存储器、硬件加速单元(DSP、浮点协处理器等)、通用 I/O (GPIO)、UART 接口和模数混合电路(放大器、比较器、A/D、D/A、射频电路、锁相环等),甚至延伸到传感器、微机电和微光电单元。

SOC 系统就是微处理器 IP(如 ARM 公司的 RISC 架构的 ARM 核)加上一些外围 IP 整合而成的。如果把 CPU 看成是大脑,则 SOC 就是包括大脑、心脏、眼睛和四肢的系统。SOC 是嵌入式系统发展的必然。由于 PCB 板上 IC 芯片之间连线、时延以及 PCB 板的可靠性和尺寸等限制了系统的性能,因此基于 IC 互联的嵌入式系统(见图 1.1)已经不能满足现代电子系统对整机性能的要求。

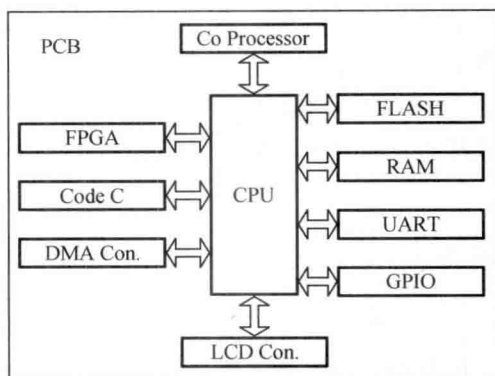


图 1.1 基于 IC 互联的嵌入式系统

SOC 是嵌入式系统发展的必然结果。SOC 以 IP 核为基础,以硬件描述语言作为系统功能和结构的描述手段,借助于以计算机为平台的 EDA 工具,将一个完整产品的功能集成在一个芯片或芯片组上。SOC 全盘考虑整个系统,解决了系统的时延、可靠性、尺寸等问题,可以实现更高的系统性能。SOC 的出现是电子系统设计领域内的一场革命,其影响将是深远和广泛的。基于 SOC 的嵌入式系统如图 1.2 所示。

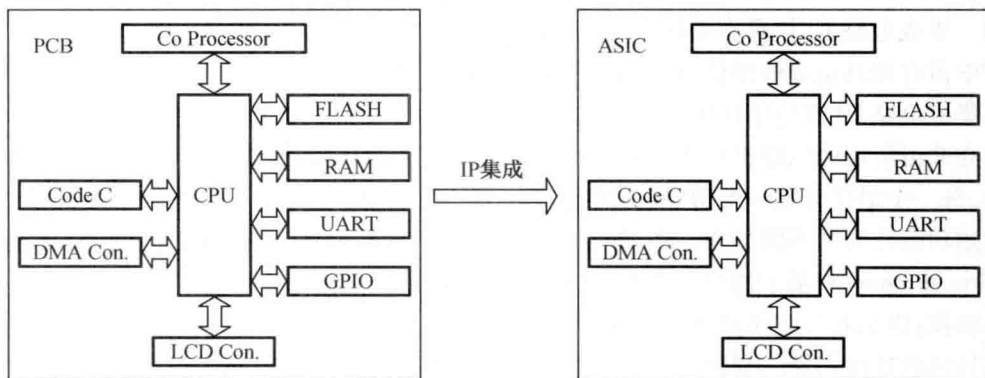


图 1.2 基于 SOC 的嵌入式系统

从系统集成的角度看,SOC 是以不同模型的电路集成、不同工艺的集成作为基础支撑的。所以,要实现 SOC,首先必须重点研究器件的结构与设计技术、VLSI 设计技术、工艺兼容技术、信号处理技术、测试与封装技术等,这就需要规模较大的专业设计队伍、较长的开发周期和高昂的开发费用。由于涉及大量集成电路后端设计和微电子技术的专门知识,因此设计者在转向 SOC 的过程中也要面临巨大困难,如难以被中小企业、研究院所和大大专院校采用。

SOC 面临上述诸多困难的原因在于 SOC 技术是基于超大规模专用集成电路实现的,因此整个设计过程必须实现完整的定制或半定制集成电路设计流程。美国 Altera 公司在 2000 年提出了片上可编程系统(SOPC, system on programmable chip)技术。SOPC 是一种灵活、高效的 SOC 解决方案。其将处理器、存储器、I/O 接口、硬件加速器等系统需要的功能模块集成到一个 FPGA 器件上,从而构成一个可编程的片上系统。由此可以看出,SOPC 实际上是 FPGA 与 SOC 技术融合的产物。SOPC 是可编程系统,具有灵活的设计方式,可载

剪、可扩充、可升级,并具备软硬件可编程的功能。SOPC 技术不仅保持了 SOC 以系统为中心、基于 IP 模块多层次、高度复用的特点,而且具有设计周期短、风险投资小和设计成本低的优点。由此可见,SOPC 与 SOC 的区别就是 FPGA 与 ASIC 的区别。SOPC 是 SOC 发展的新阶段,代表了当今电子设计的发展方向。基于 SOPC 的嵌入式系统如图 1.3 所示。

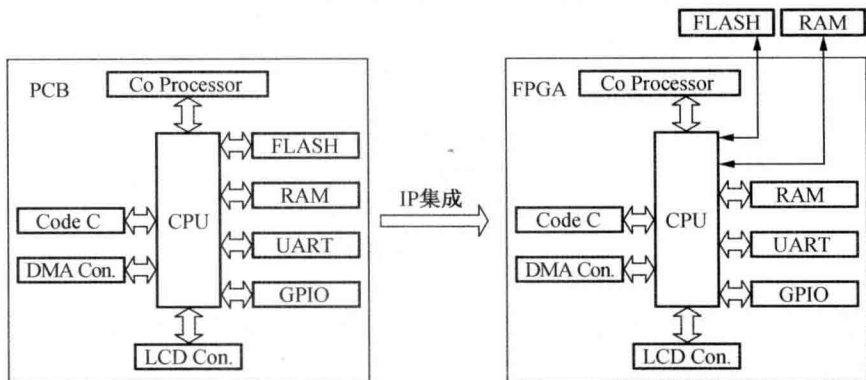


图 1.3 基于 SOPC 的嵌入式系统

IP(Intellectual Property)是知识产权的简称,SOC 和 SOPC 的设计均以集成电路 IP 核为基础。集成电路 IP 核具有知识含量高、工艺容差性大、可复用等特点。IP 核在 SOPC 系统设计中占有极其重要的地位,因此 IP 核设计及 IP 核的复用已成为 SOPC 技术发展的关键所在。集成电路 IP 核是经过预先设计、预先验证、符合产业界的设计规范和设计标准、具有相对独立并可复用的电路模块或子系统,如 CPU、运算器、协议控制器、转换器等。在 SOPC 设计中,每一个组件都是一个 IP 核。IP 核模块有行为、结构和物理三级不同程度的设计,对应描述功能行为的不同分为三类,即完成行为描述的软核(soft IP core)、完成结构描述的固核(firm IP core)和基于物理描述并经过工艺验证的硬核(hard IP core)。

软核:IP 软核经过 RTL 级设计优化和功能验证,以 HDL 文本形式提交给用户但不含有任何具体的物理信息。利用 IP 软核,用户可以综合出正确的门电路级设计网表,并可以进行后续的结构设计,具有很大的灵活性;借助于 EDA 综合工具可以很容易地与其他外部逻辑电路集成,根据各种不同半导体工艺,设计成具有不同性能的器件。IP 软核也称为虚拟组件(VC, Virtual Component)。

硬核:IP 硬核是基于半导体工艺的物理设计,已有固定拓扑布局和具体工艺,并经过工艺验证,具有可保证的性能。IP 硬核一般以电路物理结构掩模版图和全套工艺文件的形式提供给用户。

固核:IP 固核的设计程度介于软核和硬核之间,除了完成软核所有的设计外,还完成了门级电路综合和时序仿真等设计环节。IP 固核一般以门级电路网表的形式提供给用户。

1.2 支持 SOPC 的可编程逻辑器件

Altera 公司的可编程逻辑器件主要包括:Cyclone, Stratix, Arria, HardCopy, Max 等系列的可编程逻辑器件,如图 1.4 所示。并不是所有 Altera 公司的 FPGA 都支持 SOPC 技术,目前主要有 Stratix, Cyclone, Arria 等系列的 FPGA 支持 SOPC 技术。

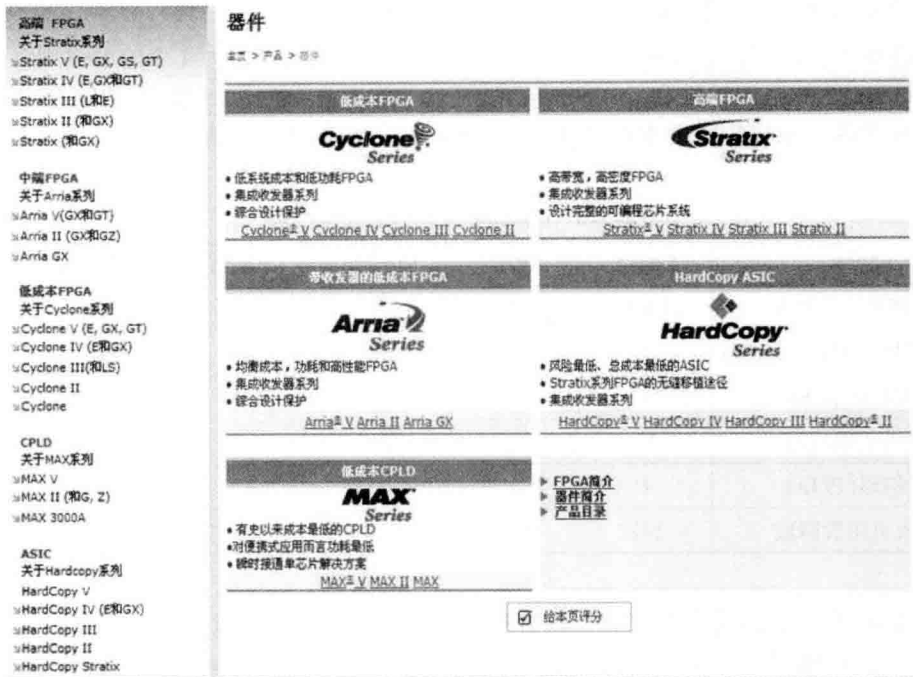


图 1.4 Altera 公司的可编程逻辑器件

1.2.1 Cyclone 器件

Cyclone 是 Altera 公司于 2002 年 12 月份推出的。Cyclone 系列器件是基于 1.5 V, 0.13 μm 及全铜 SRAM 工艺生产的。Cyclone 系列 FPGA 容量为 2 910 ~ 20 060 个逻辑单元 (LE), 拥有 288 KB 的 RAM。Cyclone 系列 FPGA 最大的特点是低成本, Cyclone 系列 FPGA 是成本敏感、大批量应用的最佳方案, 用户大批量应用的价格与 ASIC 是相当的。消费类、通信、计算机外设、工业和汽车等低成本大批量应用市场都可以使用 Cyclone 系列 FPGA。Cyclone 系列芯片特性表如表 1.1 所示。

表 1.1 Cyclone 系列芯片特性表

特性	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
逻辑单元 (LEs)	2 910	4 000	5 980	12 060	20 060
M4K RAM 块	13	17	20	52	64
RAM 总量/KB	59	77	90	234	288
锁相环 (PLLs)	1	2	2	2	2
最大可用管脚数	104	301	185	249	301

Cyclone II 是 Altera 公司在第一代 Cyclone 系列的基础上开发的第二代 FPGA 系列器件。采用了全铜层 90 nm 低 k 绝缘 1.2 V SRAM 工艺设计。

Cyclone II DSP 支持包括: 多达 150 个的 18×18 乘法器、1.1 Mb 的片内嵌入式存储器、

外部存储器高速接口(最高速率可达 668 Mb/s)、DSP IP 内核。

Cyclone II器件的容量为 4 608 ~ 68 416 个逻辑单元(LE),最多为 4 个的增强型锁相环。

Cyclone II 的应用领域和 Cyclone 系列相似,是消费类、通信、计算机外设、工业和汽车、视频处理等终端市场解决方案的理想选择。Cyclone II 系列芯片特性如表 1.2 所示。

表 1.2 Cyclone II 系列芯片特性表

特性	EP2C5	EP2C8	EP2C20	EP2C35	EP2C50	EP2C70
逻辑单元(LEs)	4 608	8 256	18 752	33 216	50 528	68 416
M4K RAM 块	26	36	52	105	129	250
RAM 总量/KB	117	162	234	473	581	1 125
嵌入式乘法器	13	18	26	35	86	150
锁相环(PLLs)	1	2	2	4	4	4
最大可用管脚数	142	182	315	475	450	622

Cyclone III体系结构含有 120 K 垂直排列的逻辑单元(LE)、以 9 Kb (M9K)模块排列的 4 Mb 嵌入式存储器和 200 个 18×18 b 嵌入式乘法器。Cyclone III 在布局上提供丰富的存储器和乘法器资源,包括 200 K 逻辑单元、8.2 Mb 嵌入式存储器和 396 个嵌入式乘法器。Cyclone III 系列芯片特性如表 1.3 所示。

表 1.3 Cyclone III 系列芯片特性表

特性	EP3C5	EP3C10	EP3C16	EP3C25	EP3C40	EP3C55	EP3C80	EP3C120
逻辑单元(LEs)	5 136	10 320	15 408	24 624	39 600	55 856	81 264	119 088
M9K RAM 块	46	46	56	66	126	260	305	432
RAM 总量/KB	414	414	504	594	1 134	2 340	2 745	3 888
嵌入式乘法器	23	23	56	66	126	156	244	288
锁相环(PLLs)	2	2	4	4	4	4	4	4
最大可用管脚数	182	182	346	215	535	377	429	531

Cyclone IV拓展了 Cyclone FPGA 系列的领先优势,为市场提供成本最低、功耗最低并具有收发器的 FPGA。Cyclone IV 系列含有两种型号:集成了 3.125 Gb/s 收发器的 Cyclone IV GX FPGA 以及 Cyclone IV E FPGA,在降低成本的同时提高带宽的需求。Cyclone IV 系列芯片特性如表 1.4、表 1.5 所示。

表 1.4 Cyclone IV GX FPGA 系列芯片特性表

特性	EP4CGX15	EP4CGX22	EP4CGX30	EP4CGX50	EP4CGX75	EP4CGX110	EP4CGX150
逻辑单元(LEs)	14 400	21 280	29 440	49 888	73 920	109 424	149 760
M9K RAM 块	60	84	120	278	462	610	720



表 1.4(续)

特性	EP4CGX15	EP4CGX22	EP4CGX30	EP4CGX50	EP4CGX75	EP4CGX110	EP4CGX150
RAM 总量/KB	540	756	1 080	2 502	4 158	5 490	6,480
嵌入式乘法器	0	40	80	140	198	280	360
PCIe Hard IP 模块	1	1	1	1	1	1	1
锁相环(PLLs)	3	4	4	8	8	8	8
收发器 I/O	2	4	4	8	8	8	8
最大可用管脚数	72	150	290	310	310	475	475

表 1.5 Cyclone IV E FPGA 系列芯片特性表

特性	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
逻辑单元(LEs)	6 272	10 320	15 408	22 320	28 848	39 600	55 856	75 408	114 480
M9K RAM 块	30	46	56	66	66	126	260	305	432
RAM 总量/KB	270	414	504	594	594	1 134	2 340	2 745	3 888
嵌入式乘法器	15	23	56	66	66	116	154	200	266
锁相环(PLLs)	2	2	4	4	4	4	4	4	4
最大可用管脚数	179	179	343	153	532	532	374	426	528

Cyclone V FPGA 实现了业界最低的系统成本和功耗,与前几代产品相比,总功耗降低了 40%,具有高效的逻辑集成功能。Cyclone V 系列芯片特性如表 1.6、表 1.7、表 1.8、表 1.9、表 1.10 和表 1.11 所示。

表 1.6 只提供逻辑的 Cyclone V E FPGA 系列芯片特性表

特性	5CEA2	5CEA4	5CEA5	5CEA7	5CEA9
逻辑单元(KLEs)	25	49	77	149.5	301
M10K RAM 块	176	308	446	686	1 220
RAM 总量/KB	1 760	3 080	4 460	6 860	12 200
存储器逻辑阵列模块 (MLAB)/(KB)	196	303	424	836	1 717
嵌入式乘法器	50	132	300	312	684
精度可调数字信号处理 (DSP) 模块	25	66	150	156	342
锁相环(PLLs)	4	4	6	7	8
最大可用管脚数	224	224	240	480	480
存储器控制器	1	1	2	2	2

表 1.7 具有 3.125 Gb/s 收发器的 Cyclone V GX FPGA 系列芯片特性表

特性	5CGXC3	5CGXC4	5CGXC5	5CGXC7	5CGXC9
逻辑单元 (KLEs)	35.5	50	77	149.5	301
M10K RAM 块	135	250	446	686	1 220
RAM 总量/KB	1 350	2 500	4 460	6 860	12 200
MLAB/Kb	291	295	424	836	1 717
嵌入式乘法器	114	140	300	312	684
精度可调 DSP 模块	57	70	150	156	342
PCI Express (IP) 模块	1	2	2	2	2
分段式 PLL	4	6	6	7	8
最大可用管脚数	208	336	336	480	560
存储器控制器	1	2	2	2	2

表 1.8 具有 6.144 Gb/s 收发器的 Cyclone V GT FPGA 系列芯片特性表

特性	5CGTD5	5CGTD7	5CGTD9
逻辑单元 (KLEs)	77	149.5	301
M10K RAM 块	446	686	1 220
RAM 总量/KB	4 460	6 860	12 200
MLAB/Kb	424	836	1 717
嵌入式乘法器	300	312	684
精度可调 DSP 模块	150	156	342
PCI Express (IP) 模块	2	2	2
分段式 PLL	6	7	8
最大可用管脚数	336	480	560
存储器控制器	2	2	2

表 1.9 具有基于 ARM 的硬核处理器系统 (HPS) 和逻辑的 Cyclone V SE SOC FPGA 系列芯片特性表

特性	5CSEA2	5CSEA4	5CSEA5	5CSEA6
逻辑单元 (KLEs)	25	40	85	110
自适应逻辑模块 (ALM)	9 434	15 094	32 075	41 509
M10K RAM 块	140	270	397	557
RAM 总量/KB	1 400	2 700	3 970	5 570
MLAB/Kb	138	231	480	621
嵌入式乘法器	72	168	174	224
精度可调 DSP 模块	36	84	87	112
FPGA PLL	5	5	6	6



表 1.9(续)

特性	5CSEA2	5CSEA4	5CSEA5	5CSEA6
HPS PLL	3	3	3	3
FPGA 用户 I/O 最大数量	145	145	288	288
HPS I/O 最大数量	181	181	181	181
FPGA 硬核存储器控制器	1	1	1	1
HPS 硬核存储器控制器	1	1	1	1
处理器内核	一个或两个	一个或两个	一个或两个	一个或两个

表 1.10 具有基于 ARM 的 HPS 和 3.125 Gb/s 收发器的 Cyclone V SX SOC FPGA 系列芯片特性表

特性	5CSXC2	5CSXC4	5CSXC5	5CSXC6
逻辑单元(KLEs)	25	40	85	110
自适应逻辑模块 (ALM)	9 434	15 094	32 075	41 509
M10K RAM 块	140	270	397	557
RAM 总量/KB	1 400	2 700	3 970	5 570
MLAB/Kb	138	231	480	621
嵌入式乘法器	72	168	174	224
精度可调 DSP 模块	36	84	87	112
收发器最大数量	6	6	9	9
PCIe 硬核 IP 模块	2	2	2 (1)	2 (1)
FPGA PLL	5	5	6	6
HPS PLL	3	3	3	3
FPGA 用户 I/O 最大数量	145	145	288	288
HPS I/O 最大数量	181	181	181	181
FPGA 硬核存储器控制器	1	1	1	1
HPS 硬核存储器控制器	1	1	1	1
处理器内核	两个	两个	两个	两个

表 1.11 具有基于 ARM 和 5 Gb/s 收发器的 Cyclone V ST SOC FPGA 系列芯片特性表

特性	5CSTD5	5CSTD6
逻辑单元(KLEs)	85	110
自适应逻辑模块 (ALM)	32 075	41 509
M10K RAM 块	397	557
RAM 总量/KB	3 970	5 570
MLAB/Kb	480	621
嵌入式乘法器	174	224

表 1.11(续)

特性	5CSTD5	5CSTD6
精度可调 DSP 模块	87	112
收发器最大数量	9	9
PCIe 硬核 IP 模块	2	2
FPGA PLL	6	6
HPS PLL	3	3
FPGA 用户 I/O 最大数量	288	288
HPS I/O 最大数量	181	181
FPGA 硬核存储器控制器	1	1
HPS 硬核存储器控制器	1	1
处理器内核	两个	两个

1.2.2 Stratix 器件

Stratix FPGA 是 Altera 的第一代 Stratix 系列器件。Stratix 系列器件是 Altera 公司的大规模高端 FPGA,于 2002 年推出,采用 0.13 μm 的工艺,1.5 V 内核供电,容量为 10 570 ~ 79 040 个逻辑单元(LE),具有多达 7 M 位的 RAM。Stratix 器件具有多达 22 个 DSP 块和多达 176 个 18×18 b 嵌入式乘法器,具有多种高性能的 I/O 接口、层次时钟结构和多达 12 个锁相环。第一代 Stratix FPGA 是军用和航空航天领域所选用的 FPGA,在这些应用中需要较宽的工作温度范围。Stratix 系列芯片特性如表 1.12 所示。

表 1.12 Stratix 系列芯片特性表

特性	EP1S10	EP1S20	EP1S25	EP1S30	EP1S40	EP1S60	EP1S80
逻辑单元(LEs)	10 570	18 460	25 660	32 470	41 250	57 120	79 040
M512 RAM 块	94	194	224	295	384	574	767
M4K RAM 块	60	82	138	171	183	292	364
M-RAM 块($4 \text{ K} \times 144 \text{ b}$)	1	2	2	4	4	6	9
RAM 总量/b	920 448	1 669 248	1 944 576	3 317 184	3 423 744	5 215 104	7 427 520
DSP 块	6	10	10	12	14	18	22
嵌入式乘法器	48	80	80	96	112	144	176
锁相环(PLLs)	6	6	6	10	12	12	12
最大可用管脚数	426	586	706	726	822	1,022	1,203

Stratix II 器件于 2005 年推出,在 Stratix 架构的基础上,Stratix II 器件做了一些适合于 90 nm 工艺的改进,采用 1.2 V、90 nm、9 层金属走线、全铜 SRAM 工艺制造。在 Stratix 基础上,Stratix II 器件增加了新的特性:采用了全新的逻辑结构——自适应逻辑模块(ALM);增加了源同步通道的动态相位校准(PDA)电路和支持新型外设存储器接口;采用了 128 位



AES 密钥对配置文件加密。Stratix II 系列 FPGA 的等效逻辑单元(LE)高达 179 400 个,嵌入式存储器达到 9 M 位,最大可用管脚数达到 1 173 个,高度优化的数字信号处理模块中 18×18 位乘法器数量达到 384 个。Stratix II 系列芯片特性如表 1.13 所示。

表 1.13 Stratix II 系列芯片特性表

特性	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
自适应逻辑模块	6 240	13 552	24 176	36 384	53 016	71 760
等效逻辑单元(LEs)	15 600	33 880	60 440	90 960	132 540	179 400
M512RAM 块(32×36 b)	104	202	329	488	699	930
M4K RAM 块(128×36 b)	78	144	255	408	609	768
M-RAM 块($4\text{ K} \times 144$ b)	0	1	2	4	6	9
RAM 总量/b	419 328	1 369 728	2 544 192	4 520 448	6 747 840	9 383 040
DSP 块	12	16	36	48	63	96
嵌入式乘法器(18×18 b)	48	64	144	192	252	384
增强锁相环(Enhanced PLLs)	2	2	4	4	4	4
快速锁相环(Fast PLLs)	4	4	8	8	8	8
最大可用管脚数	366	500	718	902	1 126	1 170

Stratix III FPGA 为基站、网络基础设施和高级成像设备提供了高性能和高度集成功能。Stratix III 器件具有可编程功耗技术、可选内核电压(0.9 V 或者 1.1 V)、配备 Quartus II PowerPlay 功耗分析和优化工具。因此 Stratix III 器件具有最低的静态和动态功耗,比前代 FPGA 低 50%。

Stratix III 器件具有增强 DSP 模块,方便实现了信号处理算法;经过优化的内部存储器,改进了信号完整性存储器接口;具有高性能外部存储器接口;改进了布线体系结构;灵活的 I/O 支持最新的外部存储器标准。因此 Stratix III 器件支持高速内核以及高速 I/O,并且具有业界最佳的信号完整性。

Stratix III 系列芯片特性如表 1.14、表 1.15 所示。

表 1.14 Stratix III L 系列芯片特性表

特性	EP3SL50	EP3SL70	EP3SL110	EP3SL150	EP3SL200	EP3SE260(1)	EP3SL340
自适应逻辑模块	19 000	27 000	42 600	56 800	79 560	101 760	135 200
等效逻辑单元(LEs)	47 500	67 500	106 500	142 000	198 900	254 400	338 000
寄存器	38 000	54 000	85 200	113 600	159 120	203 520	270 400
M9K 存储器模块	108	150	275	355	468	864	1 144
M144K 存储器模块	6	6	12	16	24	48	48
嵌入式存储器/b	1 836	2 214	4 203	5 499	7 668	14 688	17 208
MLAB/b	594	844	1 331	1 775	2 486	3 180	4 225
嵌入式乘法器(18×18 位)	216	288	288	384	576	768	576