

低功耗 CMOS 逐次逼近型模数转换器

朱樟明 杨银堂 著



科学出版社

低功耗 CMOS 逐次逼近型 模数转换器

朱樟明 杨银堂



科学出版社

北京

内 容 简 介

本书系统介绍了低功耗 CMOS 逐次逼近型模数转换器设计所涉及的一些关键问题,包括体系结构、高层次模型、电容开关时序、关键电路技术、低压模拟电路、电容阵列布局等,同时介绍当前最新的流水线 SAR A/D 转换设计技术和可配置 A/D 转换器设计技术,是当前国外低功耗 CMOS 混合信号集成电路的前沿研究内容。书中所提出的体系结构、电容开关时序及高层次模型、关键电路模块均经过流片验证或 Spice 仿真验证,可以直接供读者参考,且对想深入研究低功耗 CMOS 混合信号集成电路设计的设计人员和研究人员具有很强的指导意义和实用性。

本书适合作为电子等相关专业的高年级本科生和研究生教材,也可作为集成电路设计和研究人员的参考书。

图书在版编目(CIP)数据

低功耗 CMOS 逐次逼近型模数转换器/朱樟明,杨银堂著. —北京:科学出版社, 2015.8

ISBN 978-7-03-045410-2

I. ①低… II. ①朱…②杨… III. ①CMOS 电路—逐次逼近法—模数转换电路—研究 IV. ①TN432

中国版本图书馆 CIP 数据核字(2015)第 195520 号

责任编辑:余 丁 赵艳春 / 责任校对:桂伟利

责任印制:张 倩 / 封面设计:迷底书装

科 学 出 版 社 出 版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

文林印务有限公司 印刷

科学出版社发行 各地新华书店经销

*

2015 年 8 月第 一 版 开本:720×1 000 1/16

2015 年 8 月第一次印刷 印张:14 3/4

字数:285 000

定价:68.00 元

(如有印装质量问题,我社负责调换)

前 言

半导体集成电路的发展极大地推动现代无线通信技术、计算机技术、网络技术及消费电子产业的迅速发展，已成为世界各国极为重要的主导产业和战略产业之一。正值中国集成电路设计产业高速发展之际，响应《国家集成电路产业发展推进纲要》，基于国家优秀青年科学基金、国家自然科学基金等项目研究成果，结合作者多年来的低功耗 CMOS 模拟集成电路设计技术，撰写了本书，希望能在促进中国集成电路设计产业的迅速发展中发挥作用。

本书主要讨论低功耗 SAR A/D 转换器设计所涉及的一些关键问题，包括系统结构及建模、DAC 电容开关时序、低压高效比较器、高线性度自举开关、精度和速度可配置技术等，对想深入了解低功耗 CMOS 混合信号集成电路设计的设计人员和研究人员具有很强的指导意义和实用性。本书所提出的体系结构、DAC 电容开关时序及高层次模型、关键电路模块大部分都是经过流片验证，并在 IEEE TCAS 等国际期刊上发表了相应的论文，可以直接供读者参考。本书第 2 章所涉及的超低电压、超低功耗 SAR A/D 转换器设计技术，第 6 章所涉及的流水线 SAR 混合结构 A/D 转换器设计技术，第 3 章和第 7 章所涉及的可配置 A/D 转换器设计技术，是目前国际低功耗 CMOS 混合信号集成电路的前沿研究内容，也是西安电子科技大学微电子学院朱樟明教授研究小组的最新研究成果。

全书共分为 8 部分，每章自成系统，同时又相互联系，朱樟明教授负责第 1~6 章，杨银堂教授负责绪论和第 7 章，全书由朱樟明教授通稿和最后定稿。本书在写作过程中得到了国家优秀青年科学基金(61322405)、国家自然科学基金重点项目(61234002)、国家高技术研究发展计划(863 计划)课题(2012AA012302)和教育部博士点基金(20120203110017)的资助。特别感谢研究生肖余、邱政、沈易、王祁钰、魏天尧、刘建、宋孝立、帘凯雄、李伟江等，特别感谢教师李娅妮所提供的帮助。

朱樟明 杨银堂

2015 年 3 月于西安电子科技大学微电子学院

目 录

前言

绪论	1
0.1 SAR A/D 转换器的研究进展	1
0.2 本书的主要内容	2
参考文献	3
第 1 章 SAR A/D 转换器设计基础	4
1.1 SAR A/D 转换器的工作原理	4
1.2 电荷再分配 D/A 转换电路	5
1.2.1 二进制权重电容 D/A 转换器	5
1.2.2 分段式电容 D/A 转换器	6
1.2.3 C-2C 式电容 D/A 转换器	7
1.3 SAR A/D 转换器的性能指标	7
1.3.1 静态特性参数	7
1.3.2 动态特性参数	10
参考文献	11
第 2 章 低功耗 SAR A/D 转换器关键设计技术	12
2.1 高效电容开关时序	12
2.1.1 传统电容开关时序	13
2.1.2 节能电容开关时序	14
2.1.3 单调电容开关时序	15
2.1.4 V_{CM} -based 电容开关时序	16
2.1.5 开关功耗分析	17
2.2 CMOS 比较器	18
2.2.1 基本动态锁存比较器	18
2.2.2 双尾电流型动态锁存比较器	19
2.2.3 动态比较器的失调	20
2.2.4 动态比较器的噪声	21
2.3 SAR 控制实现技术	22
2.3.1 传统的 SAR 控制逻辑	22

2.3.2	SAR 动态逻辑实现技术	23
	参考文献	24
第 3 章	低功耗 SAR A/D 转换器	26
3.1	一种 10 位 1.0V 300kS/s SAR A/D 转换器	26
3.1.1	10 位 SAR A/D 转换器结构	26
3.1.2	基于电容拆分技术的 V_{CM} -based 电容开关时序	26
3.1.3	自举开关	31
3.1.4	动态比较器	33
3.1.5	基于动态逻辑的 SAR 控制技术	37
3.1.6	版图设计	39
3.1.7	SAR A/D 转换器测试	41
3.2	10 位 20kS/s 0.6V 超低功耗 SAR A/D 转换器	43
3.2.1	10 位 SAR ADC 的系统结构	43
3.2.2	新型低功耗 DAC 电容开关时序	44
3.2.3	自举开关	47
3.2.4	SAR 动态逻辑	48
3.2.5	实验结果	49
3.3	一种 8 位 0.35V 10kS/s 低功耗 SAR A/D 转换器	50
3.3.1	8 位 SAR A/D 转换器结构	51
3.3.2	基于电容拆分技术的新型电容开关时序	51
3.3.3	低漏电、低失真自举开关	57
3.3.4	衬底驱动全动态比较器	59
3.3.5	DAC 阵列中的电容驱动开关	60
3.3.6	低漏电 SAR 控制逻辑	61
3.3.7	测试结果与讨论	63
	参考文献	64
第 4 章	高精度 SAR A/D 转换器	66
4.1	高精度 SAR A/D 转换器的校准技术	66
4.1.1	模拟自校准技术	66
4.1.2	基于 Split ADC 的数字校准技术	68
4.2	SAR A/D 转换器的电容失配和 Split ADC LMS 数字校准	71
4.2.1	16 位 SAR A/D 转换器的基本结构	71
4.2.2	寄生电容和电容失配	73
4.2.3	基于 Split ADC 的 LMS 数字校准原理	75
4.2.4	基于 Split ADC 的 LMS 数字校准高层次建模	77

4.3	基于 Split ADC LMS 数字校准技术的 16 位 SAR A/D 转换器	79
4.3.1	基本工作原理	80
4.3.2	关键模块电路	84
4.3.3	仿真结果	88
4.4	基于 Sub-radix-2 的 SAR A/D 转换器数字校准算法	88
4.4.1	SAR A/D 转换器的广义码域线性均衡器	89
4.4.2	DAC 失配误差的数字可校准性	90
4.4.3	基于 Sub-radix-2 的 SAR A/D 转换器	92
4.5	基于扰动数字校准的 16 位 SAR A/D 转换器	94
4.5.1	基于扰动的数字校准原理	94
4.5.2	16 位 1MS/s SAR A/D 转换器	97
	参考文献	102
第 5 章	高速 SAR A/D 转换器	104
5.1	一种 8 位/10 位可配置高速异步 SAR A/D 转换器	104
5.1.1	可配置 SAR A/D 转换器结构	104
5.1.2	电容 DAC	105
5.1.3	高速比较器	108
5.1.4	异步 SAR 控制技术	109
5.1.5	A/D 转换器仿真结果	110
5.2	一种 8 位 208MS/s SAR A/D 转换器	113
5.2.1	高速采样开关	113
5.2.2	高速可校准比较器	115
5.2.3	终端电容复用	117
5.2.4	校准位和逻辑控制	120
5.2.5	仿真结果	122
5.3	一种 8 位 660MS/s 异步 SAR A/D 转换器	123
5.3.1	异步时钟产生电路	124
5.3.2	预置位技术	125
5.3.3	整体电路工作过程和逻辑控制	127
5.3.4	仿真结果	128
5.4	8 位 2.0GS/s 时域交织 SAR A/D 转换器	129
5.4.1	时域交织 A/D 转换器的误差分析	129
5.4.2	基于模拟延迟锁相环的时钟产生器	131
5.4.3	子通道 SAR A/D 转换器架构与开关电容阵列	133
5.4.4	仿真结果	137

参考文献	138
第 6 章 高速流水线 SAR A/D 转换器	140
6.1 流水线 SAR A/D 转换器基本原理	140
6.1.1 流水线 SAR A/D 转换器的基本结构	140
6.1.2 SAR 辅助型 MDAC 的工作原理	141
6.1.3 SAR 辅助型 MDAC 设计考虑	143
6.2 一种 12 位 50MS/s 流水线 SAR A/D 转换器	147
6.2.1 系统结构	147
6.2.2 流水线 SAR A/D 转换器的误差分析	148
6.2.3 系统结构优化	155
6.2.4 SAR 辅助型 MDAC 电路	159
6.2.5 增益自举运算放大器	161
6.2.6 第二级 SAR A/D 转换器	169
6.2.7 内部时钟产生电路	172
6.2.8 自举开关电路	173
6.2.9 流片测试结果	174
6.3 一种基于过零检测的 10 位 50MS/s 流水线 SAR A/D 转换器	177
6.3.1 基于过零检测器的开关电容电路	177
6.3.2 基于过零检测器的流水线 SAR A/D 转换器的非理想效应	181
6.3.3 基于过零检测器的流水线 SAR A/D 转换器系统设计	182
6.3.4 关键模块电路	188
6.3.5 仿真结果	193
参考文献	194
第 7 章 可配置循环型 CMOS A/D 转换器	197
7.1 系统结构	197
7.1.1 循环型 A/D 转换器基本原理	197
7.1.2 6~12 位可配置低功耗循环型 A/D 转换器系统结构	198
7.1.3 冗余数字校准	199
7.1.4 多工作模式设计	200
7.2 关键模块电路	201
7.2.1 采样保持电路基本原理	201
7.2.2 余量增益电路	209
7.2.3 可配置 CMOS 运算放大器	217
7.2.4 动态比较器	219
7.2.5 非交叠时钟产生模块	220

7.3 整体性能仿真和版图布局	221
7.3.1 动态性能仿真结果	221
7.3.2 功耗仿真	224
7.3.3 版图布局	225
参考文献	226

绪 论

随着便携式电子终端设备应用的高速发展,在无线体域网、无线传感器网络(WSN)、无线通信、视频传输、光通信和光传输等领域,对 A/D 转换器(ADC)的性能要求不断提高。传感器节点、移动电子设备终端的消费者希望巡航时间尽可能长,有些应用要求电池供电维持甚至几年以上,从而要求系统芯片(SOC)的每个模块能达到低功耗高效率的要求,所以高精度、低功耗和高速的设计成为 A/D 转换器设计的主要需求和挑战。流水线 A/D 转换器(pipelined ADC)由于其在速度、面积、功耗和精度方面具有较好的折中,在设计时留给设计工程师较大的优化空间,所以是目前较好架构选择^[1-3],但是高性能的流水线 A/D 转换器需要高增益、高带宽的运算放大器,而基于纳米级 CMOS 工艺实现高性能运算放大器是非常困难的。与流水线 A/D 转换器相比,逐次逼近型(Successive Approximation, SAR) A/D 转换器因其结构更简单、模拟模块少、面积更小、功耗更低,而广泛应用于中低速应用领域^[4,5],而且低分辨率高速、高精度低速的 SAR A/D 转换器也不断涌现,并能享受集成电路制造技术快速发展所带来的优势。所以基于 CMOS 集成电路工艺研究 SAR A/D 转换器电路对提高现代电子系统,特别是便携式电子装备的性能具有重要的意义。

0.1 SAR A/D 转换器的研究进展

随着 CMOS 工艺的改进,国内外对于低功耗 SAR A/D 转换器方面的研究有了突破性的进展,其中降低 A/D 转换器的电源电压是降低功耗的最有效、最直接的方法。2007 年, Gambini 等在 IEEE JSSC 发表论文,展示了一款基于 90nm CMOS 工艺应用于无线传感器的 SAR A/D 转换器,能在 0.5V 低压下工作,功耗仅为 7 μ W,优值为 0.14pJ/Conv.-Step^[6]。2010 年, Yoshioka 等设计了一款 10 位带校准的 SAR A/D 转换器,在 1.0V 工作电压、50MS/s 的采样速率下功耗为 820 μ W,其中 DNL<0.82LSB, INL<0.72LSB^[7]。2012 年,毕业于上海交通大学正在瑞典林雪平大学攻读博士学位的 Zhang 采用电平移位器结构,降低了逻辑控制部分的电压,在 1kS/s 采样速率、1V 的工作电压和 0.4V 的逻辑控制电压下,整体功耗仅有 53nW,优值为 94.5fJ/Conv.-Step^[8]。到 2014 年,在低功耗 SAR A/D 转换器领域出现了众多新型节能型的开关时序,像基于 V_{CM} 的单调型、混合型节能时序等^[9,10],采用新时序设计的电路极大地降低了差分型电容阵列的开关能耗,从而使整个 SAR A/D 转换器具有很低的功耗和优良的性能。

高精度 SAR A/D 转换器也逐步应用于速度和精度等关键性能高要求的场合,如高端

数据采集、CT 扫描仪、频谱分析仪、自动测试设备 (ATE) 和通用测试设备。2003 年 ADI 公司推出了一种 16 位 3MS/s SAR A/D 转换器——AD7621, 100kHz@3MS/s 下的信噪比达到 89dB。2013 年 Liner Technology 公司推出 20 位 1MS/s SAR A/D 转换器——LTC2378, 2kHz@1MS/s 下的信噪比达到 104dB。

在高速 SAR A/D 转换器设计方面, 国内外也取得了长足的进步和发展。2013 年, Stepanovic 等基于 65nm CMOS 工艺设计了一款 11 位 24 通道时域交织 SAR A/D 转换器, 在 2.8GS/s 采样速率下, 信噪失真比 (SNDR) 达到了 50.9dB^[11]。2014 年, IBM 设计团队基于 32nm SOI CMOS 工艺研制成功了 8 位 90GS/s 时域交织 SAR A/D 转换器, 比 2012 年富士通微电子基于 40nm CMOS 工艺所设计的 8 位 64GS/s 时域交织 A/D 转换器还要领先, 16GHz 带宽下的有效位数超过了 5 位^[4]。

由于 SAR A/D 转换器的低功耗完美特性, 流水线 A/D 转换器的工作方式和成熟的模块化的优化理论相结合已成为最近几年的研究热点之一。2012 年开始, 国内外许多研究小组开始把目标转向对流水线 SAR A/D 转换器的研究。2012 年, Lee 等首次发表了小组设计的一款两级流水线 SAR A/D 转换器, 采样速率达到 50MS/s^[1]。2014 年, 在 ISSCC 会议上, 博通公司的 Van der Goes 等基于 28nm CMOS 工艺研制了一款 80MS/s、两通道交织的流水线 SAR A/D 转换器^[12], SNDR 达到 68dB。此外, 基于过零检测技术、多级流水技术研究高精度流水线 SAR A/D 转换器也是当前的主要研究方向。

0.2 本书的主要内容

本书将围绕低功耗 CMOS SAR A/D 转换器的设计, 介绍 SAR A/D 转换器的基本结构、低功耗电容开关时序、低功耗关键电路技术、物理设计等, 以设计项目为例, 重点介绍了超低功耗 SAR A/D 转换器、高精度 SAR A/D 转换器、高速 SAR A/D 转换器、流水线 SAR A/D 转换器、可配置 A/D 转换器的电路设计技术。

本书将分别讨论低功耗 CMOS SAR A/D 转换器的相关问题。第 1 章主要介绍了 CMOS SAR A/D 转换器的基本概念和特性参数, 包括增益误差、积分非线性 (Integral Non-linearity, INL)、微分非线性 (Differential Non-linearity, DNL)、信噪比 (Signal-to-Noise Ratio, SNR)、信噪失真比 (Signal-to-Noise and Distortion Ratio, SNDR)、总谐波失真 (Total Harmonic Distortion, THD)、有效位数 (Effective Number of Bits, ENOB) 及无杂散动态范围 (Spurious-Free Dynamic Range, SFDR) 等参数, 介绍了基于电荷分配式 D/A 转换器 (DAC) 的 SAR A/D 转换器的基本结构。第 2 章分析了低功耗 CMOS SAR A/D 转换器的关键设计技术, 重点介绍了低功耗 DAC 电容开关时序和低功耗电路设计技术。第 3 章主要介绍了作者近年来所设计的几种低压低功耗 CMOS SAR A/D 转换器的设计实现和流片测试结果。第 4 章结合作者的研究工作, 介绍了 16 位 1MS/s CMOS SAR A/D 转换器的系统结构、校准、电路设计和版图实现等关键技术。第 5 章

介绍了多种单通道高速 SAR A/D 转换器的设计技术, 并介绍了时域交织技术和 8 位 2.0 GS/s SAR A/D 转换器的设计。第 6 章分析了高速流水线 SAR A/D 转换器的基本原理和关键设计技术, 介绍了一种 12 位高速流水线 SAR A/D 转换器和一种基于过零检测的 10 位高速流水线 SAR A/D 转换器的系统结构与电路设计技术。第 7 章基于 SAR A/D 转换器的设计思想, 采用无采样保持放大器的循环流水线结构, 介绍了一种 6~12 位可配置 1MS/s 循环型 A/D 转换器。

参 考 文 献

- [1] Lee C C, Flynn M P. A SAR -assisted two-stage pipeline ADC. *IEEE Journal of Solid-State Circuits*, 2011, 46(4): 859-869.
- [2] Ali A M A, Dinc H, Bhoraskar P, et al. A 14b 1GS/s RF sampling pipelined ADC with background calibration. *IEEE Int Solid-State Circuits Conf (ISSCC)*, 2014: 482-484.
- [3] Lim Y, Flynn M P. A 100MS/s 10.5b 2.46mW comparator-less pipeline ADC using self-biased ring amplifiers. *IEEE Int Solid-State Circuits Conf (ISSCC)*, 2014: 202-204.
- [4] Kull L, Toifl T, Schmatz M, et al. A 90GS/s 8b 667mw $64\times$ interleaved SAR ADC in 32nm digital SOI CMOS. *IEEE Int Solid-State Circuits Conf (ISSCC)*, 2014: 378-379.
- [5] Harpe P, Cantatore E, Van Roermund A. An oversampled 12/14b SAR ADC with noise reduction and linearity enhancements achieving up to 79.1dB SNDR. *IEEE Int Solid-State Circuits Conf (ISSCC)*, 2014:194-196.
- [6] Gambini S, Rabaey J. Low-power successive approximation converter with 0.5V supply in 90 nm CMOS. *IEEE Solid-State Circuit*, 2007, 42(11): 2348-2356.
- [7] Yoshioka M, Ishikawa K, Takayama T, et al. A 10-b 50-MS/s 820W SAR ADC with on-chip digital calibration. *IEEE Trans Circuits and Systems I*, 2010, 4(6): 410-416.
- [8] Zhang D. A 53nW 9.1-ENOB 1-kS/s SAR ADC in 0.13- μm CMOS for medical implant devices. *IEEE Solid-State Circuits*, 2012, 47(7): 1585-1593.
- [9] Zhu Z M, Xiao Y, Song X L. VCM-based monotonic capacitor switching scheme for SAR ADC. *Electronic Letters*, 2014, 49(5): 327-329.
- [10] Sanyal A, Sun N. SAR ADC architecture with 98% reduction in switching energy over conventional scheme. *Electronic Letters*, 2014, 49(4): 238-240.
- [11] Stepanovic D, Nikolic B. A 2.8 GS/s 44.6 mW time-interleaved ADC achieving 50.9dB SNDR and 3dB effective resolution bandwidth of 1.5GHz in 65nm CMOS. *IEEE J Solid-State Circuit*, 2013, 48(4): 971-982.
- [12] Van der Goea F, Ward C, Astgimath S, et al. A 1.5mW 68dB SNDR 80MS/s 2 interleaved SAR assisted pipelined ADC in 28nm CMOS. *IEEE Int Solid-State Circuits Conf (ISSCC)*, 2014:472-473.

第 1 章 SAR A/D 转换器设计基础

SAR A/D 转换器结构简单，数字化特征明显，而且一般不需要线性增益模块单元，使其能够很好地适合现代集成电路工艺的演进路线，因此随着 CMOS 集成电路工艺的快速发展，最近几年 SAR A/D 转换器重新成为 A/D 转换器的研究热点。由于目前主流的 SAR A/D 转换器大部分是基于电荷分配式 D/A 转换器（DAC）结构设计的，所以本章主要介绍电荷重分配式 SAR A/D 转换器的基本原理，并介绍了 SAR A/D 转换器的主要性能参数指标。

1.1 SAR A/D 转换器的工作原理

SAR A/D 转换器非常适用于低功耗应用场合。SAR A/D 转换器采用逐次逼近的算法把模拟输入连续地转换成数字输出码，换言之，通过二进制搜索法，SAR A/D 转换器每个时钟周期只能得到一位数字输出。

SAR A/D 转换器的基本结构框图如图 1.1 所示，为了提高共模噪声抑制能力和转换精度，通常 A/D 转换器会采用差分结构。SAR A/D 转换器基本的模块包括差分电容 DAC、比较器和 SAR 逻辑。

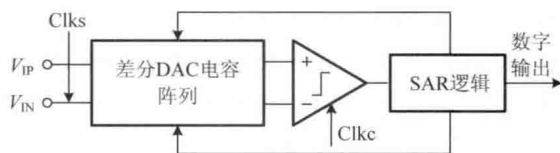


图 1.1 SAR A/D 转换器的基本结构框图

一般来说，差分电容 DAC 是由一组二进制权重的电容对组成的，从而能提高电容之间的匹配性，同时也能减小寄生效应带来的影响。对于采用电容式 DAC 结构的 SAR A/D 转换器，DAC 本身也同时集成了采样保持的功能。比较器在时钟信号的控制下比较差分电容 DAC 的模拟输出，并将比较结果传递到 SAR 控制逻辑。SAR 根据比较器输出依次得到数字码并将其锁存以便转换完成后进行统一输出，同时通过相应的逻辑产生控制信号，控制差分电容 DAC 完成逐次逼近的过程。图 1.2 中示意了一个 N 位差分 SAR A/D 转换器工作时序，DAC 完成逐次逼近的波形图和数字输出码。其工作过程如下：第一个比较周期， V_{IP} 大于 V_{IN} ，所以 $D_1 = 1$ ，同时 V_{IP} 和 V_{IN} 分别向共模电平平移 $1/4V_{REF}$ ；第二个周期， V_{IP} 仍旧大于 V_{IN} ，所以 $D_2 = 1$ ，同时 V_{IP} 和 V_{IN}

分别向下和向上平移 $1/8V_{REF}$ ；第三个周期， V_{IP} 小于 V_{IN} ，所以 $D_3=0$ ，此时 V_{IP} 向上平移 $1/16V_{REF}$ ，而 V_{IN} 向下平移 $1/16V_{REF}$ ；这个过程一直重复到整个转换完成。

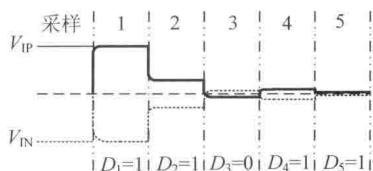


图 1.2 DAC 逐次逼近工作时序

1.2 电荷再分配 D/A 转换电路

基于电荷再分配 D/A 转换器结构的 SAR A/D 转换器最早于 1970 年由加州大学伯克利分校的 McCreary 等提出^[1,2]，电荷再分配 D/A 转换器利用电容之间的电荷再分配完成二进制搜索算法，因此功耗一般比较小。同时由于 CMOS 工艺中的集成电容具有良好的匹配性，所以采用此结构的 A/D 转换器能够达到较高的精度。

1.2.1 二进制权重电容 D/A 转换器

图 1.3 示意了一个 N 位二进制权重的电容 D/A 转换器。电容 D/A 转换器是由一组按比例因子 2 逐次衰减的电容组成的，即 $2^{N-1}C$ 、 $2^{N-2}C$ 、 \dots 、 $2C$ 、 C 、 C ，其中 C 为单位电容，其中最后一个电容 C 为 Dummy 电容，只参与采样过程，转换过程中始终接地。

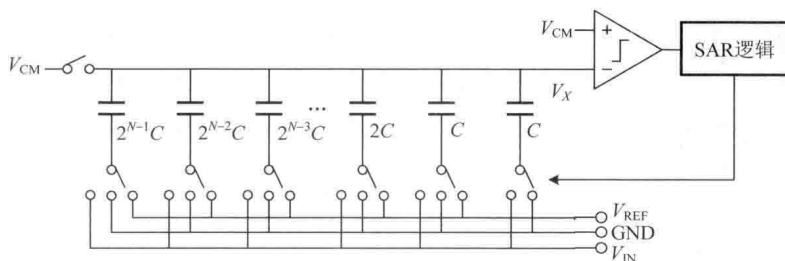


图 1.3 N 位二进制权重的电荷再分配 D/A 转换器

采样阶段，所有电容的下极板接 V_{IN} ，上极板接 V_{CM} ，则此时上极板存储的电荷为

$$Q_x = C_{total}(V_{CM} - V_{IN}) \quad (1.1)$$

式中， $C_{total} = 2^N C$ 。

保持阶段，所有电容的下极板接地，上极板断开与共模电平 V_{CM} 连接，则此时上极板的电压为

$$V_x = V_{CM} - V_{IN} \quad (1.2)$$

在电荷再分配阶段, 首先把最高位电容的下极板接基准电压 V_{REF} , 其他电容下极板依然保持接地, 则由上极板的电荷守恒可得

$$2^N C(V_{\text{CM}} - V_{\text{IN}}) = 2^{N-1} C(V_X - V_{\text{REF}}) + 2^{N-1} C \cdot V_X \quad (1.3)$$

即

$$V_X = V_{\text{CM}} - V_{\text{IN}} + \frac{1}{2} V_{\text{REF}} \quad (1.4)$$

比较器通过比较 V_{CM} 和 V_X 的大小确定 MSB。如果 $V_{\text{IN}} > 1/2 V_{\text{REF}}$, 即 $V_X < V_{\text{CM}}$, 则比较器输出结果为 1, MSB 为 1; 否则, 如果 $V_{\text{IN}} < 1/2 V_{\text{REF}}$, 即 $V_X > V_{\text{CM}}$, 则比较器输出结果为 0, MSB 为 0, 此时重新把最高位电容接地。然后把次高位电容接地, 由电荷守恒原理可以得到此时电压 V_X 增加 $1/4 V_{\text{REF}}$, 根据比较器的结果就可以得到次高位是 1 还是 0。若该位为 1, 则电容保持不变, 否则该位为 0, 次高位电容重新接地。以此类推, 直到最低位 (LSB) 确定, 整个转换过程结束。随着转换过程 V_X 最终会逼近 V_{CM} , 根据不同的比较器输出, V_X 可以表示为

$$V_X = V_{\text{CM}} - V_{\text{IN}} + \sum_{i=1}^N b_i \frac{C_i}{C_{\text{total}}} V_{\text{REF}} \quad (1.5)$$

则数字输出 $D = [b_{N-1}, b_{N-2}, \dots, b_1]$ 。

对于二进制权重的电容 D/A 转换器, 单位电容的个数和面积与精度 N 呈指数性增长, 因此一般不会超过 10 位。

1.2.2 分段式电容 D/A 转换器

为了缓解二进制权重电容的单位电容个数和面积的问题, 文献[6]提出了两级分段式电容阵列, 如图 1.4 所示。两级分段式电容阵列由两个二进制权重的电容子阵列通过一个耦合电容 C_s 连接构成, 假设高位有 M 位, 低位有 L 位, 则其中耦合电容的电容值为

$$C_s = \frac{C_{\text{sum,LSB}}}{C_{\text{sum,LSB}} - 1} C = \frac{2^L}{2^L - 1} C \quad (1.6)$$

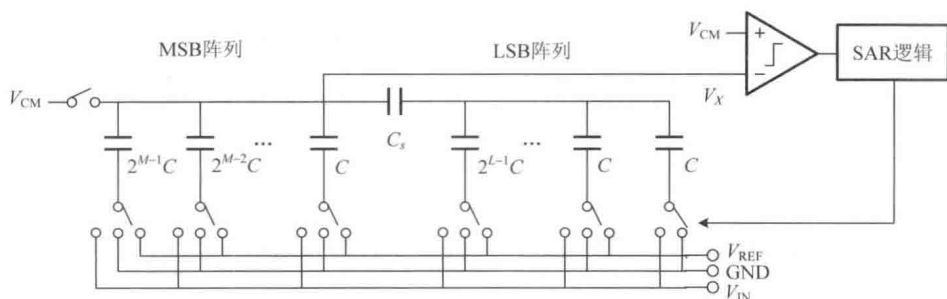


图 1.4 $M+L$ 位分段式的电荷再分配 D/A 转换器

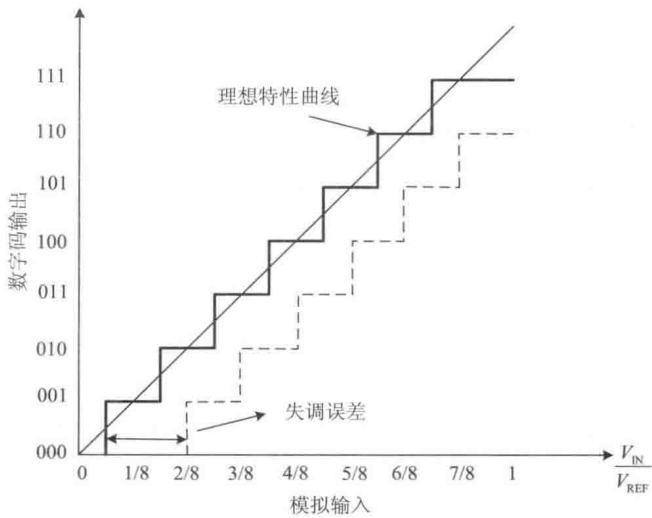


图 1.6 失调误差示意图

由此可知，6mV 的失调误差等价于引入了 6LSB 的误差，即使分辨率是 10 位，但是每次转换过程中必须扣除 6LSB 来消除失调误差，所以实际输出的满量程值只有 $1V \times (1018/1024) = 0.994V$ 。如果失调电压是 -6mV，在接近 0 的模拟输入将不会有任何的输出电压，直到输入电压增加到 6mV 时才会开始输出，这同样会导致输入范围的减小。但这也说明，失调可以通过调节输入范围而校准。失调可以用 LSB 来度量。

2) 增益误差

增益误差 (gain error) 是指 A/D 转换器实际量化曲线的斜率相对于理想特性曲线斜率存在的偏差。如图 1.7 所示，增益误差反映了传输特性直线斜率的误差。与失调误差相似，增益误差的存在同样会导致输入满量程时无法完全输出数字码，导致 A/D 转换器的动态范围降低。

3) DNL 误差

DNL 指的是 A/D 转换器实际量化曲线数字码的转换宽度与理想台阶 Δ 的宽度之差。假设 X_k 是相邻码 $k-1$ 和 k 之间的跳变点，则二进制码 k 的宽度为

$$\Delta(k) = X_{k+1} - X_k \quad (1.8)$$

则

$$\text{DNL} = (\Delta(k) - \Delta) / \Delta \quad (1.9)$$

如图 1.8 所示，DNL 通常以 LSB 来衡量，当 DNL 误差小于 $\pm 1\text{LSB}$ 时，可以保证无漏码。

4) INL 误差

INL 是实际的特性曲线相对于理想的特性曲线在水平方向上的最大差值，常用