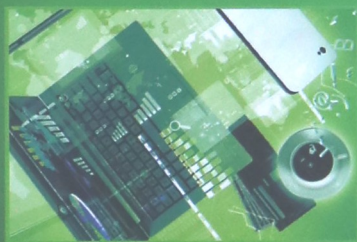


❖ 普通高等教育电子信息类规划教材 ❖

FPGA 技术及应用

FPGA TECHNOLOGIES AND APPLICATIONS



陈金鹰 编著



机械工业出版社
CHINA MACHINE PRESS



本书赠送电子教案

普通高等教育电子信息类规划教材

FPGA 技术及应用

陈金鹰 编著



机械工业出版社

飞速发展的电子技术使在一块芯片上集成 68 亿个晶体管成为现实, 如何利用众多的数字电路基本资源, 是电子设计工程技术人员必须掌握的知识。本书第 1 章从微电子技术以及由此诞生的大规模数字电路基本知识入手, 介绍了 VLSI 电路、SoC 设计技术、IP 核技术。第 2 章介绍了以 SPLD、CPLD、FPGA 芯片为代表的可编程 ASIC 芯片技术, 详细讨论了它们的硬件结构和内部资源。第 3 章介绍了 VHDL 的基本语法现象。第 4 章介绍了 VHDL 程序的结构组织和设计方法。第 5 章通过 VHDL 程序设计实例进一步介绍其在工程实践中的应用和设计技巧。第 6 章通过实验的方式介绍软件开发环境和工具, 通过对具体设计过程的阐述, 使读者通过实际操作来掌握可编程 ASIC 芯片的开发方法。

本书内容适合于通信类、电子类、自动化类、仪器仪表类、计算机类及相关专业的大专生、本科生和研究生学习, 也可供其他相关专业的工程技术人员参考。

与本书内容有关的一些辅助学习资料、本书的教学用电子课件以及习题解答可在机械工业出版社网站 (www.cmpedu.com) 上免费注册、审核后下载。

图书在版编目 (CIP) 数据

FPGA 技术及应用 / 陈金鹰编著. —北京: 机械工业出版社, 2015.3

普通高等教育电子信息类规划教材

ISBN 978-7-111-49512-3

I. ①F… II. ①陈… III. ①可编程序逻辑器件—系统设计—高等学校—教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2015) 第 038449 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 李馨馨

责任编辑: 李馨馨 张利萍 责任校对: 张艳霞

责任印制: 乔 宇

保定市中画美凯印刷有限公司印刷

2015 年 3 月第 1 版 · 第 1 次印刷

184mm×260mm · 18.75 印张 · 459 千字

0001—3000 册

标准书号: ISBN 978-7-111-49512-3

定价: 39.90 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

服务咨询热线: (010) 88379833

机工官网: www.cmpbook.com

读者购书热线: (010) 88379649

机工官博: weibo.com/cmp1952

教育服务网: www.cmpedu.com

封面无防伪标均为盗版

金书网: www.golden-book.com

前 言

为了帮助读者了解和掌握以 FPGA/CPLD 芯片为代表的可编程 ASIC 器件的应用技术,本书通过 6 个章节对相关技术进行了较为详细的探讨。本书建议总学时为 40 学时,其中理论学习占 32 学时,实验操作占 8 学时。由于该领域涉及的技术众多,虽然很难用一本书讲清全部要领,但本书还是尽量将所涉及的技术问题提出来,供读者参考。本书的主要精力将放在基本问题的讨论上,希望能为读者奠定一个较好的基础,以便能较容易地去研究其他书籍所介绍的更深入的话题。

本书第 1 章集成电路基础,首先从半导体的基本概念、集成电路制造工艺、集成电路性能评价出发,介绍了 IC 的基础知识。然后引申到集成电路中的基本逻辑电路,讨论了 MOS 晶体管的工作原理、数字集成电路中的基本元件,使读者对集成电路的来龙去脉有一个较系统的了解。在此基础上介绍了近年来兴起的 VLSI 设计的抽象等级、SoC 设计技术、IP 核的概念,为了帮助读者了解高速集成电路设计中不可忽视的特殊情况,补充介绍了集成电路的封装、信号传输的匹配、传输线上信号的完整性问题。本章安排课时 6 学时,重点在于晶体管、MOS 晶体管、数字集成电路的制作过程和基本结构,了解 SoC、IP 核设计技术及信号的完整性概念。本章难点是集成电路制造工艺、MOS 晶体管的工作原理,以及信号的完整性问题。

第 2 章可编程 ASIC 芯片技术,介绍了 ASIC 器件的基本概念、可编程 ASIC 系统的设计方法、边界扫描测试技术。然后深入分析了 SPLD、CPLD、FPGA 的硬件结构和内部资源。本章安排课时 8 学时,重点掌握 CPLD、FPGA 的硬件结构和内部资源,为后续的学习打下坚实的基础,这也是正确理解 VHDL 程序、正确选择芯片的基础。理解边界扫描测试技术工作原理,可为正确下载程序到芯片中做准备。本章难点是 CPLD、FPGA 的硬件资源是如何实现各种逻辑功能和可编程功能的,以及边界扫描测试的实现过程。

第 3 章 VHDL 的基本语法现象,介绍了 VHDL 对标识符的规定、数据类型、对象描述、运算操作符等 VHDL 的基本语法规则。然后讨论了顺序描述语句和并发描述语句的使用方法,进而介绍了 VHDL 的数值类属性、函数类属性、信号类属性、数据类型类属性、数据区间类属性、用户自定义属性的使用方法。本章安排课时 6 学时,重点掌握数据类型、对象的概念、顺序语句和并行语句的使用,掌握常用属性的使用方法。本章难点为数据类型和属性的概念。

第 4 章 VHDL 程序的结构,在介绍了库、程序包、实体、结构体的声明与使用的基础上,讨论了进程语句、块语句、过程语句、函数语句等子结构体的描述与使用方法,进而介绍了结构体的行为描述方式、寄存器传输级描述方式和结构描述方式的特点和使用方法,最后介绍了配置语句的描述。本章安排课时 6 学时,要求熟练掌握库、程序包、实体、结构体、进程语句、块语句、过程语句、函数语句的正确使用。本章难点为进程语句、块语句、

过程语句、函数语句等子结构体的描述。

第 5 章通信系统中的应用设计,以 FPGA/CPLD 在通信系统中的实际应用为背景,以设计举例的方式介绍了只读存储器、随机存储器、先入先出存储器、RS232 串行接口、SPI 串行接口、DDS 控制电路、数字频率信号发生器、信号检测电路、信号调制控制电路的设计过程,以此开拓读者视野,体会 FPGA/CPLD 在实际工作中的重要地位和作用。本章安排课时 6 学时,重点掌握 VHDL 程序的设计思路,一些细节问题的处理技巧。本章难点是通过自己思考和实际动手完成本章后面的思考题,逐步培养独立编程解决实际问题的能力。

第 6 章软件平台的应用,通过实验的方式介绍以 FPGA/CPLD 为代表的可编程 ASIC 芯片的开发软件的使用方法,包括基于原理图输入的设计方法、基于 IP 核输入的设计方法、基于状态图输入的设计方法、基于 VHDL 输入的设计方法和基于 MATLAB 输入的设计方法。要求读者通过实验操作加深对可编程器件的可编程特性的理解,并正确使用 5 种输入法完成简单的应用设计,基于 MATLAB 输入法作为补充提高部分,教学上不做要求。本章安排课时 8 学时,分两次组织实验,每次 4 学时。第一次实验要求完成原理图输入、IP 核输入、状态图输入的实验,第二次实验要求完成 VHDL 输入的实验,并完成综合、实现、约束、生成下载文件,直至在实验板上完成预定功能。重点掌握前 4 种输入法的设计过程、掌握仿真方法。本章难点是读懂设计过程中生成的各种文件和报告,能分析设计中对芯片资源的使用情况,并完成各实验后附加的思考题。

由于本书篇幅的限制,因此将一些相关资料放到光盘中供读者参考。为方便读者总结、巩固所学内容,还为读者提供一些综合练习,也放到光盘中。对使用本书的教师,还提供了 PPT 课件。本书所用的逻辑电路符号与国标的对照请参考附录。

最后,感谢机械工业出版社的李馨馨编辑和其他同事为本书出版所做的大量工作。感谢本书在编写过程中所得到其他同行老师的帮助。特别感谢刘香燕研究生为本书第 6 章所做的有益贡献,同时感谢研究生王惟洁、李文彬、胡波、杨敏、牟亚南、任小强、赵容、夏藕、吴容、徐曾萍、严丹丹、徐明辉、李天敏、韩子康、王飞等同学给予的支持。

作者于成都理工大学

目 录

前言

第 1 章 集成电路基础	1
1.1 IC 基础知识	3
1.1.1 半导体的基本概念	3
1.1.2 集成电路制造工艺	5
1.1.3 集成电路性能评价	9
1.2 集成电路中的基本逻辑电路	12
1.2.1 MOS 晶体管的工作原理	12
1.2.2 数字集成电路中的基本元件	14
1.3 SoC 技术基本概念	19
1.3.1 VLSI 设计的抽象等级	19
1.3.2 SoC 设计技术	22
1.3.3 IP 核的概念	27
1.4 信号传输的完整性	29
1.4.1 集成电路的封装	29
1.4.2 信号传输的匹配	32
1.4.3 传输线上信号的完整性	35
思考题	41
第 2 章 可编程 ASIC 芯片技术	42
2.1 ASIC 技术基础	42
2.1.1 ASIC 器件的基本概念	42
2.1.2 可编程 ASIC 系统的设计方法	45
2.1.3 边界扫描测试技术	48
2.2 PLD 的硬件结构	54
2.2.1 SPLD 的硬件结构	55
2.2.2 CPLD 的基本概念	61
2.2.3 CPLD 的结构分析	63
2.3 FPGA 的硬件结构	72
2.3.1 FPGA 的基本概念	73
2.3.2 FPGA 的基本结构分析	77
2.3.3 FPGA 的新增资源	94
思考题	100

第3章 VHDL 的基本语法现象	101
3.1 VHDL 的基本语法规则	103
3.1.1 VHDL 对标识符的规定	103
3.1.2 VHDL 的数据类型	104
3.1.3 VHDL 的对象描述	113
3.1.4 VHDL 的运算操作符	121
3.2 顺序语句和并发语句的描述	124
3.2.1 顺序描述语句	124
3.2.2 并发描述语句	138
3.3 VHDL 的属性描述	140
3.3.1 数值类属性	140
3.3.2 函数类属性	143
3.3.3 信号类属性	148
3.3.4 数据类型类属性	152
3.3.5 数据区间类属性	153
3.3.6 用户自定义的属性	154
思考题	155
第4章 VHDL 程序的结构	156
4.1 VHDL 中的库和程序包	156
4.1.1 库的声明与使用	156
4.1.2 程序包的声明与使用	158
4.2 VHDL 中的实体与结构体	161
4.2.1 实体的声明	161
4.2.2 结构体的声明	164
4.3 子结构体的描述	166
4.3.1 进程语句的描述	166
4.3.2 块语句的描述	168
4.3.3 过程语句的描述	169
4.3.4 函数语句的描述	172
4.4 结构体描述方法	175
4.4.1 结构体的行为描述方式	175
4.4.2 结构体的寄存器传输级描述方式	182
4.4.3 结构体的结构描述方式	191
4.5 配置语句的描述	198
思考题	204
第5章 通信系统中的应用设计	205
5.1 存储器程序设计	205
5.1.1 只读存储器设计	205
5.1.2 随机存储器设计	207



5.1.3 先入先出存储器设计	209
5.2 串行接口程序设计	212
5.2.1 RS232 串行接口设计	212
5.2.2 SPI 设计	221
5.3 频率发生器设计	224
5.3.1 DDS 控制电路设计	224
5.3.2 数字频率信号发生器设计	226
5.4 信号检测与调制电路设计	227
5.4.1 信号检测电路设计	227
5.4.2 信号调制控制电路设计	230
思考题	234
第 6 章 软件平台的应用	235
6.1 基于原理图输入的设计方法	235
6.2 基于 IP 核输入的设计方法	245
6.3 基于状态图输入的设计方法	248
6.4 基于 VHDL 输入的设计方法	253
6.5 基于 MATLAB 输入的设计方法	273
附录	288
参考文献	289

第1章 集成电路基础

自1947年12月23日美国的贝尔实验室发明出第一个晶体管,1958年TI开发出全球第一款集成电路(IC)以来,各种IC不断涌现。集成度从最初的每片IC仅有十几个晶体管的小规模集成电路(SSI);发展到中规模集成电路(MSI)、大规模集成电路(LSI)、超大规模集成电路(VLSI)、特大规模集成电路(ULSI)。今天在一片集成电路上可包含30亿个晶体管,半导体技术的发展状况已成为一个国家的技术状况的重要指标,电子技术也成为一个国家提高国防能力的重要途径。有资料表明,1999年以来,电子信息产业取代石油、钢铁等传统产业,成为全球第一大产业。发达国家经济增长的65%与集成电路相关。一般认为,每1~2元的集成电路产值,可带动10元左右电子工业和100元GDP的增长。本章简要介绍集成电路工艺相关知识。

半导体集成电路已经达到了15nm的集成工艺水平,生产集成电路的晶圆直径达到300mm,使其在一块芯片上可集成约68亿个晶体管。芯片工作所用的时钟速度在实验室测试中超过了500GHz,收发器芯片组传输速率达到160Gbit/s。有人推测,当最小线宽达到10nm时,已相当于30个原子排成一列,如果工艺水平进一步提高,过去讨论的PN结等相关半导体理论将不再适用,电子学跃入到量子力学的范畴。有报道称,英国、日本和荷兰的研究人员制造出至今最复杂的量子集成电路,能产生光子并能同时干扰它们,实现量子干涉。发明者表示,研究成果可应用于量子信息处理应用和基于芯片的复杂量子光学实验。

迅速发展的电子技术使人们开始预言,甚至可能十年内淘汰硅晶体管而改用碳晶体管,因为碳材料的开关速度比硅快十倍。这种集成电路发展速度所带来的变化是,芯片工艺尺寸越来越小、芯片尺寸越来越大、单芯片上的晶体管数越来越多、时钟速度越来越快、电源电压越来越低、布线层数越来越多、I/O引线越来越多。芯片功能高度集成对电子设备所带来的影响是,使今天或今后的电子设备更加智能化、数字化、微型化、集成化和多功能化。同时也使得产品研发周期被不断缩短。过去MSI的ASIC电路产品的设计时间为2~3个月,复杂CPU电路的设计时间接近1年,而产品面市时间每晚2~3个月,相当于产品生命周期的利润总和减少50%。因此在目前激烈的市场竞争中,产品面市时间的长短成为公司生存与否的关键。

由此带来的是对设计人员要求的提高,知识面广、知识层次高、知识更新快、年轻化的人才成为用人单位挑选员工的重要考虑。为了适应集成电路水平的发展,设计方法相应地发生着深刻的变化。电子新产品中广泛采用的IP功能块是以VHDL或HDL等语言描述的构成VLSI中各种功能单元的软件群。利用IP可消除重复劳动,分摊初始投资,设计者只需保证IP模块接口而不必了解芯片所有技术便可直接使用,从而降低设计工作量和设计技术难度。IP核的使用使虚拟器件成为可能,借用EDA综合工具,虚拟器件可以很容易地与其他外部逻辑结合为一体,从而增加了设计者可选用的资源。掌握软核与虚拟器件的重用技术可大大缩短设计周期,加快高新技术芯片的投产,这又导致SoC技术的出现,使一个数字系统的功

能甚至可在一片芯片上完成。

硬件功能软件化的发展方向, 导致对集成电子器件的硬件开发过程变为对软件的开发, 硬件的研发交由较好掌握集成电路设计技术的公司来完成, 使集成电路应用者把更多的精力放在自己熟悉的专业应用领域, 利用自己对本专业的了解, 通过软件开发设计更适合本专业的硬件产品。这使得即使对芯片硬件技术一点不懂的计算机专业技术人员, 凭借雄厚的软件基础, 甚至能开发出比电子专业技术人员更好的硬件产品。

在众多 VLSI 芯片中, 可编程 ASIC 技术是最引人瞩目的技术。可编程 ASIC 技术可根据用户特定需要, 由用户自己通过编程的方法, 将集成电路的资源转换为指定的功能, 因此 ASIC 的功能是随应用而变的, 出厂时功能是不确定的, 但具有用户可编程特性。在开发新产品时, 先以可编程 ASIC 产品的形式出现, 批量上市后再固化成专用 ASIC 产品, 从而缩短产品的上市时间, 也降低市场风险。在可编程 ASIC 器件中, 最有代表性的是近年大量使用的 FPGA/CPLD 芯片。1984 年 Xilinx 公司发明了 FPGA, 随后出现了 CPLD, 这些器件由于具有用户可编程特性, 使得电子系统的设计者利用与器件相应的 CAD 软件, 在办公室或实验室里就可以设计自己的 FPGA/CPLD 产品, 实现用户规定的各种专门用途, 使硬件的功能可像软件一样通过编程来配置、仿真、修改, 极大地提高了电子系统的灵活性和通用能力。这些不仅使设计的电子产品趋于小型化、集成化和具有高可靠性, 而且器件的用户可编程特性, 使对产品特性的修改和性能提升甚至可通过互联网远程实时完成, 大大缩短了设计周期, 减少了设计费用, 因而发展势头强劲。在今天的电子产品中, 它们的身影几乎无处不在。

为了帮助用户开发自己的集成电路产品, 进行集成电路应用设计的 EDA 软件工具也得到了很大发展, 除了集成电路芯片生产公司提供有自己的 EDA 软件外, 还有许多第三方软件公司也推出了自己的 EDA 软件工具, 使对可编程 ASIC 器件的开发效率不断提高, 操作不断简化。主要开发工具包括 Xilinx Foundation Series、Xilinx ISE、Altera MAX、Altera Quartus, 以及 Mentor Graphics、Synopsys、Viewlogic、Cadence 公司的开发工具。好的开发工具有利于缩短设计周期、提高设计正确性、降低设计成本、保证产品性能。发展趋势是功能集成和支持高层次描述, 将综合、现实、下载等功能集成为一体。同时, 高层抽象描述语言越来越重要, 更高的抽象级语言是较 HDL 语言更高层次的设计描述。在高级语言的发展中, C/C++ 以及 VHDL 成为 EDA 业界关心的新话题。

以 FPGA/CPLD 芯片为代表的可编程 ASIC 技术水平的提高, 成本的下降, 性能的改善, 促进了应用领域的扩展。在网络设备的应用中包括 Gigabit 以太网 MAC、网络接口卡、PCI 接口、Tbit 路由器、二层交换机/HUB、cable modem、xDSL、无线局域网; 在通信设备的应用中包括 3G/4G 无线设备、光纤通信设备、ATM 设备、无线接入网设备、视频电话、电子商务、PBX、卫星通信、微波通信、软件无线电、蓝牙应用、广播设备、加密通信、数据存储、x.25、帧中继、交换机、数字电视, 以及有线/无线通信中的信道编码、传输信道中的噪声估计、数字电话、DSP 应用、机顶盒、多媒体等应用。在计算机应用中包括嵌入式系统、高速控制、处理器接口、工业控制、可编程分频器、脉冲计数器、中断控制器、脉冲发生器、打印机、键盘、视频与图像处理、PDA、标准总线接口、测试设备。其他应用包括语音识别和纠错的隐含马尔柯夫模型、模糊逻辑控制、高带宽的图像获取、实时机器视觉和神经网络加速、各种控制电路、Internet 家庭娱乐、信息家电设备等。据美国有关方面数据, 军舰、战车、飞机、导弹和航天器中, 所用 IC 占装备和武器成本的比重, 分别达到 22%、

24%、33%、45%和 66%。美国国防预算中的电子含量已占据半壁江山，现代高科技战争，很大程度上打的是芯片战。

1.1 IC 基础知识

IC 的制造过程就是把沙子中的二氧化硅制造为集成电路的过程，包括硅锭制作、单晶硅制备、氧化、离子注入等。这是一个真正的点石成金的过程。

目前集成电路主要采用硅材料，因为硅有以下特点：①硅是自然界中第二丰富的元素，成本低廉；②氧化硅天然具有的绝缘性，有很低的电介常数；③良好的热传导性；④容易进行大范围的电导率调整；⑤良好的机械强度，具有钻石结构；⑥经适当掺杂后获得的 N 型和 P 型材料器件具有良好的性能；⑦PN 结能形成合理的隔离带，低泄漏电流。

此外，碳材料的集成电路也在研究中，已有的研究发现，碳材料的半导体的开关速度比硅快十倍，是一种有潜力的未来集成电路材料。

1.1.1 半导体的基本概念

半导体指室温时电导率在 $10^{10} \sim 10^4 \text{ s/cm}$ 之间的物质材料，纯净的半导体在温度升高时电导率按指数上升。半导体材料有很多种，按化学成分可分为元素半导体和化合物半导体两大类。锗和硅是最常用的元素半导体，III-V 族化合物（砷化镓、磷化镓等）、II-VI 族化合物（硫化镉、硫化锌等）、氧化物（锰、铬、铁、铜的氧化物），以及由 III-V 族化合物和 II-VI 族化合物组成的固溶体（镓铝砷、镓砷磷等）则属于化合物半导体。除上述晶态半导体外，还有非晶态的有机物半导体等。

1. 本征半导体

能用于制造半导体器件的半导体材料，纯度应达到 99.9999999%，其物理结构呈单晶体形态。化学成分纯净的半导体称为本征半导体，如图 1-1 所示。

当半导体处于热力学温度 0K 时，半导体中没有自由电子。当温度升高或受到光的照射时，有的价电子可以挣脱原子核的束缚而成为自由电子。这一现象称为本征激发（也称热激发）。

自由电子产生的同时，在其原来的共价键中就出现了一个空位，原子的电中性被破坏，呈现正电性，其正电量与电子的负电量相等，呈现正电性的这个空位称为空穴。故因热激发而出现的自由电子和空穴是同时成对出现的，称为电子空穴对。游离的部分自由电子也可能回到空穴中去，称为复合。本征激发和复合在一定温度下会达到动态平衡，如图 1-2 所示。

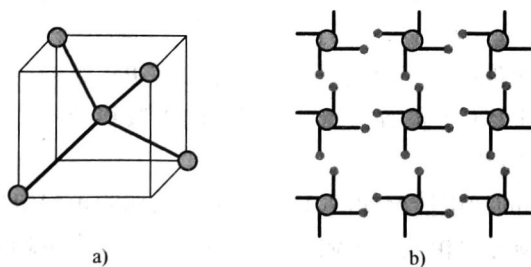


图 1-1 本征半导体结构

a) 硅晶体的空间排列 b) 共价键结构平面

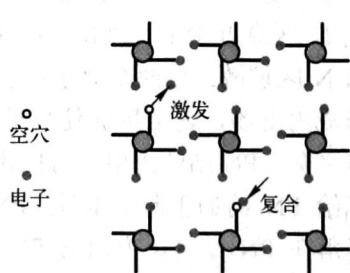


图 1-2 本征激发和复合的过程

2. N 型半导体

在本征半导体中掺入五价杂质元素,例如磷,可形成 N 型半导体,也称电子型半导体。由于五价杂质原子中只有四个价电子能与周围四个半导体原子中的价电子形成共价键,多出一个价电子因无共价键束缚而很容易形成自由电子。这样,在 N 型半导体中自由电子成为多数载流子,它主要由杂质原子提供,空穴是少数载流子,由热激发形成。提供自由电子的五价杂质原子因带正电荷而成为正离子。五价杂质原子也称为施主杂质。N 型半导体如图 1-3 所示。

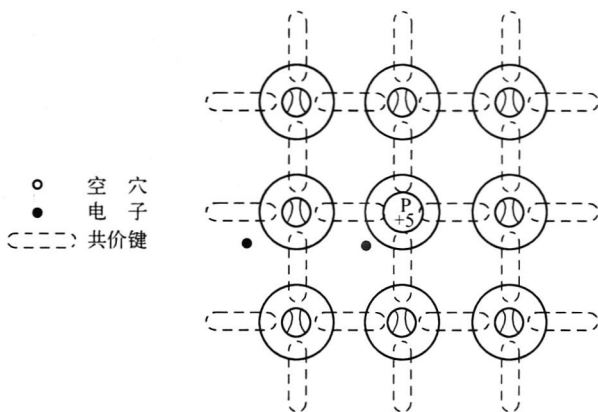


图 1-3 N 型半导体

3. P 型半导体

如果在本征半导体中掺入三价杂质元素,如硼、镓、铟等,则形成了 P 型半导体,也称为空穴型半导体。由于三价杂质原子在与硅原子形成共价键时,缺少一个价电子而在共价键中留下一空穴。P 型半导体中空穴是多数载流子,主要由掺杂形成。电子是少数载流子,由热激发形成。空穴很容易俘获电子,使杂质原子成为负离子。三价杂质因而也称为受主杂质。P 型半导体如图 1-4 所示。

4. PN 结

如果在一块本征半导体的两侧通过扩散不同的杂质,分别形成 N 型半导体和 P 型半导体,由于 N 型半导体和 P 型半导体之间存在电子和空穴的浓度差,导致载流子的扩散运动, N 区多余的电子向 P 区扩散, P 区多余的空穴向 N 区扩散。这样,在 P 区靠近 N 区一侧,由于堆集了大量电子而形成带负电的区域,并阻止 N 区的电子继续向 P 区扩散。同样,在 N 区靠近 P 区一侧,由于堆集了大量空穴而形成带正电的区域,并阻止 P 区的空穴继续向 N 区扩散。这两个离子薄层所形成的带电空间电荷区叫 PN 结。在 PN 结中,空穴与电子形成内电场,内电场促使少子漂移,阻止多子扩散。最后,多子的扩散和少子的漂移达到动态平衡。PN 结的内电场方向由 N 区指向 P 区。

当给 PN 结加正向电压时, PN 结内部的导电情况如图 1-5 所示。外加的正向电压有一部分降落在 PN 结区,方向与 PN 结内电场方向相反,削弱了内电场。于是,内电场对多子扩散运动的阻碍减弱,扩散电流加大。扩散电流远大于漂移电流,可忽略漂移电流的影响。电子在通过电场后势能产生变化,并将势能以热量的吸收与散发表现出来。当电流由 N 型元

件流向 P 型元件的接头时会吸收热量,成为冷端;由 P 型元件流向 N 型元件的接头会释放热量,成为热端。利用这个特点可将半导体做成制冷片,通过定向电流使热能定向传递形成加热器或制冷器。

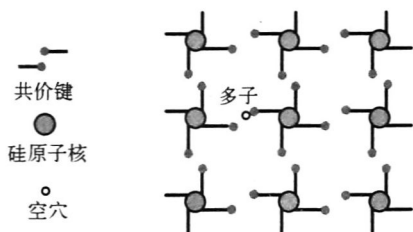


图 1-4 P 型半导体

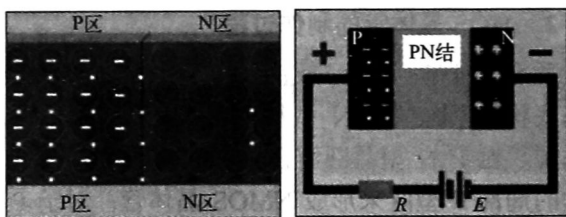


图 1-5 PN 结加正向电压时的导电情况

1.1.2 集成电路制造工艺

集成电路(Integrated Circuit, IC)是一种微型电子器件或部件。可将集成电路定义为:通过采用一定的工艺,把一个电路中所需的晶体管、二极管、电阻、电容和电感等元器件及布线互连一起,制作在一小块或几小块半导体晶片或介质基片上,然后封装在一个管壳内,使其成为具有所需电路功能的微型结构。目前的集成电路有硅基和锗基两类,杰克·基尔比发明了基于硅材料的集成电路,罗伯特·诺伊斯发明了基于锗材料的集成电路。当今半导体工业大多数应用的是基于硅的集成电路。

集成电路又称微电路(microcircuit)、微芯片(microchip)、芯片(chip),是经过氧化、光刻、扩散、外延、蒸铝等半导体制造工艺,把具有一定功能的电路所需的半导体、电阻、电容等元器件,以及它们之间的连接导线全部集成在半导体晶圆表面上的每一小块硅片上,然后切割分块这些小块硅片,再将每个小块硅片焊接封装在一个管壳内的电子器件。其封装外壳有圆壳式、扁平式或双列直插式等多种形式。将电路制造在半导体芯片表面上的集成电路又称薄膜(thin-film)集成电路。将电路集成到衬底或线路板所构成的小型化电路称厚膜(thick-film)混成集成电路(hybrid integrated circuit)。

集成电路的制作包括晶圆生长与切割、IC 加工、晶圆探测、晶圆分块、封装、封装测试六个主要步骤。

1. 晶圆的生产过程

单晶硅是制造任何集成电路都离不开的衬底材料,要制造集成电路首先要有能力制造单晶硅。制备单晶硅有两种方法:悬浮区熔法和直拉法。悬浮区熔法于 20 世纪 50 年代提出,用这种方法制备的单晶硅的电阻率较高,特别适合制作电力电子器件。目前悬浮区熔法制备的单晶硅仅占有很小的市场份额。随着超大规模集成电路的不断发展,不但要求单晶硅的尺寸不断增加,而且要求所有的杂质浓度能得到精密控制,而悬浮区熔法无法满足这些要求,因此,直拉法制备的单晶硅越来越多地被人们所采用。目前市场上的单晶硅绝大部分是采用直拉法制备得到的。

晶圆指的是制作半导体 IC 所用的硅晶片。晶圆的生产过程是:从一个装有融化硅的容器中,慢慢转动并提起一个小的硅晶体,从而产生圆柱形硅晶体,这个过程叫生长。然后用钻石锯将圆柱体切割成许多的单个晶圆片,这个过程叫切片。如图 1-6 所示。生长越久,硅柱越粗,技术难度越大,切割出来的晶圆片面积越大,价格越昂贵。但因面积大的晶圆片一

次生产出的集成电路更多,分摊到每个集成电路芯片上的成本更低,因而 IC 产品更便宜。目前 Intel 公司的 Larrabee 芯片晶圆面积超过 600mm^2 。Larrabee 是未来以图形为中心的协处理器系列产品的研发代号。

2. MOS 晶体管的制作过程

要在本征硅基片上制造集成电路,首先要将杂质掺入本征硅基中,获得 P 型或 N 型晶圆基底材料, P 型或 N 型基底只有较少的掺杂物。芯片制造商可选择制作 N 型晶圆或者 P 型晶圆。对于 N 型晶圆而言,在 N 型晶圆中的设定区域添加 P 型杂质产生一个被称之为 P 型井的局部 P 型区来形成 NMOS 晶体管;对于 P 型晶圆而言,在 P 型晶圆中的设定区域添加 N 型杂质产生一个被称之为 N 型井的局部 N 型区来形成 PMOS 晶体管。这样在一块硅基上有的地方为 P 型基区,有的地方为 N 型基区。如果选择的是 P 型基底,则下一步便是在 P 型区的特定区域通过掺杂 N 型杂质形成高浓度的掺杂 n^+ 区,从而在 P 型基底区中形成 NPN 半导体结构,通过导线连接完成 NMOS 晶体管的制作。对于 N 型井,则是在特定区域通过掺杂 P 型杂质形成高浓度的掺杂 p^+ 区,从而在 N 型井中形成 PNP 半导体结构,通过导线连接完成 PMOS 晶体管的制作,如图 1-7 所示。

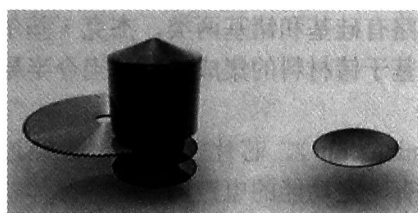


图 1-6 晶圆的生产过程

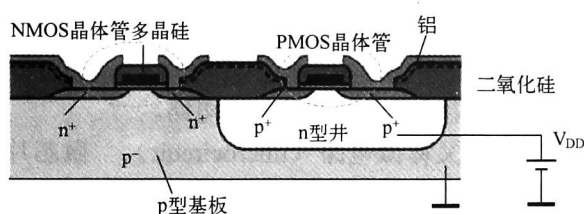


图 1-7 MOS 晶体管的制作

由于此时在一个 P 型晶圆上既有 P 型又有 N 型井,或在一个 N 型晶圆上既有 N 型区又有 P 型井,在这两个 P 区和 N 区的结合部就形成了个 PN 结,这会对 NMOS 晶体管和 PMOS 晶体管的正常工作造成影响。为此需要通过给这两个区加上个额外的反向偏置电路形成反向 PN 结,以达到隔离 NMOS 晶体管和 PMOS 晶体管的作用。故 P 井与 GND 相接, N 井与 V_{DD} 相接。

在 P 型或 N 型基底上做好的各个晶体管由化学沉积的多层铝材料金属线完成连接,在各金属层间的氧化物绝缘体由化学沉积或生长产生,在邻接层间的绝缘体中,通过接触孔或导孔实现两邻层间的金属线的连接,通常接触孔或导孔仅在相邻层间才有,但也有制造商允许“堆放”接触孔进行多层连接。

3. 集成电路的制作过程

集成电路加工是指在晶圆上制作晶体管的过程,其基本制作步骤是首先使用照像平版技术将集成电路设计图像转移到晶圆上,然后使用该图像为引导,在硅基上创建所需层。

基本的制作步骤包括:使用照像平版技术将设计图像转移到晶圆上;使用该图像为引导,在硅上创建所需层;①使用离子灌注形成扩散层;②使用化学沉积或生长形成氧化层;③使用化学沉积形成金属层;④生成多晶硅层。

设计一个集成电路,先要设计布局图。布局图是集成电路的技术规范,制造商以此为据进行集成电路的制作。布局图是一套制图,它提供制作集成电路的几何信息,是集成电路的

顶视图,如图 1-8 所示。在布局图中的每个要制作的对象为一个多边形,不同层用不同颜色来描绘,布局图上不显示 SiO_2 ,它在制作中添加。布局图设计必须满足一套规则,这些规则由制作工艺规定。

IC 制作过程也叫 IC “铸造”,它将晶体管、金属线和导孔印制到硅晶圆上。制作过程确定布局图规则/加工参数。实现一个铸造的是一个硅晶圆制作设备,只有很少的设计公司能负担维持他们自己的铸造,大部分公司将他们的 IC 交由制作服务公司来制作。例如一个 22nm 生产线的投入将超过 100 亿美元。

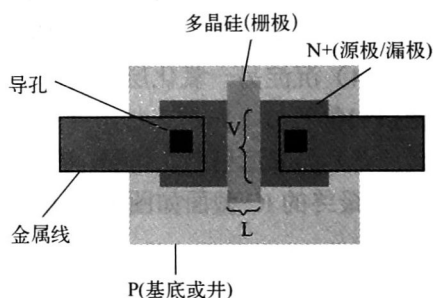


图 1-8 IC 制作的布局图

IC 蚀刻制作步骤如图 1-9 所示。

- 1) 在晶圆上创建一个层 (见图 1-9a)。
- 2) 放置一个阻挡光的感光材料在晶圆的顶部 (见图 1-9b)。
- 3) 将设计图案的图像,通过紫外光投影到晶圆上 (见图 1-9c)。
- 4) 通过化学或等离子蚀刻,显影照片阻挡物,然后硬化阻挡物 (见图 1-9d)。
- 5) 用阻挡物作为模具,蚀刻阻挡物下层 (见图 1-9e)。
- 6) 清除阻挡物 (见图 1-9f)。

按照上述方法制作一个晶体管的步骤如图 1-10 所示。

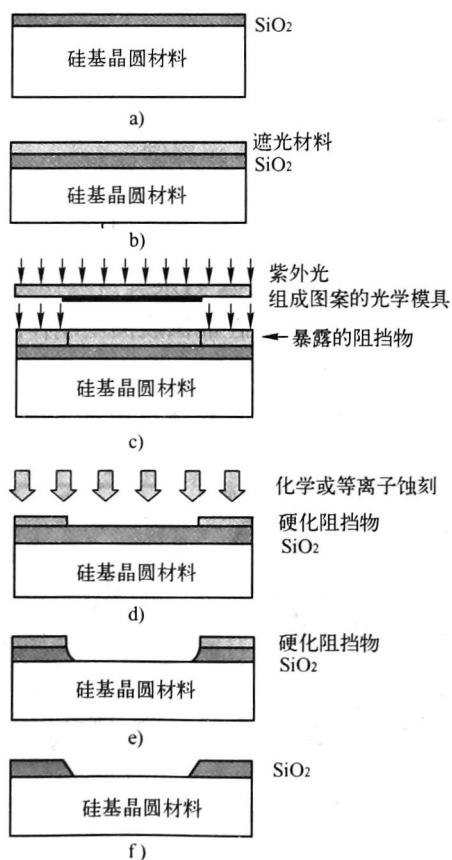


图 1-9 IC 制作步骤

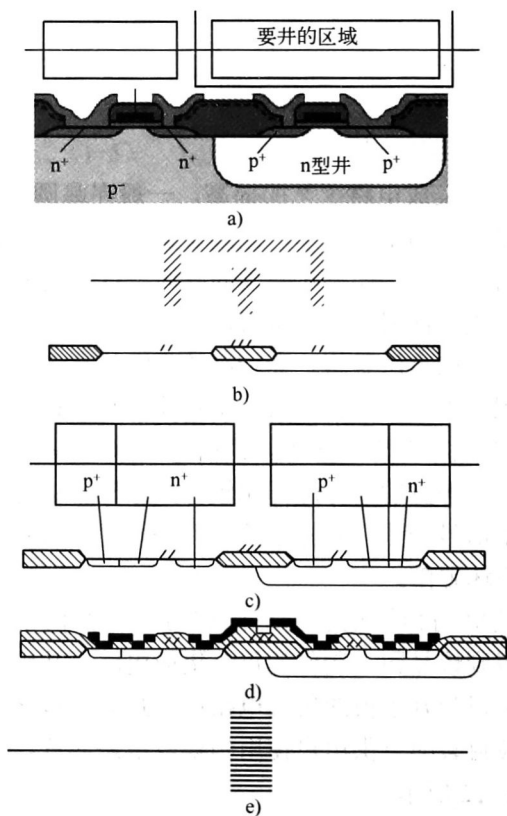


图 1-10 晶体管制作步骤

- 1) 产生井。通过使用照像平版技术产生一个模具，将其覆盖在不要井的区域（见图 1-10a）。
 - 2) 沉淀一个氧化层，然后沉淀并形成多晶硅层图案（见图 1-10b）。
 - 3) 掺杂扩散。扩散由多晶硅和氧化物的位置自我对齐（见图 1-10c）。
 - 4) 沉淀另一氧化层，切割该氧化层以形成导孔。第一个金属层被沉淀并组成图案（见图 1-10d）。
 - 5) 再沉淀另一氧化层，在顶层的氧化层上沉淀金属层（见图 1-10e）。
- 最终的 IC 截面如图 1-11 所示。

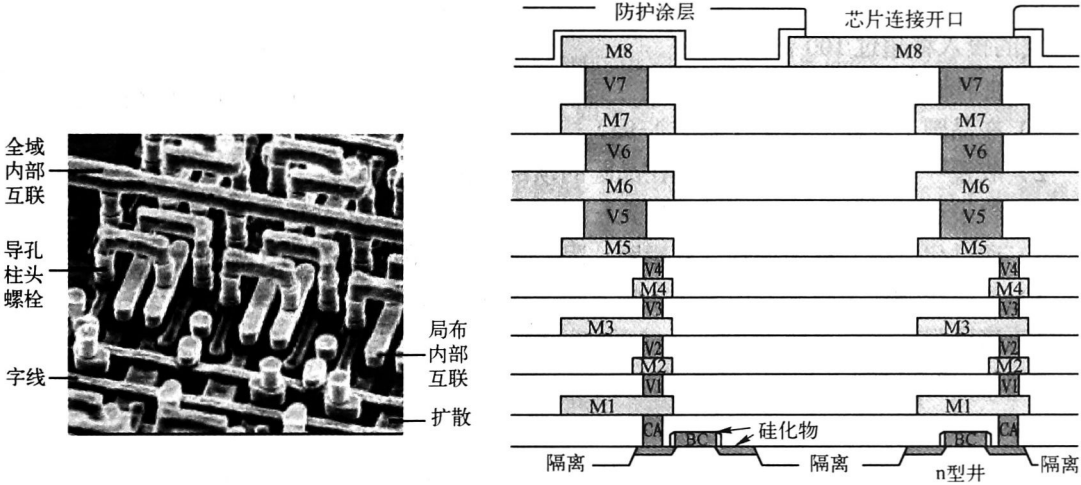


图 1-11 最终的 IC 截面

4. 晶圆的切块与封装

随着集成电路工艺的提高，一般在晶圆（Wafer）表面上一次制作了许多相同的集成电路，以此提高生产效率，晶圆表面上每个独立的集成电路块称为硬模（Die）。在对晶圆进行切块与封装前，还要对硬模的好坏进行检测和标记。晶圆检测是对在晶圆表面上制作的每个单个硬模进行测试，对坏的硬模做出坏硬模标记，这个工作也称晶圆测试或晶圆拣选。

检测的方法是将一套精确的尖针放在该硬模指定的探针焊盘上，将探查系统与一个自动测试设备相连，该设备控制探测的电压和电流。自动测试设备驱动测试信号到输入焊盘，并与输出焊盘的信号进行比较。如果输入信号与输出信号一致，则标记该硬模是好的，否则标记为坏硬模。

经检测和标记后的晶圆就可进行晶圆切块，得到该晶圆上制作的每个集成电路，从中选取标记为好硬模的集成电路进行封装，最终获得被封装的可供用户使用的集成电路芯片，如图 1-12 所示。

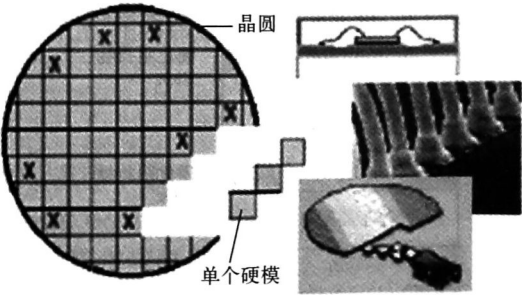


图 1-12 晶圆的切块与封装

1.1.3 集成电路性能评价

对集成电路性能评价指标包括：成本、可靠性、可测量性、速度、功耗、能力。

1. 集成电路成本指标

集成电路成本指标包括非经常性工程成本和重复成本。非经常性工程成本包括设计时间与投入、模具生成，这些属于一次性成本因素。重复成本为硅片处理、封装、测试，是批量进行处理的，与芯片面积成比例。集成电路的产量 Y 可按式 (1-1) 进行计算：

$$Y = \frac{\text{每晶圆上成品芯片数}}{\text{每晶圆上芯片总数}} \times 100\% \quad (1-1)$$

集成电路的硬模成本可按式 (1-2) 进行计算：

$$\text{硬模成本} = \frac{\text{晶圆成本}}{\text{每晶圆上硬模数} \times \text{硬模产量}} \quad (1-2)$$

硬模数与晶圆之比可按式 (1-3) 进行计算：

$$\text{硬模数/晶圆} = \frac{\pi \times (\text{晶圆半径})^2}{\text{硬模面积}} - \frac{\pi \times \text{晶圆直径}}{\sqrt{2} \times \text{晶圆面积}} \quad (1-3)$$

由于集成电路制作过程中存在缺陷，导致某些硬模被标记为坏的报废产品，如图 1-13 所示。从缺陷角度考虑，式 (1-4) 反映了缺陷对集成电路产量的影响（式中， α 近似为 3）：

$$\text{硬模产量} = \left(1 + \frac{\text{每单位面积缺陷} \times \text{硬模面积}}{\alpha} \right)^{-\alpha} \quad (1-4)$$

$$\text{硬模成本} = f(\text{硬模面积})^4 \quad (1-5)$$

式 (1-5) 反映了硬模面积对成本的影响，从式 (1-5) 中可见减少硬模面积对降低其成本非常重要，但减少硬模面积意味着集成电路工艺水平的提高，技术难度更大。目前集成电路工艺已达 22nm 水平。

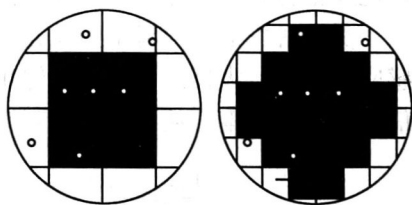


图 1-13 缺陷的影响

2. 集成电路可靠性指标

可靠性指标反映的是电路抗噪声的能力。数字集成电路中的噪声主要来源于供电电压 V_{dd} 的变化、感性或容性耦合。噪声可能导致信号的高/低电压转换成低/高电压信号，并因此导致正确的逻辑功能变得混乱无序。

如图 1-14 所示的反向器电路，对每一个输入电压电平，当电路处于稳定状态时，都会给出输出电压电平，只要 V_I 高于 V_{IH} ，第二反向器输出逻辑 ‘0’。电压迁移特性曲线反映了输入与输出电压间的迁移特性。

噪声对电路正确翻转的影响可用噪声余量来定义，只要噪声不超过噪声余量，即噪声小于 $\min(NM_H, NM_L)$ ，门电路就输出正确逻辑。其中 NM_H 为高电平噪声余量， $NM_H = V_{OH} - V_{IH}$ ； NM_L 为低电平噪声余量， $NM_L = V_{IL} - V_{OL}$ （见图 1-14b）。

绝对噪声值并不能完全反映其对电路的影响。例如，一个悬浮的节点会比一个由低阻抗电压驱动的节点更容易被扰乱。在图 1-14c 中的线性区，一个小的噪声输入到门电路，将在输出端得到放大后的值。当输入信号电平处于 C 点附近的转换区时，输出是很不稳定的，该