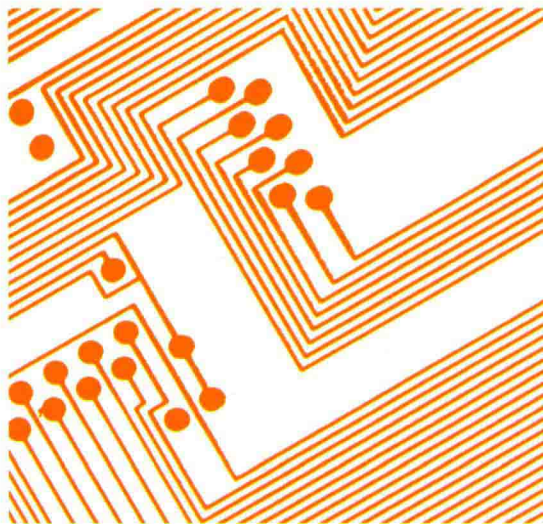
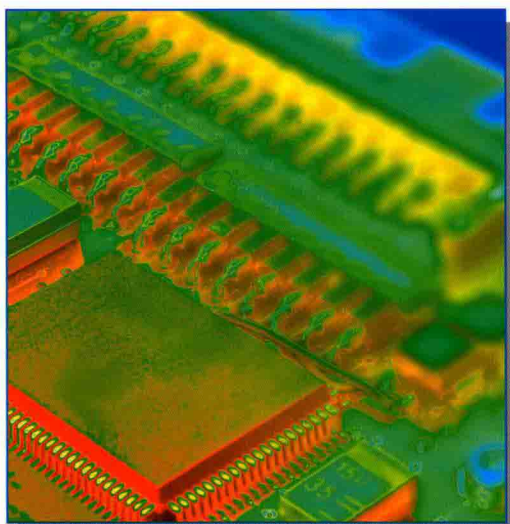


数字集成电路 设计实践

PRACTICE OF DIGITAL
INTEGRATED CIRCUIT DESIGN

◎ 易幼文 编著



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

微电子与集成电路丛书

数字集成电路设计实践

Practice of Digital Integrated Circuit Design

易幼文 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书从产品研发的角度,介绍数字集成电路逻辑设计的原理、方法和实践经验。主要内容涵盖集成电路器件和制造工艺的基本原理、逻辑功能的抽象层次、设计流程、硬件描述语言、微架构设计和芯片总线。本书还详细介绍了常见的先入先出缓存的设计实例。

本书的特点是注重为实践中常见的问题提供解决方法和背景知识,内容有的放矢、简明实用。本书可作为高等院校微电子专业相关课程的教材,也可供从事数字集成电路逻辑设计的工程师参考使用。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

数字集成电路设计实践 / 易幼文编著. -- 北京 : 电子工业出版社, 2015.8

(微电子与集成电路丛书)

ISBN 978-7-121-26553-2

I. ①数… II. ①易… III. ①数字集成电路—电路设计 IV. ①TN431.2

中国版本图书馆 CIP 数据核字(2015)第 149875 号

责任编辑: 刘海艳

印 刷: 涿州市京南印刷厂

装 订: 涿州市京南印刷厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 14 字数: 358.4 千字

版 次: 2015 年 8 月第 1 版

印 次: 2015 年 8 月第 1 次印刷

印 数: 3 000 册 定价: 39.80 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

电子和信息技术在过去半个多世纪发生了质和量的飞跃发展。今天，个人计算机、网络、手机、数字电视等各种信息技术应用已经成为现代人日常生活中不可缺少的一部分。信息化被称为继农业化和工业化后的第三次人类革命。如果说蒸汽机是工业化革命的火车头，半导体集成电路则是这场信息化革命的基石。集成电路为人们提供了高性能服务又低成本的信息处理手段，使得我们祖先的千里眼和顺风耳的梦想变成了现在人们日常生活中司空见惯、垂手可得的现实。

过去二十多年，作者有机会在国内外的大学、研究机构，以及企业产品研发第一线从不同角度在集成电路技术领域学习，以及从事研究和开发工作。作者目睹了集成电路技术日新月异的发展，参与了一系列在全球范围内处于技术和市场前沿的网络和多媒体信息处理领域的大规模数字集成电路芯片的研发，在产品开发过程中经历的 CMOS 技术从 $0.5\mu\text{m}$ 开始，到其后的 $0.25\mu\text{m}$ 、 $0.18\mu\text{m}$ 、 $0.13\mu\text{m}$ 、 $0.11\mu\text{m}$ 、 90nm 、 65nm 、 40nm 、 28nm ，一直延续至最近的 20nm 以下。在多年的学习和工作过程中，作者逐渐对大规模数字集成电路芯片的技术有了一个从只见树木，到又见森林的认识上的提高。作者试图通过本书，对多年积累的经验、理解和思考做一些梳理和总结。希望此书能对从事集成电路设计的工程师以及对这个领域有兴趣的学生有所裨益。

读者会发现本书的内容与同类书籍在许多方面有所不同。首先，作者的工作经验难得地涵盖了从半导体器件物理、加工工艺到集成电路系统设计这个从基础研究到产品开发的比较广的领域。本书的内容反映了作者这样比较独特的经验背景。由此希望可以为读者提供一个在更开阔的视野下学习掌握集成电路设计技术的机会。其次，作为一本源自工业界而非学术界的书籍，许多内容反映了作者在实践过程中的第一手体验。作者把重点放在实际设计工作中所需的核心理论和实践知识，并融入从实际工作中得到的感悟，而非追求学术理论上的全面性。内容上虽以逻辑设计为核心，但也不拘泥于一般逻辑设计教科书的内容范围，只要认为是对逻辑设计工程师在芯片设计的实践中有直接帮助的内容，便会被收入。换句话说，工程（engineering）和技术（technology）为主，背后的科学（science）体系为辅。为突出要点，本书尽量使用浅显易懂而又能说明问题本质的例子，同时也力图使读者在学习集成电路设计“其然”的同时，也可以理解“其所以然”。专用数字集成电路（Application Specific Integrated Chip，简称 ASIC）的逻辑设计是本书的主要讨论对象，但本书多数内容也可应用于现场可编程门阵列（Field Programmable Gate Array，简称 FPGA）设计。

CMOS 基本逻辑门是实现数字集成电路的逻辑功能的基础。一个集成电路设计项目，需要满足功耗、运行速度和芯片尺寸等指标要求。这些都与 CMOS 器件的原理和特性有密切关联。这就需要设计工程师对一些基本的器件原理和集成工艺有所了解。在工作中，当面对一些芯片的故障等问题时，器件的物理的知识对理解和解决问题十分有益。本书第 1 章简述

CMOS 器件原理、CMOS 逻辑门和集成技术的一些要点。

数字集成电路的处理对象，包括各种编码、指令、数值、控制信号等，都可以广义地看作是数据。也就是说，数字集成电路的目的是数据处理。第 2 章讲解数据处理的算法可以由基本逻辑门和记忆要素构成的电路实现。第 2 章还介绍数字集成电路普遍采用的同步逻辑电路结构。同步电路可以有效地利用运算和存储资源，实现高效高速运算，同时也为设计者提供了一个容易使用的基本电路结构。

现代数字集成电路设计使用硬件描述语言（Hardware Description Language，简称 HDL）描述逻辑电路结构和数据处理算法。Verilog 和 VHDL 是最常用的两种 HDL 语言。从全球集成电路设计软件市场规模看，Verilog 有显著优势。第 3 章介绍 Verilog 语言中在实践里最常见的各种指令和语法结构。

在开始一个模块设计时，先需要探索和决定如何把一个模块的数据处理功能转换成同步电路层次的微架构。微架构优劣需要考虑许多方面，譬如面积、功耗、数据吞吐率等，也要考虑到结构是否简明并不容易出错等。第 4 章介绍与微架构设计相关的一些概念和方法。

有限状态机是微架构的一个不可缺少的组成要素。与状态机相关的内容较多，也是设计中特别需要留意的地方。单列一章，第 5 章介绍有限状态机相关的概念、设计手法和设计注意事项。

将数据按顺序输入存入缓存，输出时数据仍保持同样的顺序。这样的缓存称为先入先出缓存（FIFO）。FIFO 几乎会出现在所有数字集成电路里，在逻辑设计里扮演重要的作用。FIFO 也是学习微架构设计的一个很好的例子。第 6 章介绍几种不同的 FIFO 的微架构。

在数据处理过程中，经常要暂时存储数据。当存储的数据量比较大时，必须考虑使用专门的存储器模块或外部存储器芯片。第 7 章介绍存储器的基本原理，以及常见的几种不同类型的存储器。

用 CPU 软件处理数据的特点是灵活，用固定连线逻辑（hardwired logic）处理数据的特点是高速并行处理。随着各种应用的数据量的增大和复杂程度的提高，越来越多的信息处理系统结合两者的特长，用外部 CPU 或者芯片内置的嵌入式（embedded）CPU 承担系统总体控制和比较复杂但运算量不太高的数据处理，用专用电路承担高速数据处理。CPU 与专用芯片的各个模块通过系统总线或芯片总线相互通信，分工合作。第 8 章讲解总线的基本结构，并介绍常见的总线标准。

第 9 章以一个视频流媒体转换器为例，介绍芯片整体的架构设计和模块的微架构设计。这个例子的芯片的各模块使用到了组合运算、流水线、有限状态机、FIFO、存储器、总线等功能，也可以看作是前几章讲解的内容的综合应用。

附录 A 和附录 B 分别介绍扩展汉明码和循环冗余校验码。这两种编码广泛用于存储器的检错纠错和网络通信等领域。在简述其数学原理之后，进一步介绍了如何自动产生适合集成电路应用的 Verilog 代码。

为方便读者动手练习，附录 C 介绍使用开源软件的逻辑设计和仿真环境。本书中介绍的多数代码和仿真例子可以从 http://dongchacha.com/practice_digital_ic_design 下载。

在编写本书的过程中，电子工业出版社赵丽松副总编辑给予了热情的鼓励和支持，并提出了宝贵建议；刘海艳编辑对内容做了详细的审阅，尤其对专业术语的使用提出了十分有益的意见，特此感谢。作者在求学和工作过程中，获得了各种难得的在国内外学习和实践的机会。借此机会，向教导、鞭策、帮助和支持过作者的师长、同事及朋友表达由衷的感谢。有关本书的内容，读者如有疑问或发现任何问题，欢迎与作者联系。联系电子邮箱是 youwenyi@yahoo.com。

编者
2015.4

目 录

第 1 章 硅晶体管和集成技术	1
1.1 半导体硅和 PN 结	1
1.2 硅晶体管	3
1.3 逻辑门和互补式晶体管	5
1.4 集成电路制造技术	7
第 2 章 数据处理和逻辑设计	10
2.1 数字数据	10
2.2 数据处理	11
2.3 数据运算与组合电路	11
2.4 记忆功能和寄存器	14
2.5 算法和同步电路	16
2.6 建立时间和保持时间	18
2.7 集成电路设计流程	20
第 3 章 Verilog 硬件描述语言简介	26
3.1 逻辑仿真	26
3.2 用 Verilog 描述逻辑设计和逻辑验证	27
3.3 模块和端口	31
3.4 常量数据	32
3.5 算术运算和逻辑运算	33
3.6 wire 变量与 assign 指令	34
3.7 reg 变量和 initial 及 always 程序块	36
3.8 reg 变量与 RTL 设计	37
3.9 阻塞性和非阻塞性指令	39
3.10 流程控制	40
3.11 function 和 task	42
3.12 预处理指令、系统任务及注释	43
3.13 parameter 和参数化模块	44
第 4 章 微架构设计	46
4.1 模块面积和逻辑门数	46
4.2 数据吞吐率和延滞时间	48
4.3 功耗	48
4.4 基本组合运算	50
4.5 延迟时间的优化	50

4.6	负数运算	52
4.7	流水线	53
4.8	跨时钟域电路	55
4.9	时钟门控	58
第 5 章	有限状态机	61
5.1	时序逻辑和状态机	61
5.2	状态机的 RTL 代码	63
5.3	状态机的设计	65
5.4	独热编码	67
5.5	控制路径和数据路径	68
5.6	状态机的阶层化设计	71
5.7	状态机的稳健性	73
5.8	寄存器的复位	77
5.9	未知值扩散与寄存器的初始化	81
第 6 章	先入先出缓存	85
6.1	FIFO 的功能和用途	85
6.2	基本 FIFO 的架构	87
6.3	基本 FIFO 的 RTL 代码	89
6.4	基本 FIFO 的逻辑验证	91
6.5	FIFO 空满状况信号的寄存输出	98
6.6	任意深度的 FIFO	99
6.7	FIFO 数据的寄存输入和寄存输出	103
6.8	格雷码	109
6.9	异步 FIFO	111
6.10	FIFO 的流量控制方式和其他	117
第 7 章	存储器	120
7.1	SRAM 的基本原理	120
7.2	同步 SRAM	123
7.3	存储器编译器	124
7.4	存储器内建自测试	125
7.5	多端口 SRAM	127
7.6	SRAM 行为模型	129
7.7	SRAM 软错误	132
7.8	TCAM	133
7.9	DRAM	136
7.9.1	DRAM 存储单元	136
7.9.2	SDRAM 基本架构	137
7.9.3	SDRAM 的控制信号	138
7.9.4	SDRAM 时序参数	140

7.9.5	SDRAM 控制器	142
第 8 章	系统总线和芯片总线	144
8.1	系统芯片和总线	144
8.2	总线的层次架构	145
8.3	总线的拓扑结构	147
8.4	APB 总线	149
8.5	AHB 总线	151
8.6	WISHBONE 总线	153
8.7	AXI 总线	155
8.8	总线寄存器层	158
8.8.1	PIO 和 DMA	158
8.8.2	数据的大小端顺序	159
8.8.3	被控寄存器的种类	161
8.8.4	直接地址和间接地址	162
8.9	JTAG 接口	162
8.10	I ² C 总线	166
8.11	PCI	168
8.11.1	PCI 总线的基本结构	168
8.11.2	PCI 功能块的配置	170
8.11.3	PCI 的总线事务	171
8.11.4	CPU 中断	172
8.12	PCI Express	174
8.12.1	PCIe 总线的基本结构	174
8.12.2	PCIe 总线的软件兼容性	174
8.12.3	PCIe 交换器	175
8.12.4	PCIe 总线的通信协议	176
第 9 章	视频流媒体转换器	178
9.1	Vimer 的架构	178
9.2	视频预处理	179
9.3	离散余弦变换	181
9.4	量子化和可变长编码	183
9.5	MPEG 和 RTP 编码器	184
9.6	网络包缓存	185
9.7	以太网接入控制	185
9.8	Vimer 芯片的内核和外围	186
9.9	逻辑仿真和硬件仿真	188
附录 A	扩展汉明检错纠错码	189
A.1	存储器检错纠错的基本流程	189
A.2	二元域分组码	190

A.3	线性分组码和生成矩阵	190
A.4	使用逆向行和列顺序的生成矩阵	190
A.5	汉明距离和最小距离	191
A.6	差错症状和 ECC 解码	191
A.7	汉明码及其生成矩阵	192
A.8	扩展汉明码	193
A.9	扩展汉明码的应用程序	194
附录 B	循环冗余校验码	195
B.1	多项式码	195
B.2	循环码	196
B.3	系统多项式码	197
B.4	短缩循环码	197
B.5	线性反馈移位寄存器	198
B.6	系统多项式码的并行运算	200
附录 C	使用开源软件的逻辑设计和仿真环境	203
C.1	Cygwin	203
C.2	文本编辑器	205
C.3	Verilog 语言模式	205
C.4	Icarus Verilog 和 GTKWave	207
C.5	脚本语言	208
参考文献		210

硅晶体管和集成技术

1.1 半导体硅和 PN 结

硅 (silicon, 元素符号为 Si) 是既普通又神奇的石头。说它普通, 因为地壳中含量最多的元素是氧, 其次就是硅。说它神奇, 因为其独一无二的物理和化学特性, 造就它成为大规模集成电路的不可被取代的基本材料。

当组成固体的原子、分子或离子在整块物体内部整齐划一地有规律排列时, 这样的结晶固体被称为单晶 (single crystal)。大规模集成电路的基板使用的是单晶硅 (single crystal silicon)。单晶硅属于半导体, 其导电性介于导体和绝缘体之间。导体金属铝的电阻率是 $1.8 \times 10^{-8} \Omega \cdot \text{m}$; 不含任何杂质的单晶硅的电阻率约为 $1 \times 10^3 \Omega \cdot \text{m}$; 绝缘体玻璃的电阻率约为 $1 \times 10^{12} \Omega \cdot \text{m}$ 。

每个硅原子最外层有 4 个电子。在晶体结构下, 每个硅原子通过最外层的 4 个电子同周围的 4 个硅原子之间分别形成十分牢固的共价键 (covalent bond)。构成共价键的电子总体十分稳定, 不容易到处移动, 但其中小部分电子获得热能, 脱离共价键, 可以自由移动。这就是为什么硅的导电性要比导体小很多, 但又比绝缘体容易导电。

由于可以自由移动的电荷密度太低, 不含任何杂质的硅晶体材料的导电性更像是绝缘体, 不适合直接用于制造电子器件。让硅材料真正显示出奇妙的导电特性则需要高纯度硅晶体里少量地掺入磷 (phosphorus, 元素符号为 P) 或硼 (boron, 元素符号为 B) 等元素。

磷原子的最外层有 5 个电子。当在硅晶体内掺入少量的磷后, 每一个磷原子取代原来晶体内的一个硅原子。5 个最外层电子中的 4 个用来同周围的 4 个硅原子形成共价键, 多余的一个电子则很容易成为自由电子。由于电子带有负电荷, 这种大多数可自由移动电荷为自由电子的半导体被称为 N 型半导体。N 是英文表示负值的单词 negative 的第一个字母。

硼原子最外层有 3 个电子。当在硅晶体内掺入少量硼后, 每个硼原子的 3 个最外层电子同周围的 4 个硅原子中的 3 个形成共价键。而和剩下的一个硅原子之间缺少一个用来形成共价键的电子。这个空位被称为空穴 (hole)。其他的已经形成共价键的电子很容易来填补这个空位。如果把空穴当作一个带有正电荷的粒子, 当一个空穴被填补时, 就相当于一个带有正电荷的带电粒子在晶体内移动。这种大多数可移动电荷为自由空穴的半导体被称为 P 型半导体。P 是英文表示正值的单词 positive 的第一个字母。自由电子和空穴被统称为载流子

(carrier)。两者都可以承载电流，进而增加半导体的导电性。

可以想象，无论是 N 型还是 P 型半导体，添加的不纯物越多，载流子数量则成比例的增加，电阻率也越小。比如，每 1cm^3 添加了 5×10^{18} 个磷原子，相当于每 1 万个硅原子中掺入 1 个磷原子，这样的 N 型硅的电阻率是 $8.3 \times 10^{-5} \Omega \cdot \text{m}$ 。将这个电阻率同上面的无杂质单晶硅的电阻率比较一下，可以发现杂质的掺入对半导体的电阻率起着决定性的影响。

更重要的是当半导体晶体的一侧是 P 型，另一侧是 N 型时，P 型和 N 型交界处会形成 PN 结 (PN junction)。PN 结的一个最特殊也是最有用的特点是单向导电特性。当电源的正极接在 P 型半导体一端，负极接在 N 型半导体一端时，施加的电压称为加正向电压 (forward bias)。反过来，当电源的正极接在 N 型半导体一端，负极接在 P 型半导体一端时，称为加反向电压 (reverse bias)。在正向电压下，PN 结的电阻较小。在反向电压下，PN 结的电阻很大。

利用量子力学 (quantum dynamics) 和统计力学 (statistical thermodynamics) 理论，可以对 PN 结特性做详细的定量分析。这里只做一定性的简要介绍。图 1-1 是 PN 结的能带图 (band diagram)。在能带图中，高能量的电子在上，低能量的电子在下。由于电子所具有的波动性和结晶内部原子排列的周期性，根据量子力学理论，结晶固体原子最外层的电子的能量只能在价带 (valence band) 或导带 (conduction band) 区间内，而不能在禁带 (forbidden band) 区间内^[1-3]。在绝对温度 0K，也就是没有热能的情况下，不含任何杂质的硅晶体的原子的最外层电子都停留在价带。在这个状况下，没有任何可自由移动的载流子。但在室温状态下，按照统计力学的规律，小部分电子获得热能从价带转移到导带，使得半导体有了一定的导电性。在 N 型区域内，并且在室温状态下，绝大多数的磷原子的多余的一个最外层电子获得热能，迁移到导带，使得 N 型区域拥有许多自由电子。同样，在 P 型区域内，并且在室温下，基本上每个硼原子最外层缺少的一个电子都由其他电子填补，从而形成许多存在于价带的可自由移动的空穴。值得注意的是，在能带图中，同电子相反，高能量的空穴在下，低能量的空穴在上。

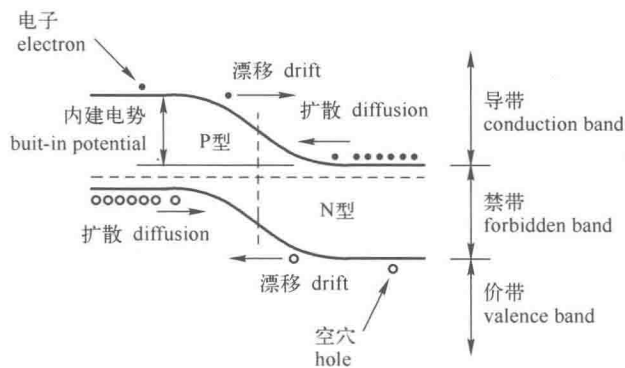


图 1-1 PN 结的能带图

由于 N 型侧自由电子多，P 型侧空穴多，在热扩散 (diffusion) 的作用下，一部分电子由 N 型侧移动到 P 型侧，一部分空穴由 P 型侧移动到 N 型侧。这样一部分的载流子的移动使得在 P 型和 N 型交界处附近 N 型侧带正电，P 型侧带负电。所产生的电场驱使载流子向热扩散相反的方向移动，称为漂移 (drift)。最终热扩散电流和漂移电流相互抵消，也就是说

从统计意义上讲电子和空穴均不再在 P 型侧和 N 型侧之间移动。P 型侧和 N 型侧之间由热扩散引起的电势壁垒 (barrier) 被称为内建电势 (built-in potential)。

当在 PN 结上施加正向电压时, 正向的电压减少了 PN 结间的电势壁垒, 打破了原有的平衡状态。其结果是 N 型侧拥有的大量自由电子源源不断地扩散到 P 型侧, P 型侧拥有的大量空穴不停地扩散到 N 型侧, 所以 PN 结正向电阻比较小。

当在 PN 结上施加反向电压时, 反向的电压使得 PN 结间的电势壁垒增大。这意味着 P 型侧的自由电子会被电场吸引漂移到 N 型侧, N 型侧的空穴会被吸引漂移到 P 型侧。但是因为 P 型侧只有极少数量的自由电子, 并且 N 型侧只有极少数量的空穴, 其结果是只会得到很小的电流。所以 PN 结反向电阻很大。

PN 结的单向导电性等特性具有十分广泛的用途。用 PN 结制成的器件称为二极管 (diode)。不仅如此, PN 结更是构成晶体管 (transistor) 所不可缺少的基本构件。

1.2 硅 晶 体 管

晶体管的功能可以从它的英文单词 transistor 中理解。trans 表示改变。比如, 英文里的 translate (翻译) 和 transformation (变形) 等词都含有 trans 这一词根。sistor 表示电阻 (resistor)。晶体管至少有三个电极, 其中的一个电极是控制极。通俗地讲, 晶体管的作用就是可以通过控制电极来改变另外两个电极之间的电阻。

历史上, 先是有了 PNP 和 NPN 结构的双极型晶体管 (bipolar transistor), 其后出现了使用金属-氧化物-半导体结构的场效应晶体管 (Metal-Oxide-Semiconductor Field-Effect Transistor, 简称 MOSFET)^[3]。因为 bipolar 是指自由电子和空穴这两种载流子都对导通时的电流起作用, 将双极型晶体管说成是双载流子型晶体管更容易理解其工作原理。与其相对照, MOSFET 是单载流子型晶体管 (unipolar transistor)。也就是说, 在 MOSFET 里, 只有自由电子或空穴中的一种载流子支配导通电流。由于拥有高集成度和低功耗这两大决定性的优势, 现在大规模数字集成电路的主流采用的是 MOSFET 技术。

图 1-2 是 MOSFET 的断面示意图。MOSFET 有四个电极: 源极 (source)、漏极 (drain)、栅极 (gate) 和作为第四个电极的基板 (substrate)。在电路里, 基板和源极通常连接于同一电位, 很多时候基板不被看作一个单独的电极。如果把电流当作水流的话, MOSFET 的功能类似于一个控制水流的闸阀。源极是入水口, 漏极是排水口, 栅极则是闸门。MOSFET 三个电极的英文名称 source、drain 和 gate 本身就包含水源、排水口和闸门这些词义。

图 1-2 中显示的是 N 型 MOSFET。N 型 MOSFET 也缩写为 NMOS。源极和漏极区域含有高浓度的 N 型掺入物, 在图 1-2 中用 “N+” 标识。基板是 P 型。源极、基板和漏极构成一个横向的 NPN 的结构。栅极、氧化膜和基板则构成了一个纵向的金属-氧化物-半导体 (metal-oxide-semiconductor), 也就是 MOS 结构。虽然 MOSFET 的 “M” 表示的是金属, 但也可以使用 P 或 N 型多晶硅材料 (polysilicon) 作为栅极材料。MOSFET 是通过纵向结构产生的电场来控制横向结构的电流, 所以 MOSFET 被称为场效应晶体管。

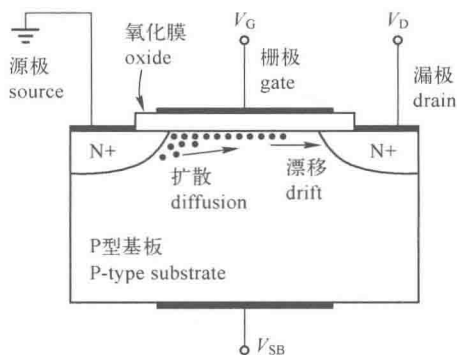


图 1-2 MOSFET 断面示意图

栅极和基板之间的氧化膜是栅极可以有效控制横向电流的关键。如果氧化层和基板之间的界面含有太多缺陷，MOSFET 则不能正常工作。单晶硅表面氧化后可以形成十分理想的氧化膜。这是单晶硅成为 MOSFET 大规模集成电路基本材料的一个决定性原因。

栅极电压的变化又是怎么样控制源极和漏极之间的电流的呢？假设一开始，栅极电压 (V_G) 为 0V，漏极电压 (V_D) 为电源电压，比如 3V。此时源极的 PN 结处于类似无外部电压的状态，漏极的 PN 结处于反向电压。在这样的状态下，P 型基板里只有很少自由电子，漏极区域里只有很少空穴，其结果是源极和漏极之间的电流很小。

将 V_G 由 0V 逐渐增加时，受垂直方向电场影响，氧化膜和基板界面处的电势会升高。这相当于在处于界面附近的源极 PN 结上施加了正向电压，使得源极 PN 结的电势壁垒降低。于是，如图 1-2 所示，源极的一部分电子由于热扩散沿着基板与氧化膜界面移动到基板内。当自由电子继续移动到漏极附近时，被漏极 PN 结反向电压形成的电场驱动，漂移到漏极。源极和漏极之间的电流是沿着氧化层和基板界面，在基板侧形成的很薄的通道，称为沟道 (channel)。

当 V_G 较小时，由于沟道部分电势随着 V_G 的增加而上升，从源极热扩散到沟道电子数量随 V_G 的增加呈指数倍增加。但随着 V_G 进一步加大，与沟道相邻的那部分源极 PN 结的壁垒完全消失。这以后， V_G 的增加直接变成了氧化膜所形成的电容上的电压变化，基板界面的电子的数量变为随 V_G 的增加呈线性增加。从指数变化到线性变化的转折点的 V_G 被称为阈值电压 (threshold voltage, 用 V_{th} 表示)。当 V_G 小于阈值时，MOSFET 处于关断状态；当 V_G 大于阈值时，MOSFET 处于导通状态。阈值电压取决于氧化层厚度、基板掺入物浓度和栅极材料。采用 P 型多晶硅、N 型多晶硅，还是其他金属做 MOSFET 的栅极材料，一个主要原因是为了获得一个合适的阈值。从以上讨论也可看出，N 型 MOSFET 的导通电流来自自由电子的流动，而空穴对 N 型 MOSFET 的导通电流几乎没有起到作用。这就是为什么这样的 MOSFET 被称为 N 型 MOSFET，也可以理解为什么 MOSFET 是所谓的单载流子晶体管。

除了 N 型 MOSFET，还有 P 型 MOSFET。把 N 型 MOSFET 里的 NPN 结构换成 PNP 结构，便是 P 型 MOSFET。P 型 MOSFET 被简称为 PMOS。PMOS 的导通电流主要来自空穴， V_D 和 V_G 使用负电压。由于电子的移动度 (mobility) 比空穴移动度高，NMOS 的性能优于 PMOS。但历史上，由于起初比较容易制造性能稳定的 PMOS，所以 PMOS 的实用化更早。

1.3 逻辑门和互补式晶体管

如同原子是物质的基本构成单位，布尔代数（Boolean algebra）的二元逻辑（binary logic）是数字信息处理世界里的最基本的数学结构。任何复杂的数字信息处理过程中的逻辑或数值运算，都可分解为许许多多多个基本二元逻辑运算。

在布尔代数的范畴里，变量只有 0 和 1 两个值，变量之间的关系建立在三个基本逻辑运算（basic logic operation）之上。基本逻辑运算是“逻辑非”（NOT）、“逻辑与”（AND）和“逻辑或”（OR）。当一个变量的值是 1 时，它的逻辑非（NOT）是 0；当它的值是 0 时，它的逻辑非是 1。只有当两个变量的值同时是 1 时，它们的逻辑与（AND）是 1。只有当两个变量中的至少一个的值是 1 时，它们的逻辑或（OR）是 1。许多传统的电子电路书籍使用 \bar{A} 或 A' 表示 A 的逻辑非，用 $A \cdot B$ 和 $A+B$ 表示 A 和 B 的逻辑与和逻辑或。但为了和现在普遍使用的计算机 C 编程语言和本书将会介绍的 Verilog 硬件描述语言保持一致，本书使用 “!”、“&” 和 “|” 表示 NOT、AND 和 OR。比如， $(!A)|B$ 表示 A 的逻辑非和 B 之间的逻辑或。

用电路进行数字信息处理，意味着必须用电路实现布尔代数的二元空间和基本逻辑运算。0 和 1 这两个数值可以直接用电位的高低来表示。单个的 AND 或 OR 逻辑运算可以用电阻和二极管来构成。但要实现 NOT 逻辑，并将多级的基本逻辑运算连接起来进行更复杂的逻辑运算，则一定要借助晶体管所具有的能量放大功能。使用晶体管电路最容易构成的逻辑运算并不是 AND 和 OR，而是 NOT、“逻辑与非”（NAND）和“逻辑或非”（NOR）。NAND 表示 $!(A \& B)$ ；NOR 表示 $!(A|B)$ 。虽然 NAND 和 NOR 看起来比较复杂一些，但只要有了 NAND 或 NOR 运算功能，便可以反过来构成布尔代数的三个基本运算。比如，利用 $!A = !(A \& A)$ 的逻辑关系，也就是把 NAND 的两个输入接到一起便构成了 NOT 运算。有了 NAND 和 NOT，就可以进一步利用 $A \& B = !(!(A \& B))$ 的逻辑关系来构成 AND 逻辑运算。同样，利用 $A|B = !(!(A) \& !(B))$ 的逻辑关系可以构成 OR 逻辑运算。用晶体管电路构成的一些常用并且比较基本的逻辑电路被称为逻辑门（logic gate）。由于 NAND 和 NOR 可以用来构成布尔代数的基本逻辑，NAND 和 NOR 逻辑门也被称为万能逻辑门（universal logic gate）。

图 1-3 是常见的逻辑门的电路图符号，图中还包括了另一个逻辑运算——“逻辑异或”（XOR）。只有当两个变量中的一个的值是 1 时，它们的逻辑异或（XOR）是 1。如果不考虑加法中的进位的话，XOR 相当于二进制数字系统（binary numeral system）里的两个一位数的加法运算。XOR 是非常重要的而且常用的逻辑运算。它的运算符号用 “^” 表示。XOR 与布尔代数的基本逻辑之间的关系是 $A \wedge B = ((!A) \& B) | (A \& !(B))$ 。

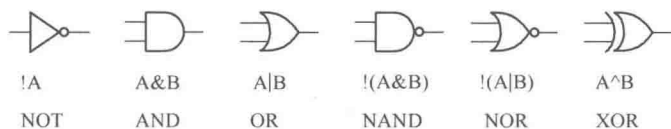


图 1-3 常见逻辑门

真值表（truth）是表示逻辑运算关系的一个十分有用的方式。表 1-1 是常见逻辑门的真值表。在真值表中，每个运算的输入和输出占一列，每一组可能的输入值的组合占一行。对

每一组输入值，真值表列出了对应的逻辑运算的结果。

表 1-1 常见逻辑门的真值表

输入		输出					
A	B	NOT	AND	OR	NAND	NOR	XOR
		!A	A&B	A B	!(A&B)	!(A B)	A^B
0	0	1	0	0	1	1	0
0	1	1	0	1	1	0	1
1	0	0	0	1	1	0	1
1	1	0	1	1	0	0	0

用 MOSFET 容易构成的是 NOT、NAND 和 NOR 逻辑门。通常被称为反相器 (inverter) 的逻辑非 (NOT) 是最简单的逻辑门。图 1-4 (a) 是用 NMOS 和电阻构成的反相器。当输入电压高时, NMOS 导通, 输出电压变低; 当输入电压低时, NMOS 关断, 输出电压变高。这正是反相器所需实现的功能。但由于使用了电阻, NMOS 逻辑门电路有其内在不足。当输入保持在 0 或 1 时通过逻辑门的电流称为静态电流 (static current) 或漏电流 (leakage current)。当 NMOS 逻辑门的输入保持是 1 时, NMOS 处在导通的状态, 静态电流由电阻值决定。为了降低这个状态下的功耗, 电阻值必须比较大。但另一方面, 当输入由 1 变成 0 时, 逻辑门的输出端的电位变化的迟延也由电阻值决定。为了减少迟延, 电阻值则需比较小。这个矛盾意味着, 使用 NMOS 逻辑门的集成电路容易在功耗和速度方面陷入两难的处境。用 PMOS 构成的逻辑门也有同样的问题。

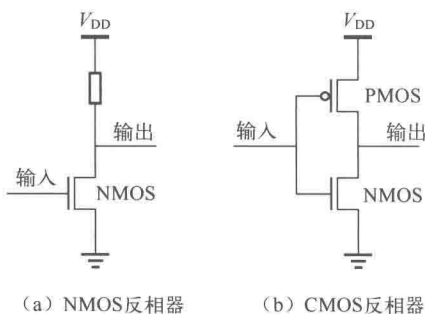


图 1-4 用 NMOS 和 CMOS 构成的反相器

如果可以把图 1-4 (a) 里的电阻换成一种可变电阻, 当输入是 1 时电阻值大, 当输入是 0 时电阻小的话, 就可以达到既低功耗又高速度的两全其美的效果。而 P 型 MOSFET 正是拥有这样特性的可变电阻。如果把图 1-4 (a) 中的电阻用一个 PMOS 来代替的话, 就变成了图 1-4 (b) 所示形式。图 1-4 (b) 仍然维持着逻辑非的功能。在静态状态下, 无论输入是 0 还是 1, NMOS 或 PMOS 中只有一个处于导通状态, 而另一个处于关断状态。也就是说, 逻辑门的静态电流很小。不仅如此, 当输入由 0 变到 1, 或由 1 变到 0 时, 逻辑门的负荷的充放电则通过导通状态的 MOSFET 进行。也就是说, 静态电流取决于关断状态的 MOSFET 的电流, 输出值变化的迟延则取决于导通状态的 MOSFET 的电流。像图 1-4 (b) 这样将一对 NMOS 和 PMOS 以串联或并联的方式连接在一起, 利用 NMOS 和 PMOS 的相反的开关

特性构成的逻辑门电路结构被称为互补式 MOSFET (Complementary Metal-Oxide-Semiconductor field-effect transistor, 简称 CMOS)。

图 1-5 所示的是用 CMOS 形式电路构成的 NAND 和 NOR 逻辑门。可以看出, 用 CMOS 构成 NAND 和 NOR 这两个万能逻辑门只需使用 4 个 MOSFET, 结构十分简洁紧凑。与 NMOS 或 PMOS 技术相比, CMOS 逻辑电路的最大特点是低功耗, 但制造工序相对复杂。直到 20 世纪 70 年代末, MOSFET 集成电路先是使用 PMOS 技术, 然后转向或性能更好一些的 NMOS 技术。进入 20 世纪 80 年代以后, 随着集成度的不断增长, CMOS 在功耗等方面的优势成为决定因素。今天大规模数字集成电路无一例外地使用 CMOS 技术。

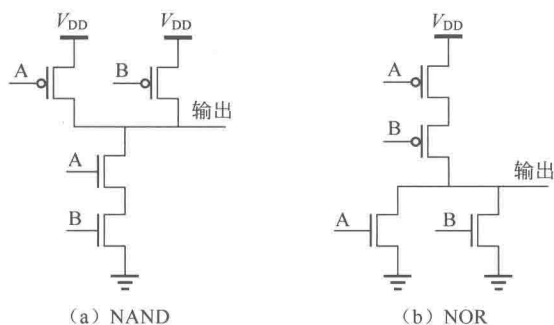


图 1-5 使用 CMOS 形式电路的 NAND 和 NOR 逻辑门

1.4 集成电路制造技术

在同一尺寸的集成电路 (Integrated Circuits, 简称 IC) 芯片 (chip) 上, 如果放进更多晶体管, 就能在同样的成本下实现更多功能。这意味着把集成电路里的晶体管做得越小越好。巧合的是, 晶体管越小, 每个晶体管的功耗会越小, 而且运行速度可以越快, 一举多得。1965 年摩尔 (Gordon Moore) 就预测集成电路可以容纳的晶体管的数量将以每两年翻番的速度增加。这个预测被称为摩尔定律 (Moore's Law), 实际上也成为了之后工业界发展的目标。

图 1-6 是根据一些实际数据列出的 MOSFET 栅极长度和二输入 NAND 逻辑门的面积在最近 20 年的变化。栅极长度也可以被近似地看作是图 1-2 中源极和漏极间电流沟道的长度, 被用作代表集成电路加工技术水准的一个指标。20 世纪 90 年代之前, MOSFET 栅极长度突破 $1\mu\text{m}$ 还是学界和产业研发的一个热门话题; 今天如果使用最新技术, 栅极长度已经小于 20nm 。图 1-6 中显示的 NAND 逻辑门面积每两年减少约 40%。这个数字, 比摩尔定律预测的每两年减少 50% 略低。但由于许多芯片的面积也在增加, 工业界实际上基本达到了每两年翻番的目标。从图 1-6 中还可以看出, 每个 NAND 逻辑门的面积由 1995 年大于 $50\mu\text{m}^2$, 到 2010 年只有不到 $1\mu\text{m}^2$, 其间制造技术的发展持续不懈。

今天的集成电路制造技术必须把诸多物理和化学原理发挥得淋漓尽致, 把上亿个晶体管和电路连线 (interconnect) 丝毫不误地制作在一个硬币大小的芯片内^[4-6]。单晶硅是集成电路的材料源头。冶金级别 (metallurgical grade) 的硅要经过冶炼变成电子级别 (electronic