

高等院校计算机实验与实践系列示范教材

计算机组成与系统结构 实验教程

全成斌 赵有健 李山山 陈永强 杨士强 编著

清华大学出版社



高等院校计算机实验与实践系列示范教材

计算机组成与系统结构 实验教程

全成斌 赵有健 李山山 陈永强 杨士强 编著

清华大学出版社
北京

内 容 简 介

本书分为 8 章,第 1 章是实验系统的简单介绍,包括可编程逻辑器件的简介、实验系统的硬件构架以及实验方法和实验流程三部分,让学生对实验环境有大致的了解,以便后期开展实验;第 2 章是 Quartus II 的使用,以用户手册的形式按步骤介绍软件的使用;第 3 章是仿真工具 ModelSim 使用简介;第 4 章是基础实验内容和实验指导,该部分由浅入深地组织了多个经典的编码及校验实验内容;第 5 章是计算机组成部件实验内容和实验指导,该部分主要围绕运算器和存储器展开实验;第 6 章到第 8 章,深入细致地介绍无流水 CPU、多级流水 CPU 和 Cache 五级流水线 CPU 的设计实验。

本书为计算机组成与系统结构类实验教程,实验支持本地和远程两种实验模式,在增加学生实验方便性的同时也减轻了实验室和指导教师的压力。本书面向计算机专业本科生,也可以作为学习计算机组成与系统结构类课程的实验教程。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

计算机组成与系统结构实验教程/全成斌等编著.--北京:清华大学出版社,2015

高等院校计算机实验与实践系列示范教材

ISBN 978-7-302-39368-9

I. ①计… II. ①全… III. ①计算机组成原理—高等学校—教材 ②计算机体系结构—高等学校—教材 IV. ①TP30

中国版本图书馆 CIP 数据核字(2015)第 031612 号

责任编辑:闫红梅 李 晔

封面设计:常雪影

责任校对:时翠兰

责任印制:王静怡

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课 件 下 载: <http://www.tup.com.cn>, 010-62795954

印 装 者:三河市少明印务有限公司

经 销:全国新华书店

开 本:185mm×260mm

印 张:10.25

字 数:247 千字

版 次:2015 年 5 月第 1 版

印 次:2015 年 5 月第 1 次印刷

印 数:1~2000

定 价:25.00 元

产品编号:047350-01

在计算机专业教学中,实验教学是一个不可或缺的部分。从一般意义上来说,计算机的实验教学分为两个方面:一方面是软件实验教学,通过在计算机上进行软件操作完成;另一方面是硬件实验教学,通过在相应的硬件实验平台或系统上实践完成。目前国内很多高校,除了注重软件实验教学以外,开始更加重视硬件实验教学。

清华大学计算机系在硬件实验教学方面,积累了丰富的实验教学经验,一直致力于推动国内的硬件实验教学的发展,并于2007年申请成为国家级计算机实验教学示范中心。实验中心结合国内外硬件实验教学发展的趋势,设计和开发了一个相对完善的计算机实验教学体系和硬件教学系统,经过几年的试验,得到了学生的好评。本书为该实验系统的其中一本实验指导书,包括了计算机组成原理和系统结构课程的相关实验指导。本书面向计算机专业本科生,也可以作为非计算机专业学习计算机组成和系统结构课程的实验指导。

本书系统地总结了以往的计算机组成和系统结构课程的实验内容,以最新的实验手段和方式开展实验,结合最新的实验平台,以学生最容易理解接受的方式开展实验,力求达到好的实验效果。此外实验支持本地和远程两种实验模式,在增加了学生可实验时间的同时也减轻了实验室的压力。

本书的内容安排上分为三个部分:第一部分即第1章,简单介绍实验系统以及实验的具体流程,让学生对实验系统和实验步骤有大致地了解,以便后期开展实验;第二部分包括第2章和第3章,主要是软件工具Quartus II和ModelSim的使用;第三部分包括第4章到第9章,分为基础实验、部件实验和微处理器设计实验三个子部分,从部分到整体、由浅入深地组织实验内容,这些实验都是我们在多年的实验教学中总结和筛选的经典实验内容,各个学校可以根据自身的情况选择相应的实验开展。

本书中的实验内容都是参照“计算机硬件统一平台”设计的,使用本书

的时候最好有相应的实验设备支持。本实验系统支持的实验内容很多,可扩展性很强,并且面向了不同层次的教学需要,有着完整的实验指导和设计样例,结合理论课程的学习,系统使用,可以达到三位一体的良好效果,为提高“计算机组成原理”和“计算机系统结构”课程的教学质量和水平奠定了坚实的基础。

本书的编者都有着多年计算机硬件和软件教学、科研的工作经历,并在实验教学的第一线任职。在本书的编写过程中,得到了汤志忠教授、高玉超同学、吴东同学等的大力协助,在此表示衷心的感谢。

由于作者水平有限,本书中可能会有不当或者不完善之处,欢迎广大读者惠于批评指正,促进我们的实验教学水平提高。

编 者

2015 年 1 月于清华园

第 1 章 实验系统简介	1
1.1 实验平台系统主板结构	1
1.2 系统实验方法	5
1.3 实验流程	7
第 2 章 Quartus 使用指南	9
2.1 Quartus II 简介	9
2.2 Quartus II 设计流程	10
2.2.1 创建工程	11
2.2.2 设计输入	14
2.2.3 分析综合	14
2.2.4 仿真	15
2.2.5 编译	18
2.2.6 编程下载	19
2.3 Quartus II 工程示例	19
2.3.1 原理图输入方式	19
2.3.2 硬件描述语言输入方式	19
2.4 生成片内器件	30
2.5 关键实验步骤概述	37
2.5.1 实验创建工程	37
2.5.2 仿真	43
2.5.3 绑定管脚	43
2.5.4 生成 .sof 文件	43
2.5.5 生成 .rbf 文件	44
第 3 章 ModelSim 使用指南	46
3.1 ModelSim 下载与安装	46

3.2	ModelSim 使用	46
3.3	ModelSim 与 Quartus 联合使用	48
第 4 章	基础实验	50
4.1	海明码编码及校验	50
4.1.1	实验目的	50
4.1.2	实验原理	50
4.1.3	实验指导	55
4.2	CRC 码编码及校验	62
4.2.1	实验目的	62
4.2.2	实验原理	62
4.2.3	实验指导	67
4.3	BCD 码加法	69
4.3.1	实验目的	69
4.3.2	实验原理	69
4.3.3	实验指导	70
第 5 章	部件实验	73
5.1	ALU 实验	73
5.1.1	实验目的	73
5.1.2	实验原理	73
5.1.3	实验内容与指导	73
5.2	存储器实验	77
5.2.1	实验目的	77
5.2.2	存储器的分类及原理	77
5.2.3	实验内容及指导	79
5.2.4	实验设计及说明	83
5.2.5	实验平台调试	83
第 6 章	无流水 CPU 设计	88
6.1	实验介绍	88
6.2	指令集	89
6.3	无流水线 CPU 工作原理	89
6.4	模块说明	90
6.5	平台测试	92
6.6	仿真测试	94

6.7	调试指导	101
6.8	示例测试	103
第 7 章	多级流水 CPU 设计	104
7.1	实验介绍	104
7.2	指令集	104
7.3	五级流水工作原理	104
7.4	示例程序测试	120
7.5	调试指导	121
第 8 章	带 Cache 五级流水线 CPU 设计	134
8.1	实验介绍	134
8.2	Cache 的工作原理	134
8.3	实验操作	135
8.4	接口与管脚分配	146
8.5	调试指导	148
附录	CHULP1 信号名与芯片管脚对照表及示意图	149

计算机组成原理和计算机系统结构实验中 CPU 是实验设计的核心内容。为了给实验最大的空间,充分发挥学生的创造力,开发了一套设计型、研究型的开放式 CPU 实验系统——远程计算机硬件实验统一平台(简称 CHULP1 平台),为了描述方便,以下将实验用软件系统和硬件平台统称为实验系统。实验系统既能支持特定指令系统的 CPU 设计,也能够尽可能消除各种限制,无论是 CPU 的指令集、指令格式、数据表示到寻址方式还是存储方式等全部都可以由学生自由设计,并且能够对各种不同类型的 CPU 进行调试和验证。

1.1 实验平台系统主板结构

远程计算机硬件实验统一平台由清华大学计算机系研制生产,该系统主要用于对硬件描述语言的设计结果进行硬件验证,它由系统主板和 FPGA 适配板两部分组成,本书选择了 Altera Cyclone II 系列 FPGA 适配板——TAII 适配板。

CHULP1 平台的主板结构如图 1.1 所示,主要由 7 大部分组成,下面简单介绍各部分的结构与功能。

1. TAI 适配板

CHULP1 平台有多种型号的适配板供选用,大多采用 Altera 公司的 Cyclone II FPGA 作为目标芯片。Cyclone II 系列 FPGA 带嵌入式存储块 EAB 和锁相环 PLL,主要有 EP2C5, EP2C8, EP2C20, EP2C35, EP2C50 和 EP2C70 六种型号,各型号参数如表 1.1 所示。其中 TAI 适配板采用 EP2C20PQ240C8 作为目标芯片,这是一种具有 18 752 个逻辑宏单元和 208KB 存储单元的 FPGA。除了 FPGA 目标芯片以外,TAI 适配板还包括 JTAG 下

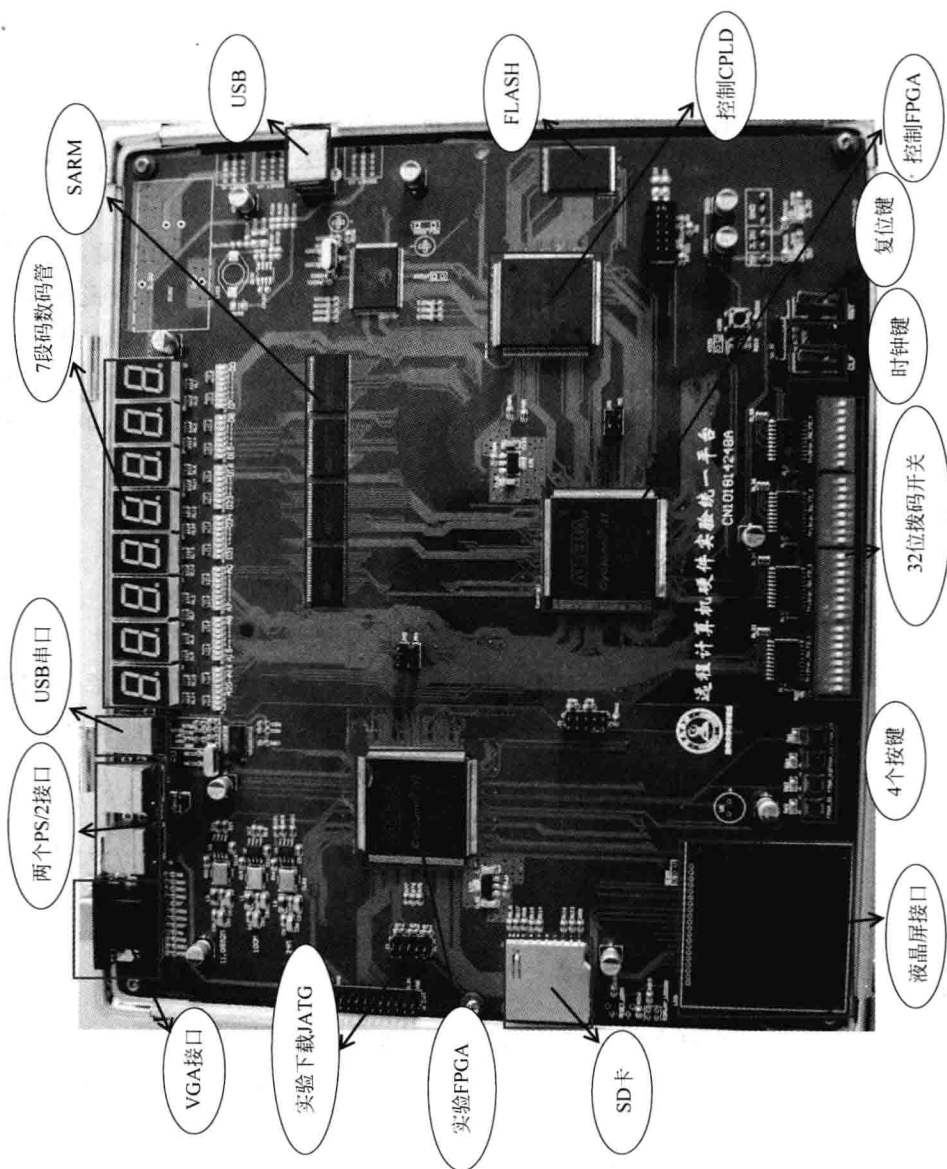


图 1.1

载口、电源电路等模块。使用中若选用 JTAG 接口调试请注意(通常使用软件控制下载模式): JTAG 口用于编程开发、测试和 SOPC 软件调试,使用中应该将所配的 10 芯线与 CHULP1 主系统左侧的 ByteBlaster II (或 ByteBlasterMV)口相连。

表 1.1 Cyclone II 系列 FPGA 参数表

FPGA 型号	EP2C5	EP2C8	EP2C20	EP2C35	EP2C50	EP2C70
Logic Elements	4608	8256	18752	33216	50528	68416
RAM Blocks	26	36	52	105	129	250
Total RAM Bits	119808	165888	239616	483840	594432	1152000
PLLs	2	2	4	4	4	4
Maximum User I/O Pins	142	182	315	475	450	622

2. 显示模块

显示模块包括单行字符型液晶显示屏(接口)、数码管、发光二极管及相关的控制驱动电路。

3. 混合电压源电路模块

混合电压源电路模块可以提供 5V、3.3V 的工作电压,FPGA 自身的工作内核电源由 FPGA 子板提供。

4. FPGA 接口与通信模块

直接与 FPGA 相连的接口有 VGA 接口、RS232 串行通信接口、PS/2 鼠标接口、PS/2 键盘接口、SD 卡接口、控制 FPGA 接口、下载控制 USB 接口、多种时钟信号接口、JTAG 下载接口、外围按键拨码开关(见图 1.1)等。实验涉及的 FPGA 型号的结构图信号名与管脚号对照表见附录,以备实验中锁定管脚用。

5. 多任务重配置电路系统

此模块由实验系统硬件通信结构重配置控制电路和 USB 接口等组成。采用多任务电路结构重配置设计技术,基于此原理的电路可通过 CPLD 对实验 FPGA 映像集中管理,存储于 FLASH 中,利用实验控制 PC(上位机)通过 USB 接口进行任意配置和控制,使目标 FPGA 与开发系统的输入输出资源以多种方式形成结构各异的实验电路;通过 PC 专用软件控制,即可自动连接成不同的实验电路结构,从而解决自由插线实验方式的电磁兼容性及速度较低等问题,同时也克服了全连接方式的不灵活性。也就是说,该系统的实验电路结构是可控的,即通过软件控制,使之改变连接方式以适应不同实验的需要。虽然从物理结构上看,CHULP1 平台的电路结构是相对固定的,

但根据其具体使用场合,通过控制 FPGA 映像的动态改变,就可以使电路结构和功能发生变化。这种多任务重配置设计方案的目的有两个:

- 1) 适应数字逻辑、组成原理和体系结构等更多的实验与开发项目;
- 2) 适应更多公司的 FPGA 器件和不同封装的 FPGA 器件。可配置的实验电路是通过上位机软件配置实现的,具体配置使用方式参见 1.2 节。

6. 实验信号控制键(键 1~键 6)

键 1 至键 4 可以灵活使用,使用时需参照附录中的实验电路结构图(见附录图 A.3)。键 5 和键 6 是专用按键:一个是硬复位;一个是单步时钟。

7. 数码管 1~8/发光管 D1~D56

数码管 1~8/发光管 Ds1~Ds56 同 RAM 的数据(32b)地址(21b)总线复用,其中 3b 由实验 FPGA 专用。它们的连线形式需参考实验电路结构图(见附录图 A.1)。

8. 多任务编程下载器

下载控制电路模块可用于对 Xilinx、Altera 等公司的 CPLD/FPGA 系列器件进行动态下载,下载可以使用 JTAG/PS 不同的模式,以适应不同的开发需要。动态下载模式主要由软件控制,通过 USB 接口,在 CPLD 的统一管理下,下载到实验和控制 FPGA 中,这些映像可以存储在 FLASH 中,在同一类实验中上电后,默认下载同一种代码。这种设计给远程下载控制和调试提供了便利。

9. 时钟频率选择模块

多种时钟源是由 CPLD 经过多种分频产生的,实验 FPGA 可以直接通过管脚绑定直接选择所需要的时钟。时钟选择也可以通过控制 FPGA 选定控制实验 FPGA。

10. 扬声器接口

这是目标芯片的音频输出接口,与目标芯片的“SPEAKER”端相接,实验 FPGA 可以控制音频芯片,进行奏乐或信号处理。由于在实际实验中,音频芯片的使用比较复杂,在新的实验系统中,部分系统去掉了此接口。

11. PS/2 接口

通过此接口,可以将 PC 的键盘和/或鼠标与实验系统的实验 FPGA 相连,从而完成 PS/2 通信与控制方面的接口实验。

12. VGA 视频接口

通过 VGA 视频接口可完成实验 FPGA 对 VGA 显示器的控制。

13. 其他功能模块

开发系统主板另外配置有大容量 RAM/ROM、SD 卡、VGA 驱动、CPLD 下载口、FPGA 配置模块等。

1.2 系统实验方法

计算机组成原理和系统结构实验课程可以使用单机系统完成本地实验,也可以利用网络系统远程完成实验。使用实验系统进行远程实验和本地实验的工作方式类似(如图 1.2 所示),当在本地实验时,可以认为虚线框中的服务器部分由本地微机代替,实验通过 USB 接口直接连接在本地微机上,本地实验和远程实验的步骤和方法基本相同。

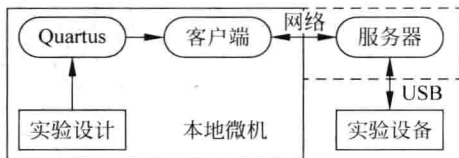


图 1.2

学生在本地微机上使用 Quartus II 软件编写实验工程,编译生成目标 rbf 文件之后,使用客户端软件 RLabClient 登录服务器进行远程下载和调试来完成实验。在远程实验中,RLabClient 与服务器端的 RLab 软件进行网络通信,RLab 为所有客户端自动分配实验设备,并按照客户端的指令对相应实验硬件设备进行各种操作,然后把实验硬件设备的所有状态返回给客户端。服务器端与各个实验硬件设备是通过 USB 线进行通信的,本地设备直接连接本地微机。

在客户端微机(或本地微机)上运行的 RLabClient 软件是上位机调试软件,帮助用户调试所设计的硬件实验。为了减少学生熟悉系统所用的时间,单机系统与远程网络系统采用了相同的软件架构和界面,因此实验过程中要遵循如下软件操作步骤:

(1) 双击 RlabClient.exe,远程实验会出现如图 1.3 所示的登录界面。单机版将直接跳到第(3)步,并显示如图 1.4 所示的界面。

(2) 在远程实验 Rlab 登录界面上,在“服务器地址”栏请输入本学校服务器所在的地址,接着输入学生的账号和密码,然后单击“登录”按钮。

(3) 登录成功以后(以下步骤中本地实验、远程实验操作相同)单击选择实验(如



图 1.3

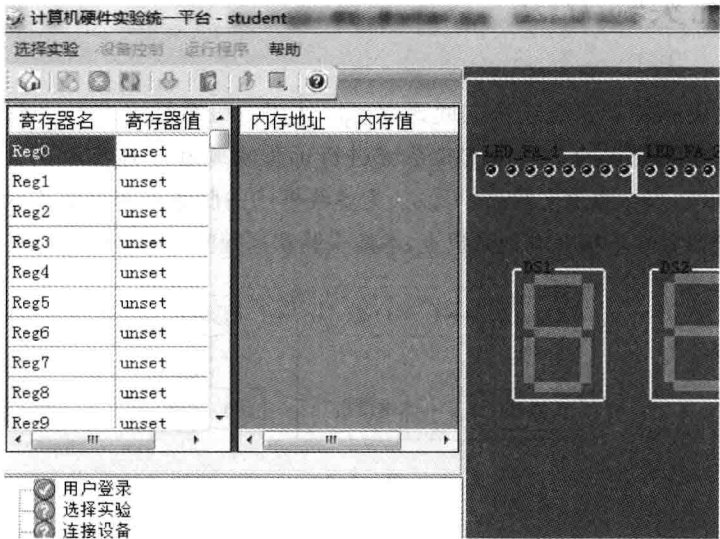


图 1.4

图 1.5 所示,选择“组成原理”或“系统结构”中对应的实验),在本地路径上选择该实验已经通过 Quartus 编译出的 XXX. rbf 文件(Quartus 的使用参见第 2 章)。

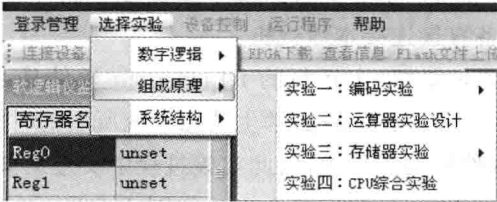


图 1.5

RLabClient 界面主要分为菜单栏、工具栏、实验窗口、软逻辑仪监视窗口、输出控制台窗口等等。寄存器窗口可以显示从 FPGA 中传出的 256 个 32bit 值,其中 252 个

可以由学生自己定义,以方便监控和调试。内存窗口可以显示和修改 2MB RAM 中的内容,也可以将学生自己编写的二进制文件上传到 RAM 中作为指令和数据。LED 灯、数码管、拨码开关、CLOCK、RESET、KEY1~KEY4 按钮都与实验箱一一对应。输出控制台显示的是实验中 Client 端向 Server 端发送的命令和得到的返回结果,实验系统出现故障时可以从其中得到部分故障信息。

1.3 实验流程

- (1) 用 Quartus 编译实验工程 XXX,得到 XXX. rbf 文件(参见第 2 章)。
- (2) RLabClient 远程或本地登录(如图 1.3 和图 1.4 所示)。
- (3) 单击“选择实验”→XXXX 课程名→实验: XXXX 选项(如图 1.5 所示),出现一个打开文件的窗口,在其中选择与所选实验相对应的第(1)步编译好的 XXX. rbf 文件。
- (4) 单击“连接设备”命令,设备连接成功后单击“FPGA 下载”命令,就把 rbf 文件下载到实验系统的硬件平台上的实验 FPGA 中了。
- (5) 单击“运行程序”→“运行”命令(如图 1.6 所示),就会出现各实验相应的调试窗口。

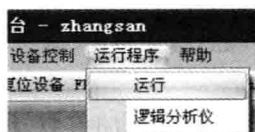


图 1.6

例如,BCD 编码实验窗口如图 1.7 所示。

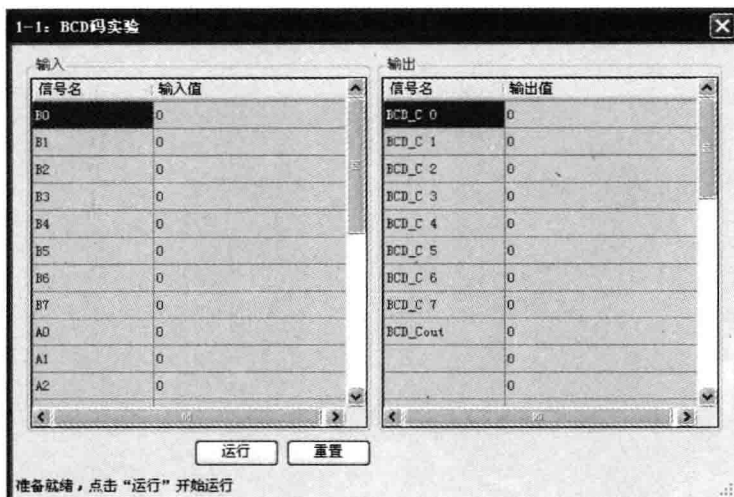


图 1.7

再例如,CPU 综合实验窗口如图 1.8 所示。

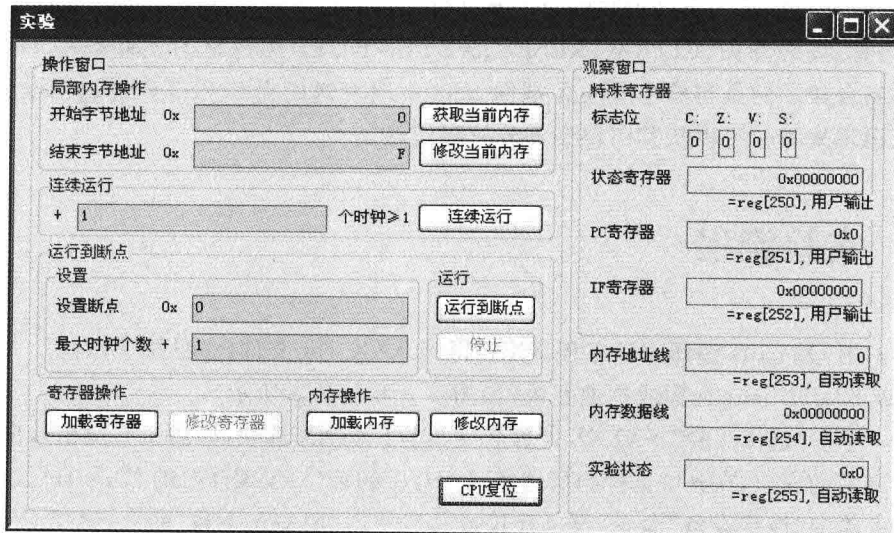


图 1.8

(6) 根据实验教程相关章节完成相应的实验。

(7) 如果在实验中遇到不明问题,可以单击“复位设备”命令,然后重新进行实验。

实验系统使用注意事项:

(1) 闲置不用 CHULP1 实验系统时,关闭电源,拔下电源插头。

(2) 实验过程中,数字逻辑设计、组成原理与系统结构的实验控制不同,软件界面也不同,注意软件系统的配置和实验选择。

(3) 换目标芯片适配板时要特别注意,不要插反或插错,也不要带电插拔,确信插对后才能接通电源。

2.1 Quartus II 简介

Quartus II 可编程逻辑开发软件是 Altera 公司为其 FPGA/CPLD 芯片设计的集成化专用开发工具,是 Altera 最新一代功能更强的集成 EDA 开发软件,其界面如图 2.1 所示。使用 Quartus II 可完成从设计输入、综合适配、仿真到下载的整个设计过程。

Max+Plus II 是 Altera 公司早期的开发工具,曾经是最优秀的 PLD 开发平台之一,现在正在逐步被 Quartus II 代替。并且 Max+plus II 已经不再支持 Altera 公司的新器件,同时,Quartus II 也放弃了对少数较老器件的支持。

Quartus II 根据设计者需求提供了一个完整的多平台开发环境,它包含整个 FPGA 和 CPLD 设计阶段的解决方案。Quartus II 软件提供的完整、操作简易的图形用户界面可以完成整个设计流程中的各个阶段。Quartus II 集成环境包括以下内容:系统级设计,嵌入式软件开发,可编程逻辑器件(PLD)设计、综合、布局和布线、验证和仿真。

Quartus II 也可以直接调用 Synplify Pro、Leonardo Spectrum 以及 ModelSim 等第三方 EDA 工具来完成设计任务的综合与仿真。Quartus II 与 MATLAB 和 DSP Builder 结合可以进行基于 FPGA 的 DSP 系统开发,方便且快捷,还可以与 SOPC Builder 结合,实现 SOPC 系统的开发。