

EDA 应用技术

Cadence

高速电路板设计与仿真 (第5版) ——原理图与PCB设计

周润景 王洪艳 编著



中国工信出版集团



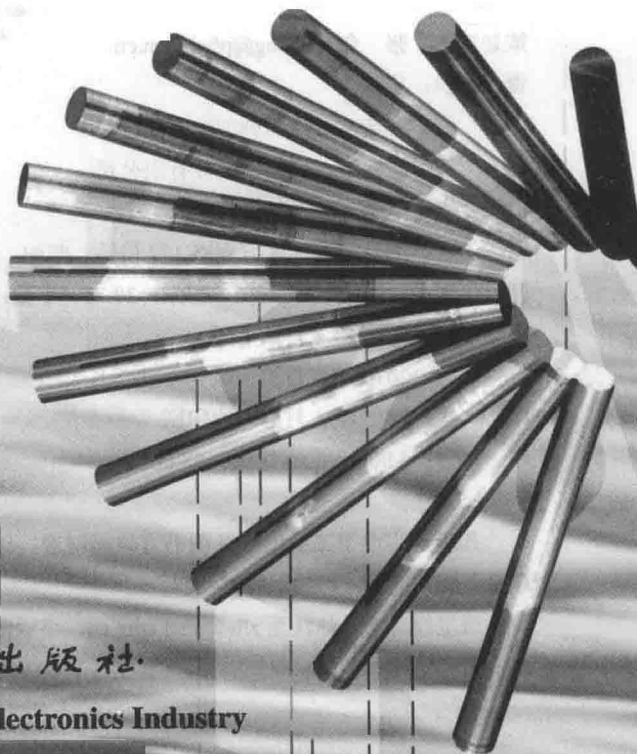
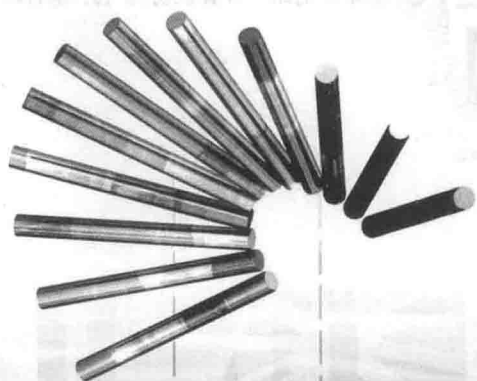
电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

EDA应用技术

Cadence

高速电路板设计与仿真 (第5版) ——原理图与PCB设计

周润景 王洪艳 编著



电子工业出版社

Publishing House of Electronics Industry

内 容 简 介

本书以 Cadence Allegro SPB 16.6 为基础,从设计实践的角度出发,以具体电路的 PCB 设计流程为顺序,深入浅出地详尽讲解元器件建库、原理图设计、布局、布线、规则设置、报告检查、底片文件输出、后处理等 PCB 设计的全过程。本书的内容主要包括原理图输入及元器件数据集成管理环境的使用、中心库的开发、PCB 设计工具的使用,以及后期电路设计处理需要掌握的各项技能等。

本书内容丰富,叙述简明扼要,既适合从事 PCB 设计的中、高级读者阅读,也可作为电子及相关专业 PCB 设计的教学用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

Cadence 高速电路板设计与仿真:原理图与 PCB 设计/周润景,王洪艳编著. —5 版. —北京:电子工业出版社,2015.4

(EDA 应用技术)

ISBN 978-7-121-25049-1

I. ①C… II. ①周… ②王… III. ①印刷电路—计算机辅助设计②印刷电路—计算机仿真 IV. ①TN410.2

中国版本图书馆 CIP 数据核字(2014)第 286359 号

策划编辑:张 剑(zhang@phei.com.cn)

责任编辑:徐 萍

印 刷:三河市双峰印刷装订有限公司

装 订:三河市双峰印刷装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:28.75 字数:736 千字

版 次:2006 年 4 月第 1 版

2015 年 4 月第 5 版

印 次:2015 年 4 月第 1 次印刷

印 数:3 000 册 定价:88.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

序 言

Allegro PCB 产品是 Cadence 公司在 PCB 设计领域的旗舰产品，因其功能强大、易学易用，得到了广大电子工程师的厚爱。

Allegro PCB 产品涵盖了完整的 PCB 设计流程，包括电路图输入、PCB 编辑及布线、PCB 板级系统电源完整性及信号完整性分析、PCB 设计制造分析，以及 PCB 制造输出等。

电子工程领域的 PCB 设计有繁、有简，Cadence 公司为了适应不同的市场需求，分别提供如下 3 个集成的、从前端到后端的 Allegro PCB 设计解决方案，帮助用户应对不同的设计要求。

- Allegro OrCAD 系列：满足主流用户的 PCB 设计要求。
- Allegro L 系列：适用于对成本敏感的小规模到中等规模的设计团队，同时具有随着工艺复杂度增加而伸缩的灵活性。
- Allegro XL/GXL：满足先进的高速、约束驱动的 PCB 设计，依托 Allegro 具有鲜明特点的约束管理器管理解决方案，能够跨设计流程同步管理电气约束，如同一个无缝的过程。

面对日益复杂的高速 PCB 设计要求，Cadence 公司的上述产品包提供的都是一个统一且集成的设计环境，能够让电子工程师从设计周期开始到布线持续解决高速电路设计问题，以提高电子工程师的设计效率。

由于 Allegro PCB 软件功能强大，本书的作者周润景教授总结了多年的 Allegro 平台工具教学和使用心得，在结合《Cadence 高速电路板设计与仿真——原理图与 PCB 设计》前四版经验的基础上，针对 Cadence Allegro SPB 16.6 做出了相应的修订，以 PCB 物理设计为出发点，围绕 Allegro PCB 这个集成的设计环境，按照 PCB 最新的设计流程，通俗易懂地讲解利用 Allegro PCB 软件实现高速电路设计的方法和技巧。无论是对前端设计开发（原理图设计），还是对 PCB 板级设计、PCB 布线实体的架构，本书都有全面的讲解，极具参考和学习价值。

作为 Cadence Allegro/OrCAD 在中国的合作伙伴，我向各位推荐此书，可将其作为学习 Allegro/OrCAD 的桌面参考书。

北京迪浩永辉科技公司技术经理 王鹏

前 言

随着工程技术的电子化、集成化和系统化的迅速发展，电路设计已经进入一个全新的时代，尤其是高速电路设计已成为电子工程技术发展的主流，而 Cadence 以其强大的功能和高级的绘图效果，逐渐成为 PCB 设计行业中的主导软件。Cadence 完善的集成设计系统和强大的功能符合高速电路设计速度快、容量大、精度高等要求，使它成为 PCB 设计方面的优秀代表。本书以 Cadence 公司最新发布的 Allegro SPB 16.6 作为开发平台，以实际案例贯穿整个 PCB 设计开发的全过程，设计思路清晰，更加具有应用性。

最新版 Cadence 软件在使用制程方面的全新优化和增强，可以使读者在原有基础上进一步提高设计的稳定性，缩短开发周期，完善系统的综合性能。

Allegro SPB 16.6 中的最新技术包括：

- Allegro SPB 16.6 的 Pspice 支持多核（超过 4 核），因而在仿真速度方面最高可提升 4 倍。加强了与用户互动的功能，可通过云存储将设计放到云端。此外，在 Team Design、小型化等方面都有很好的改进。
- Allegro SPB 16.6 产品线的新功能有助于嵌入式双面及垂直部件的小型化改良，改进时序敏感型物理实现与验证，加快时序闭合，并改进 ECAD 和机械化 CAD (MCAD) 协同设计——这些对加快多功能电子产品的开发至关重要。
- Allegro SPB 16.6 通过自动交互延迟调整 (AiDT) 加快时序敏感型物理实现。自动交互延迟调整可缩短时间，满足高级标准界面的时序约束，如 DDR3 等，缩短的程度可达 30%~50%。AiDT 可帮助用户逐个界面地迅速调整关键高速信号的时间，或其应用于字节通道级，将 PCB 上的线路调整时间从数日缩短到几个小时。

本书共 18 章，其中，王洪艳编写了第 1 章~第 4 章，并对书中的例子做了全面的验证；第 5 章~第 18 章由周润景编写。全书由周润景负责统稿。参加本书编写的还有姜攀、托亚、贾雯、张龙龙、刘晓霞、姜晓黎、何茹、蒋诗俊、张晨、张红敏、张丽敏、周敬、宋志清。

本书的出版得到了北京迪浩永辉科技公司执行董事黄胜利先生、技术经理王鹏先生和电子工业出版社张剑先生的大力支持，也有很多读者提出了宝贵的意见，在此一并表示衷心的感谢！

同时，本书的出版得到了国家自然科学基金项目“高速数字系统的信号与电源完整性联合分析及优化设计”（项目批准号：61161001）的资助。

为便于读者阅读、学习，特提供本书实例下载资源，请访问 <http://yydz.phei.com.cn> 网站，到“资源下载”栏目下载。

由于 Cadence 公司的 PCB 工具性能非常强大，不可能通过一本书完成全部内容的详尽介绍，加上时间与水平有限，因此书中难免有不妥之处，还望广大读者批评指正。

编著者

目 录

第1章	Cadence Allegro SPB 16.6 简介	1
1.1	概述.....	1
1.2	功能特点.....	1
1.3	设计流程.....	3
1.4	Cadence OrCAD 新功能介绍.....	4
1.5	Cadence Allegro 新功能介绍.....	11
1.5.1	产品增强功能 (Productivity Enhancements).....	11
1.5.2	走线互连优化[Route Interconnect Optimization(RIO)].....	28
1.5.3	制造设计 (Design for Manufacturing).....	32
1.5.4	团队设计 (Team Design).....	34
1.5.5	嵌入式组件设计 (Embedded Component Design).....	35
第2章	Capture 原理图设计工作平台	37
2.1	Design Entry CIS 软件功能介绍.....	37
2.2	原理图工作环境.....	38
2.3	设置图纸参数.....	38
2.4	设置设计模板.....	41
2.5	设置打印属性.....	45
第3章	制作元器件及创建元器件库	47
3.1	创建单个元器件.....	47
3.1.1	直接新建元器件.....	48
3.1.2	用电子表格新建元器件.....	56
3.2	创建复合封装元器件.....	58
3.3	大元器件的分割.....	60
3.4	创建其他元器件.....	61
	习题.....	62
第4章	创建新设计	63
4.1	原理图设计规范.....	63
4.2	Capture 基本名词术语.....	63

4.3	建立新项目	65
4.4	放置元器件	66
4.4.1	放置基本元器件	67
4.4.2	对元器件的基本操作	70
4.4.3	放置电源和接地符号	71
4.4.4	完成元器件放置	72
4.5	创建分级模块	73
4.6	修改元器件序号与元器件值	82
4.7	连接电路图	83
4.8	标题栏的处理	88
4.9	添加文本和图像	89
4.10	建立压缩文档	90
4.11	平坦式和层次式电路图设计	90
4.11.1	平坦式和层次式电路特点	91
4.11.2	电路图的连接	92
	习题	93
第5章	PCB 设计预处理	95
5.1	编辑元器件的属性	95
5.2	Capture 到 Allegro PCB Editor 的信号属性分配	104
5.3	建立差分对	108
5.4	Capture 中总线 (Bus) 的应用	110
5.5	原理图绘制后续处理	118
5.5.1	设计规则检查	118
5.5.2	为元器件自动编号	123
5.5.3	回注 (Back Annotation)	125
5.5.4	自动更新元器件或网络的属性	125
5.5.5	生成网络表	126
5.5.6	生成元器件清单和交互参考表	129
5.5.7	属性参数的输出/输入	131
	习题	132
第6章	Allegro 的属性设置	133
6.1	Allegro 的界面介绍	133
6.2	设置工具栏	138
6.3	定制 Allegro 环境	139
6.4	编辑窗口控制	151
	习题	160

第7章	焊盘制作	161
7.1	基本概念	161
7.2	热风焊盘的制作	163
7.3	通过孔焊盘的制作	165
7.4	贴片焊盘的制作	171
第8章	元器件封装的制作	175
8.1	封装符号基本类型	175
8.2	集成电路 (IC) 封装的制作	175
8.3	连接器 (IO) 封装的制作	185
8.4	分立元器件 (DISCRETE) 封装的制作	202
8.4.1	贴片的分立元器件封装的制作	202
8.4.2	直插的分立元器件封装的制作	205
8.4.3	自定义焊盘封装的制作	208
	习题	215
第9章	PCB 的建立	216
9.1	建立 PCB	216
9.2	输入网络表	237
	习题	240
第10章	设置设计规则	241
10.1	间距规则设置	241
10.2	物理规则设置	245
10.3	设定设计约束 (Design Constraints)	248
10.4	设置元器件/网络属性	249
	习题	255
第11章	布局	256
11.1	规划 PCB	257
11.2	手工摆放元器件	260
11.3	快速摆放元器件	265
	习题	272
第12章	高级布局	273
12.1	显示飞线	273
12.2	交换	274

12.3	使用 ALT_SYMBOLS 属性摆放	278
12.4	按 Capture 原理图页进行摆放	280
12.5	原理图与 Allegro 交互摆放	283
12.6	自动布局	287
12.7	使用 PCB Router 自动布局	292
	习题	294
第13章	敷铜	295
13.1	基本概念	295
13.2	为平面层建立 Shape	297
13.3	分割平面	299
13.4	分割复杂平面	311
	习题	313
第14章	布线	314
14.1	布线的基本原则	314
14.2	布线的相关命令	315
14.3	定义布线的格点	315
14.4	手工布线	317
14.5	扇出 (Fanout By Pick)	321
14.6	群组布线	323
14.7	自动布线的准备工作	326
14.8	自动布线	332
14.9	控制并编辑线	341
14.9.1	控制线的长度	341
14.9.2	差分布线	348
14.9.3	高速网络布线	356
14.9.4	45° 角布线调整 (Miter By Pick)	360
14.9.5	改善布线的连接	361
14.10	优化布线 (Gloss)	365
	习题	371
第15章	后处理	372
15.1	重命名元器件序号	372
15.2	文字面调整	375
15.3	回注 (Back Annotation)	378
	习题	379



第16章 加入测试点	380
16.1 产生测试点	380
16.2 修改测试点	385
习题	389
第17章 PCB 加工前的准备工作	390
17.1 建立丝印层	390
17.2 建立报告	392
17.3 建立 Artwork 文件	393
17.4 建立钻孔图	403
17.5 建立钻孔文件	405
17.6 输出底片文件	406
17.7 浏览 Gerber 文件	408
17.8 在 CAM350 中检查 Gerber 文件	410
习题	427
第18章 Allegro 其他高级功能	428
18.1 设置过孔的焊盘	428
18.2 更新元器件封装符号	430
18.3 Net 和 Xnet	431
18.4 技术文件的处理	431
18.5 设计重用	436
18.6 DFA 检查	442
18.7 修改 env 文件	444
18.8 数据库写保护	445
习题	447

第1章 Cadence Allegro SPB 16.6 简介

1.1 概述

Cadence 新一代的 Allegro SPB 16.6 系统互连设计平台优化并加速了高性能、高密度的互连设计，建立了从 IC 制造、封装到 PCB 的一套完整的设计流程。Cadence Allegro 可提供新一代的协同设计方法，以便建立跨越整个设计链，包括 I/O 缓冲区、IC、封装及 PCB 设计人员的合作关系。Cadence 公司著名的软件有 Cadence Allegro、Cadence LDV、Cadence IC 5.0、Cadence OrCAD 等。

功能强大的布局布线设计工具 Allegro PCB 是业界领先的 PCB 设计系统。Allegro PCB 是一个交互的环境，用于建立和编辑复杂的多层 PCB。Allegro PCB 丰富的功能可以满足当今全球设计和制造的需求，针对目标按时完成系统协同设计，降低成本并加快产品上市时间。

应用 Cadence Allegro 平台的协同设计方法，工程师可以迅速优化 I/O 缓冲器之间，或者跨集成电路、封装和 PCB 的系统互连，从而避免硬件设计返工，降低硬件成本，缩短设计周期。约束驱动的 Allegro 流程可用于设计捕捉、信号完整性和物理实现。由于它还得到 Cadence Encounter 与 Virtuoso 平台的支持，Allegro 协同设计方法使得高效的设计链协同成为现实。

系统互连是一个信号的逻辑、物理和电气连接，以及相应的回路和功率配送系统。目前，集成电路与系统研发团队在设计高速系统互连时面临着前所未有的挑战。由于集成电路的集成度不断提高，芯片的 I/O 和封装引脚数量也在迅速增加，千兆赫兹速度的数据传输率同样促进对极高速的 PCB 与系统的需求的增加。同时，平均的 PCB 尺寸不断缩小，功率配送要求也随着芯片晶体管数目的攀升不断提高。

解决这些复杂的问题和应对不断增长的上市时间压力的需要，使得传统的系统组件设计方法变得过时和不合时宜。在高速系统中完成工作系统互连，需要新一代的设计方法，它应该让研发团队把注意力集中在提高跨 3 个系统领域的系统互连的效率上。

1.2 功能特点

Cadence 公司的 Allegro SPB 16.6 软件对 PCB 板级的电路系统设计流程，包括原理图输入，数字、模拟及混合电路仿真，FPGA 可编程逻辑器件设计，自动布局、布线，PCB 版图及生产制造数据输出，以及针对高速 PCB 的信号完整性分析与电源完整性分析等，提供了完整的输入、分析、版图编辑和制造的全线 EDA 辅助设计工具。

1. 功能模块

整个软件系统主要包括以下 18 个功能模块。

- ☺ Design Entry HDL: 提供了一个原理图输入和分析环境。它的功能与扩展模拟（数字电路和模拟电路），以及 PCB 版图设计解决方案集成在一起，是作为所有与系统和高速设计流程相关的 CAE 要求的任务中心。原理图设计方法已经通过若干提高生产效率的措施得以简化，Design Entry HDL 使得设计的每个阶段流水线化。
- ☺ Design Entry CIS: 是世界上领先的在 Windows 操作系统上实现的原理图输入解决方案，直观、简单易用且具有先进的部件搜索机制，是迅速完成设计捕捉的工具。Design Entry CIS 对应于以前版本的 Capture 和 Capture CIS，是 Cadence 公司收购原 OrCAD 公司的产品，是国际上通用的标准的原理图输入工具，设计快捷、方便，图形美观，与 Allegro 实现了无缝链接。
- ☺ Design Entry HDL Rules Checker: Design Entry HDL 的规则检查工具。
- ☺ Layout Plus: 原 OrCAD 公司的 PCB 设计工具。
- ☺ Layout Plus SmartRoute Calibrate: Layout Plus 的布线工具（Smart Route）。
- ☺ Library Explorer: 进行数字设计库管理的软件，可以调用 Design Entry HDL、PCB Librarian、PCB Designer、Allegro System Architect 等建立的元器件符号和模型。
- ☺ Online Documentation: 在线帮助文档。
- ☺ Model Integrity: 模型编辑与验证工具。
- ☺ Package Designer: 芯片和封装的设计分析软件，它把芯片级的 I/O 可行性和规划功能与业界领先的集成电路封装设计工具组合到一起，形成一种强大的协同设计方法。该产品家族包括一个嵌入式的经过验证的 3D 场计算器，允许工程师在电气与物理设计要求之间做出折中选择，以满足成本和性能目标的要求。
- ☺ PCB Editor: 一个完整的高性能 PCB 设计软件。通过顶尖的技术，为创建和编辑复杂、多层、高速、高密度的 PCB 设计提供了一个交互式、约束驱动的设计环境。它允许用户在设计过程的任意阶段定义、管理和验证关键的高速信号，并能抓住最关键的设计问题。
- ☺ PCB Librarian: Allegro 库开发，包括焊盘、自定义焊盘形状、封装符号、机械符号、Format 符号和 Flash 符号的开发。
- ☺ PCB Router: CCT 布线器。
- ☺ PCB SI: 提供一个集成的高速设计与分析环境。它能流水线化完成高速数字 PCB 系统和高级集成电路封装设计，方便电气工程师在设计周期的所有阶段探究、优化和解决电气性能相关的问题。约束驱动的设计流程提高了首次成功的概率，并降低了产品的整体成本。
- ☺ Allegro Physical Viewer: Allegro 浏览器模块。
- ☺ Project Manager: Design Entry HDL 的项目管理器。
- ☺ SigXplorer: 网络拓扑的提取和仿真。
- ☺ AMS Simulator: 工业标准的模拟、数字及模拟/数字混合信号仿真系统，具有仿真

速度快、精度高、功能强大等特点。仿真库内所含元器件种类丰富，数量众多。

☺ PCB Editor Utilities: 包含 Pad Designer、DB Doctor 和 Batch DRC 等工具。

2. 特有功能

Allegro SPB 15.7 以后的版本的 18 个模块不仅提供了强大的 PCB 设计功能，还提供了以下特有功能。

☺ 混合设计输入工具支持从结构到电路的模拟/数字设计，框图编辑工具可以自动按 HDL 语言描述生成模块框图，或者由高端框图生成 HDL 语言文本。

☺ 自顶向下设计可以由混合级的设计直接生成 Verilog 或 VHDL 网络表，用户在仿真时不需要进行数据转换工作。

☺ 可以在原理图中驱动物理设计的属性和修改约束条件，包括 PCB 设计所必需的布线优先级、终端匹配规则等。

☺ 可以检查终端匹配、电流不足、短路、未连引脚、DRC 错误等。

☺ 自动高亮自定义检查规则。

☺ 电气物理规则驱动设计。

☺ 自动/交互式布局，自动/交互式布线。

☺ 用有布线长度的设计规则来满足电路的时序要求。

☺ 在线分析工具包括物理设计规则检查，信号噪声、时序分析，可靠性、可测试性、可生产性、热学分析，对高速系统可以计算布线的传输延时、寄生电容、电阻、电感和特征阻抗等电气参数。

☺ 可以计算网络的串扰，电源/地，电磁兼容，热漂移，信号的上升沿、下降沿、过冲及其前向、后向的串扰等。

通过这些特有功能，可以较好地完成以下工作。

☺ 对数字电路进行逻辑分析。以 Verilog-XL 和 NC Simulator 为核心，配以直观、易用的仿真环境，构成顺畅的数字电路分析流程。

☺ 针对模拟电路的功能验证。采用非常适合工程技术人员使用的工具界面，配合高精度、强收敛的模拟仿真器所提供的直流、交流、瞬态功率分析、灵敏度分析及参数优化等功能，可以辅助用户完美地实现模拟电路及数字/模拟混合电路的分析。

☺ 针对“设计即正确”的思想，Cadence 在 PCB 布局、布线设计领域传统的物理约束的基础上扩充了电气约束能力，可以更好地解决高速 PCB 电路设计中遇到的信噪、热、电磁兼容等问题，配以智能化的无网格布局方式和 SPECCTRA 布线工具，可以大大提高设计成功率。

☺ 针对高速、高密度 PCB 系统设计，Cadence 改变了传统的先设计再分析的方法，提供了设计与分析紧密结合的全新设计方法和强有力的设计工具 PCB SI。

1.3 设计流程

整个 PCB 的设计流程可分为以下 3 个主要部分。

1. 前处理

此部分主要是进行 PCB 设计前的准备工作。

1) 原理图的设计 设计者根据设计要求用 Capture 软件绘制电路原理图。

2) 创建网络表 绘制好的原理图经检查无误后, 可以生成送往 Allegro 的网络表。网络表文件包含 3 个部分, 即 pstxnet.dat、pstxprt.dat 和 pstchip.dat。

3) 建立元器件封装库 在创建网络表之前, 每个元器件都必须有封装。由于实际元器件的封装是多种多样的, 如果元器件的封装库中没有所需的封装, 就必须自己动手创建元器件封装, 并将其存放在指定目录下。

4) 创建机械设计图 设置 PCB 外框及高度限制等相关信息, 产生新的机械图文件 (Mechanical Drawing) 并存储到指定目录下。

2. 中处理

此部分是整个 PCB 设计中最重要的一部分。

1) 读取原理图的网络表 将创建好的网络表导入 Allegro 软件, 取得元器件的相关信息。

2) 摆放机械图和元器件 首先摆放创建好的机械图, 然后摆放比较重要的或较大的元器件, 如 I/O 端口器件、集成电路, 最后摆放小型的元器件, 如电阻、电容等。

3) 设置 PCB 的层面 对于多层的 PCB, 需要添加 PCB 的层面, 如添加 VCC、GND 层等。

4) 进行布线 (手工布线和自动布线) 手工布线可以考虑到整个 PCB 的布局, 使布线最优化, 但缺点是布线时间较长; 自动布线可以使布线速度加快, 但会使用较多的过孔。有时自动布线的路径不一定是最佳的, 故经常需要将这两种方法结合起来使用。

5) 放置测试点 放置测试点的目的是检查该 PCB 是否能正常工作。

3. 后处理

此部分是输出 PCB 的最后工作。

1) 文字面处理 为了使绘制的电路图清晰易懂, 需要对整个电路图的元器件序号进行重新排列, 并使用回注 (Back Annotation) 命令, 使修改的元器件序号在原理图中也得到更新。

2) 底片处理 设计者必须设定每张底片是由哪些设计层面组合而成的, 再将底片的内容输出至文件, 然后将这些文件送至 PCB 生产车间制作 PCB。

3) 报表处理 产生该 PCB 的相关报表, 以提供给后续的工厂工作人员必要的信息。常用的报表有元器件报表 (Bill of Material Report)、元器件坐标报表 (Component Location Report)、信号线接点报表 (Net List Report)、测试点报表 (Testpin Report) 等。

1.4 Cadence OrCAD 新功能介绍

本节将介绍 Cadence 公司推出的最新版本 OrCAD Capture 16.6 的新增功能, 诸如:

Close All Tabs、Lock Reference、SI Analysis, 更可在 SigXplorer 设定拓朴结构及约束, 然后直接回编到原理图上, 大幅简化与缩短预期的作业流程。以下是 OrCAD Capture 16.6 各种新功能介绍。

1. 自定义 Menu 和 Toolbars (Configuring Menus and Toolbars)

改变 Menu item 位置和名称、功能封锁、功能图案, 如图 1-4-1 和图 1-4-2 所示。文件位置为 <Cadence_installation>\share\orResources。



图 1-4-1 文件位置

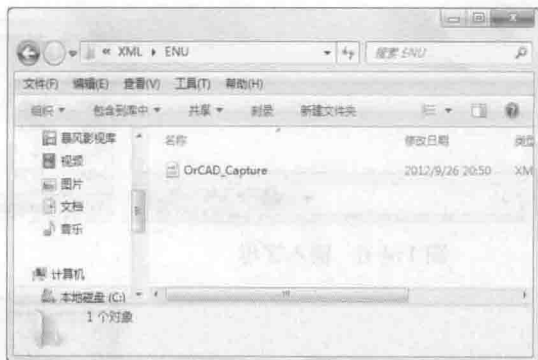


图 1-4-2 修改 XML File

2. 项目、库保存功能 (Enhanced Save Function for Design and Library)

修改过的原理图或者元件库在未保存时会被星号 (*) 标示, 如图 1-4-3 所示。

3. 查找功能 (Enhancements in the Find Function)

1) Property Name=Value 指定找寻某一个属性的值, 例如: pcb footprint=PLCC28。Property Name 必须为完整的字串。

2) Regular Expressions 搜寻区间范围内的元件, 例如: U4[1-4]。当两个功能都被开启时, Regular Expressions 搜寻只支持 Property Value 的字串。

具体操作过程如下所述。

- (1) 启动 OrCAD Capture, 打开 demo.dsn;
- (2) 在菜单栏单击 Search, 如图 1-4-4 所示;
- (3) 把“Regular Expressions”和“Property Name=Value”两个选项都选上, 如图 1-4-5 所示;
- (4) 单击 SelectAll 选项, 将图中对象全部选中;
- (5) 在查找框中任意输入某字母, 如“D”, 如图 1-4-6 所示。回车, 得到所有包含 D 相关属性的对象, 如图 1-4-7 所示。
- (6) 在查找框中输入“PCB Footprint=D*”, 如图 1-4-8 所示。回车, 得到如图 1-4-9

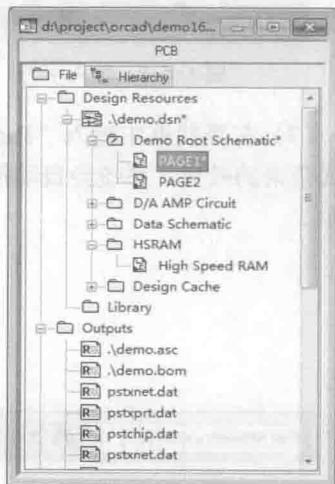


图 1-4-3 项目管理

所示的结果。



图 1-4-4 查询栏

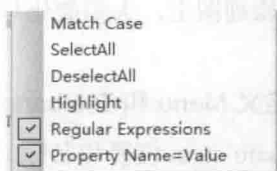


图 1-4-5 勾选选项



图 1-4-6 输入字母

Object ID	Net Name	Page	Page Number	Schematic	Pin
BRD	BRD	PAG...	1	Demo Ro...	U4...
BRESET	BRESET	PAG...	1	Demo Ro...	U4...
BWR	BWR	PAG...	1	Demo Ro...	U4...
FPGA	FPGA	PAG...	1	Demo Ro...	U4...
HS	HS	PAG...	1	Demo Ro...	U4...
MCLK	MCLK	PAG...	1	Demo Ro...	J1...

图 1-4-7 查询结果



图 1-4-8 输入字符

Reference	Value	Source Part	Source Library	Page	Page Number	Schematic	Zone	Location X-Coordi
C1	0.1uF	CAP NP	C:\CADENCE\...	PAG...	1	Demo Ro...	4A	300
C2	0.1uF	CAP NP	C:\CADENCE\...	PAG...	1	Demo Ro...	4A	350
C3	0.1uF	CAP NP	C:\CADENCE\...	PAG...	1	Demo Ro...	3A	400
C4	0.1uF	CAP NP	C:\CADENCE\...	PAG...	1	Demo Ro...	3A	450
J1	CON...	CONN FLE...	C:\CADENCE\...	PAG...	1	Demo Ro...	5D	30

图 1-4-9 查询结果

(7) 在查找框中输入“Part Reference=(C|R)[2-9]”，如图 1-4-10 所示。查看标准语法表达式带来的效果，系统会自动搜索电容 C2~C9 和电阻 R2~R9 的所有器件出来，如图 1-4-11 所示。

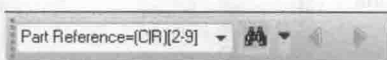


图 1-4-10 输入字符

Reference	Value	Source Part	Source Library	Page	Page Number	Schematic	Zone	Location X-Coordi
C2	0.1uF	CAP NP	C:\CADENCE\...	PAG...	1	Demo Ro...	4A	350
C3	0.1uF	CAP NP	C:\CADENCE\...	PAG...	1	Demo Ro...	3A	400
C4	0.1uF	CAP NP	C:\CADENCE\...	PAG...	1	Demo Ro...	3A	450
R6	R	R	C:\CADENCE\...	PAG...	1	Demo Ro...	4A	280
R7	R	R	C:\CADENCE\...	PAG...	1	Demo Ro...	4A	320
R8	R	R	C:\CADENCE\...	PAG...	1	Demo Ro...	4A	370

图 1-4-11 查询结果

4. 整体替换分页端口连接器 (Global Replace for OffPage)

Capture 现在可以支持对于 OffPage Connector 的整体替换，一次性替换相同 Net Name 的 OffPage，将 A 名称换成 B 名称。当用户想在不同项目中合并某几页的原理图到一个项目中时，就会用到整体替换 Off Page 名字的功能。具体操作步骤如下：

(1) 启动 OrCAD Capture，打开 demo.dsn；

(2) 在 Project Manager 中单击 demo.dsn (表明后面选择的对象是整个 Design)，如图 1-4-12 所示；

(3) 执行菜单命令“Edit”→“Browser”→“Off-Page Connectors”，此时，工程中所有的 connector 全部都被列出来，如图 1-4-13 所示；

(4) 打开任意一页，执行菜单命令“Edit”→“Global Replace”。勾选“OffPage Connector”，如图 1-4-14 所示，然后在对话框中填出替换的内容即可。

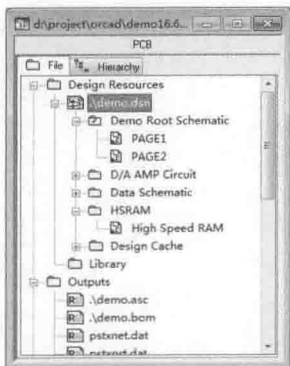


图 1-4-12 选中 demo.dsn

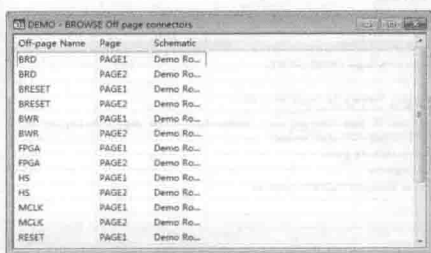


图 1-4-13 列出 Connectors

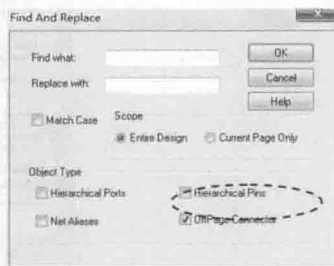


图 1-4-14 替换

5. Cache 更新 (Enhancements in Cache Updates)

可在 Design Cache 中一次选取多个元件，通过 Replace Cache 将其换成同一个元件，如图 1-4-15 和图 1-4-16 所示。



图 1-4-15 选取多个元件

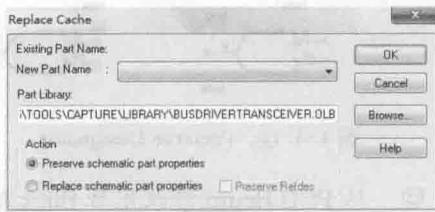


图 1-4-16 替换

6. 设置用户分配标志 (Setting the User Assigned Flag) (见图 1-4-17)

(1) Preserve Designator (见图 1-4-18): 当 Reference 清成“?”时，同类型复合元件可保留 Section。

(2) Preserve User Assigned Valid References (见图 1-4-19): 可以保留 User 自定义的 Reference。

Part Reference 可通过以下三种方法进行修改：

- ☉ Edit Property;
- ☉ 直接修改 Part Reference Value;