



高等学校电子信息类“十二五”规划教材

集成电路设计 实验教程

主编 赵 武



西安电子科技大学出版社
<http://www.xduph.com>

集成电路设计实验教程

主 编 赵 武

副主编 马晓龙 齐晓斐

邓周虎 张志勇

西安电子科技大学出版社

内 容 简 介

本书全面介绍了模拟集成电路和数字集成电路设计中实用性很强的 EDA 软件的使用。

本书分为上下两篇。上篇介绍模拟集成电路设计中电路图编辑与电路仿真、版图设计与验证(包括 DRC、LVS、LPE 和后仿真等)及其他高级仿真技术等。下篇介绍 VLSI 的设计流程以及逻辑仿真、逻辑综合、静态时序分析、版图综合、自动测试向量生成和形式验证等实用技术。书中所有实验皆给出了详细的实验步骤,便于读者自学与上机实践。本书结构合理,内容实用精练。

本书可作为高等院校微电子学、集成电路设计工程等专业本科生的集成电路设计实验教材,亦可供从事集成电路设计、生产和测试的科研人员参考。

图书在版编目(CIP)数据

集成电路设计实验教程/赵武主编. —西安:西安电子科技大学出版社, 2015.2

高等学校电子信息类“十二五”规划教材

ISBN 978-7-5606-3546-0

I. ① 集… II. ① 赵… III. ① 集成电路—电路设计—实验—高等学校—教材

IV. ① TN402-33

中国版本图书馆 CIP 数据核字(2015)第 013914 号

策 划 戚文艳

责任编辑 马武装 董小兵

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西华沐印刷科技有限责任公司

版 次 2015 年 2 月第 1 版 2015 年 2 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 14.5

字 数 341 千字

印 数 1~3000 册

定 价 25.00 元

ISBN 978-7-5606-3546-0/TN

XDUP 3838001-1

*** 如有印装问题可调换 ***

前 言

自 1958 年 Jack Kilby 在 TI 发明第一块平面集成电路算起, 历经五十余载, 集成电路的集成度始终遵循着摩尔定律以指数的速度增长。当今, 集成电路在制造工艺上已进入纳米尺度, 而在规模上则可达到单个芯片容纳几十亿个晶体管的惊人数量。为了保证集成电路设计的可靠性、时效性, 各种用于集成电路设计的计算机辅助设计(CAD)软件应运而生。为了进一步将设计人员从繁琐复杂的设计工作中解放出来, 人们开发了可以部分或全部替代人工自动完成电路设计的软件, 例如逻辑综合软件, 称之为电子设计自动化(EDA)软件。毋庸置疑, 没有 CAD 或 EDA 软件(以下统称 EDA 软件)工具, 就不可能设计制造出有竞争力的芯片。所以, 熟练掌握 EDA 软件的使用是集成电路设计工程的基本技能要求, 也是一个芯片能否设计成功的关键因素之一。

集成电路设计 EDA 软件可分为模拟/射频和数字 EDA 软件。模拟/射频 EDA 软件注重于电路性能的仿真、版图的设计与验证等。它所处理的电路规模通常并不大, 其核心在于仿真, 主要是验证电路指标能否达到设计要求。而现代数字集成电路的规模通常非常大, 设计中要较多地考虑系统的功能, 设计人员通常会借助 EDA 软件完成大量的设计工作, 所以数字 EDA 软件的核心在于综合。当然, 两者会有交集, 例如 VLSI 设计中的标准单元电路就需要用模拟 EDA 软件进行设计。本书中, 我们将向读者介绍模拟和数字集成电路设计中几种常用专业 EDA 软件的使用。本书所介绍的 EDA 软件都是在工业界长期应用的, 在实用性、稳定性等方面得到肯定的软件。

本书上篇以 Cadence 公司的模拟集成电路设计软件组 IC5141 和其版图设计软件组 Assura 为主线, 介绍全定制模拟集成电路的设计、仿真、版图设计与验证等。其中, 第 1 章概述模拟集成电路的设计流程及各主要设计步骤的功能, 使读者初步了解模拟集成电路的设计过程。第 2~6 章介绍了 IC5141 中电路图的输入、层次化电路结构设计及应用模拟设计环境(ADE)进行电路仿真等内容。第 7 章介绍了版图编辑设计组件 Virtuoso 的使用。第 8~11 章分别介绍了应用 Assura 相关组件进行设计规则检查(DRC)、版图与电路图一致性检查(LVS)、寄生参数提取(RCX)和后仿真等功能。第 12 章通过两个综合实验, 介绍了 Cadence 的交互式版图设计、工艺角仿真等技术。

本书下篇以一个 UART 的设计为例, 详细介绍了 VLSI 设计流程中主要 EDA 软件的使用。其中, 第 13 章概述了 VLSI 的设计流程, 并对后面设计中所要用到的 TCL 脚本(Script)语言进行了简要介绍。第 14 章讲述了逻辑仿真软件 ModelSim 的使用。对该软件的时序仿真、波形追踪和代码覆盖等高级功能进行了详细介绍。第 15 章介绍了 Synopsys 公司的逻辑综合软件 Design Compiler(DC)的使用, 分别以图形界面和脚本操作的方式, 详述了 DC 的约束设置、优化综合等, 并对可测试性设计(DFT)的综合进行了介绍。第 16 章介绍了静态时序分析软件 Prime Time。第 17 章通过对版图综合软件 SOC Encounter 的介绍, 使读者熟悉应用标准单元进行 VLSI 设计的自动布局、自动布线等功能。自动测试向量生成是集

成电路测试与可测性设计的重要内容,在第18章介绍了测试向量自动生成软件 TetraMAX 的使用。随着形式验证理论的不完善,其实用的 EDA 软件也在 VLSI 设计中逐渐得到广泛应用。第19章介绍了常用的形式验证软件 Formality 的使用。

集成电路设计是一项实践性非常强的专业技术。从业人员不但需要掌握集成电路设计的基本理论,而且必须有相当程度的专业实验训练。同时,集成电路设计的训练过程也是繁复的,这就要求设计人员能熟练应用不同 EDA 软件的功能,并熟悉不同软件的输入输出工艺文件等。EDA 软件在应用层面不仅仅只是通过点击软件界面的各种菜单项与工具图标完成设计的,对于一个芯片的设计,应该从项目管理、设计规划着手,并遵循严谨的设计流程,才能保证设计结果的正确性。将这一复杂的设计过程通过 Script 语言编写为设计规范,不仅可以保证设计的正确性,还会大大缩短设计时间。集成电路设计实验课程就是要将设计理论与 EDA 软件的使用相结合,通过若干实验实例,使学生掌握现代集成电路设计的基本流程及主流 EDA 软件的使用,从而具备从事集成电路设计的基本技能。

书中所有实验的完整内容,可联系作者(E-mail: zhaowu@nwnu.edu.cn)免费索取。

本书可作为微电子学与固体电子学、集成电路设计工程及相关专业本科生的集成电路设计实验教材,也可供从事集成电路设计、生产与测试等的科研人员参考。

由于集成电路设计所用 EDA 软件种类多样、功能繁杂,加之编写时间仓促,书中难免有不妥甚至错误之处,望读者不吝赐教。

编 者
2014 年 7 月

目 录

上篇 模拟集成电路设计

第 1 章 模拟 IC 设计概述	2
1.1 模拟 IC 设计流程	2
1.2 Cadence 模拟 IC 设计软件概述及模块功能介绍	4
1.3 Calibre 版图验证工具简介	5
1.4 Cadence 的 help 文档使用	5
第 2 章 运行 Cadence 与建立库	6
2.1 建立个人工作目录	6
2.2 启动 Cadence 之前的准备工作	6
2.3 启动 Cadence	7
2.4 添加已有设计库	8
2.5 建立个人工作库	9
第 3 章 电路图输入——Composer	11
3.1 新建电路图	11
3.2 添加元件	12
3.3 放置端口	14
3.4 设置元件参数	15
3.5 检查并存储	16
3.6 打印输出	16
3.7 电路图输入常用快捷键	17
第 4 章 创建 Symbol 视图	19
4.1 创建电路图的 Symbol	19
4.2 编辑 Symbol	20
第 5 章 电路仿真——ADE	22
5.1 建立仿真电路	22
5.2 仿真环境设置	23
5.3 运行仿真及 Calculator 的使用	27
第 6 章 电路仿真实验示例	32
6.1 二极管特性仿真	32
6.2 BJT 晶体管的 I-V 特性仿真	36
6.3 MOS 晶体管 I-V 特性仿真	39
6.4 简单 MOS 差动放大器仿真	43
6.5 设计练习	49
第 7 章 版图设计——Assura Virtuoso	55

7.1 新建 Layout 55

7.2 设置 LSW 可见层 57

7.3 绘制 PMOS 管 58

7.4 绘制 NMOS 管 62

7.5 信号线的连接 63

7.6 连接电源与地线 63

7.7 做衬底接触 64

7.8 放置 Pin 64

7.9 版图输入常用快捷键 65

第 8 章 设计规则检查——Assura DRC 67

8.1 设置并运行 DRC 67

8.2 查找 DRC 错误并修改 68

8.3 其他 DRC 功能 69

第 9 章 版图与原理图一致性检查——Assura LVS 72

9.1 设置并运行 LVS 72

9.2 查找 LVS 错误并修改 73

第 10 章 寄生参数提取——Assura RCX 76

10.1 设置并运行 RCX 76

10.2 查看 RCX 结果 78

第 11 章 层次化管理与后仿真 80

11.1 建立 Configuration View 与
运行 Hierarchy 管理器 80

11.2 前仿真 82

11.3 后仿真 83

第 12 章 模拟 IC 综合实验 85

12.1 两级运算放大器(OPA)设计 85

12.2 带隙基准仿真——应用工艺角仿真工具 93

下篇 数字集成电路设计

第 13 章 ASIC 设计概述 100

13.1 ASIC 设计流程 100

13.2 ASIC 设计软件 103

13.3 脚本文件与 Tcl 语法 103

第 14 章 逻辑仿真——ModelSim 106

14.1 基本使用步骤 106

14.2 ModelSim 的不同窗口及功能介绍 115

14.3 功能仿真与时序仿真 120

14.4 ModelSim 的高级功能 124

14.5 练习 132

第 15 章 逻辑综合——Design Compiler	133
15.1 初识 DC	133
15.2 DC 的 GUI 方式	136
15.3 约束设置与 DC 的命令操作方式	143
15.4 时序报告与调试	149
15.5 DFT 综合	155
第 16 章 静态时序分析——PrimeTime	160
16.1 初识 PT	160
16.2 基本 PT 操作	161
16.3 时钟	166
16.4 时序约束与时序报告	169
第 17 章 版图综合——SOC Encounter	178
17.1 SOCE 工作流程	178
17.2 启动 SOCE 的图形环境	179
17.3 设计输入	181
17.4 版图分割(Partition)与规划(Floorplan)	184
17.5 电源网格(Power)	187
17.6 布局(Place)	190
17.7 布线(Route)	191
17.8 完成设计	194
17.9 SOCE 常用快捷键与 I/O 配置文件	200
第 18 章 自动测试向量生成——TetraMAX	202
18.1 TMAX 流程	202
18.2 故障模型与 ATPG	203
18.3 TMAX 使用	203
18.4 Script 文件生成、修改与运行	210
第 19 章 *形式验证——Formality	211
19.1 Formality 的基本概念及工作流程	211
19.2 FM 的基本使用	213
19.3 结果分析与调试	216
第 20 章 UART 设计	220
20.1 UART 概述	220
20.2 UART 接收子系统	221
20.3 UART 发射子系统	222
参考文献	224

上篇 模拟集成电路设计

第 1 章 模拟 IC 设计概述

1.1 模拟 IC 设计流程

集成电路是指采用一定的工艺，把一个电路中需要的晶体管、二极管、电阻、电容和电感等元件及布线互连在一起，制作在一小块半导体晶片或介质基片上，然后封装在一个管壳内形成的具有所需电路功能的微型结构。其中，所有元件在结构上已经形成一个整体。集成电路使电子元件向着微型化、低功耗和高可靠性方面迈进了一大步。

集成电路又分为模拟、数字及混合信号集成电路。

模拟集成电路主要是指用来产生、放大和处理各种模拟信号的集成电路。

完成一个集成电路的设计需要多个步骤，不管是数字集成电路、模拟集成电路还是混合信号集成电路设计，都要遵循一定的设计流程，在设计流程的不同阶段，有相应的 EDA 工具支持。图 1-1 给出了一个简单的模拟集成电路设计流程，其中电路设计阶段的主要步骤有：规格与指标制定，电路设计，电路仿真，版图设计，版图验证，寄生参数提取与后仿真等。

1. 规格与指标制定

设计规格的定义需要系统设计人员和客户进行细致的沟通，明确设计的目标，然后由设计人员制定相应的设计规格。实际中，由于成本和性能的要求，可能需要在各种性能之间进行折中，有些折中是相当复杂甚至是非常痛苦的。不管怎样，一份清晰、完善、合理的设计规格对整个设计是至关重要的。

规格定义给出的设计指标在很大程度上影响着所能选用的工艺和具体的电路结构，通常在设计规格定义好之后，都会尽可能广泛地选择工艺流程，并精心设计电路的结构以满足规格定义的要求。

2. 电路设计

电路设计是整个设计过程中最具创造性的环节，也是逐步实现规格定义中各个性能指标的过程，要求设计人员具有对实际系统进行建模的能力，建立的模型要能全面体现系统的性能，并思考改进系统性能的方法，设计人员要根据建模得到的结构，找出合适的电路结构。

3. 电路仿真

在手工计算对电路进行设计之后，应用仿真软件对电路进行仿真是必不可少的。因为手工计算的模型都是忽略了很多高阶效应之后的模型，和实际的电路性能还有一定的差距。

而仿真软件可以计算更复杂的效应，得到更为精确的结果。

需要指出的是，虽然仿真软件比手工计算更为精确，但绝不意味着仿真可以代替手工的设计和计算，仿真只是用来验证手工计算的结果。

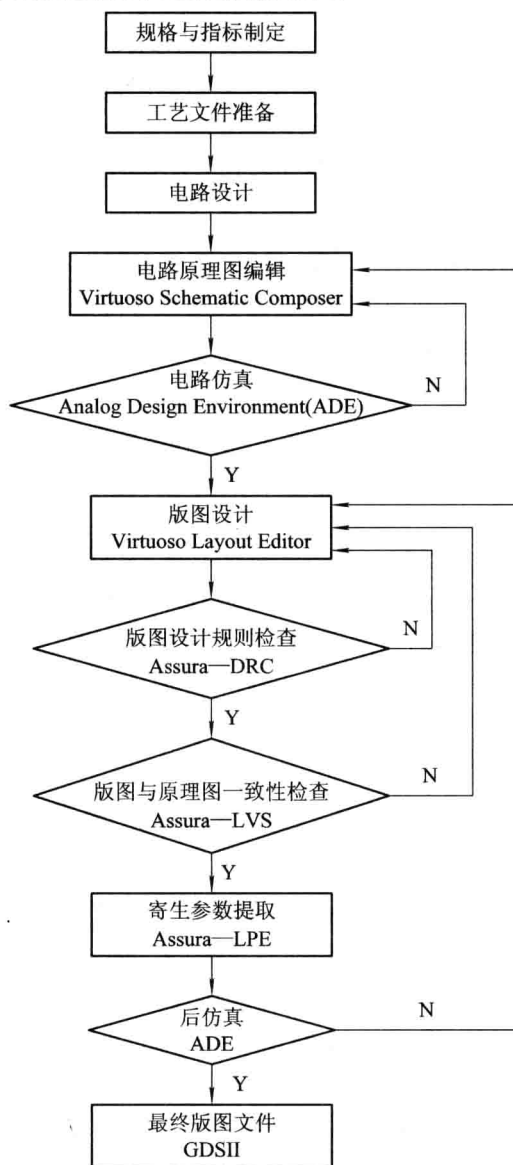


图 1-1 模拟集成电路设计流程(以 Cadence 公司 EDA 为例)

4. 版图设计

最终的电路是要做在硅片上的。版图的设计就是按照一定的设计规则，将电路仿真阶段得到验证的结构用物理层次的几何图形表达出来。在版图设计时，要充分考虑到模拟版图对电路性能的影响，要有合理的电路芯片版图布局。一个模拟电路芯片的成败有一半取决于版图的设计，特别是在特征尺寸不断缩小的情况下，版图设计显得更加重要。

对于不同的工艺，版图规则可能有不同的要求，设计人员需要在版图设计之前认真研

读。模拟集成电路的版图设计几乎都是全定制的设计方法，需要设计人员对工艺知识和版图规则有比较深入的理解。

5. 版图验证

版图的设计是一个复杂而繁琐的过程，难免会出现错误，因此对版图的验证是必不可少的。版图验证就是依据一定的设计规则对完整的版图进行检查，这个规则可以是代工厂提供的设计规则文件，也可以是设计上的电器要求，如短路、开路等。版图验证需进行设计规则检查(DRC)、版图和原理图一致性比较检查(LVS)以及电气规则检查(ERC)等，只有确认所有的检查都完全正确后，才可以认定设计的有效性。

6. 寄生参数提取与后仿真

版图设计完成之后，就可以提取寄生参数，这些参数主要是元件互连引入的寄生电阻和电容，加入这些寄生参数对整个电路再进行验证，这个过程被称为“后仿真”。一旦完成寄生参数的提取，就可以把结果反标回原电路相应的节点并形成新的网表文件，从而得到更符合实际版图情况的网表，然后再进行仿真，得到更符合实际芯片工作情况的信号波形。若得到的结果不满意，就要返回到版图设计阶段。很多设计中，需要在版图设计和后仿真之间多次反复。

本书针对以上流程，通过设计一个简单的放大器，从原理图到最终的版图，对 Cadence 的 Composer、Analog Design Environment、Virtuoso、Assura 等功能模块逐一进行简单介绍。

由于 CMOS 模拟集成电路近年来得到了广泛研究与应用，所以本书的实验实例主要以 CMOS 工艺为主，在实验中也涉及部分 BJT 元件(CMOS 工艺中的双极元件)及其简单应用。

1.2 Cadence 模拟 IC 设计软件概述及模块功能介绍

作为流行的 EDA 工具之一，Cadence 的模拟 IC 设计软件(以下简称为 Cadence)一直以来以其强大的功能受到广大 IC 设计工程师的青睐。Cadence 可以完成整个 IC 设计流程的各个方面，如电路图输入(Schematic Input)、电路仿真(Circuits Simulation)、版图设计(Layout Design)、版图验证(Layout Verification)、寄生参数提取(Layout Parasitic Extraction)以及后仿真(Post Simulation)等。

Cadence 的全定制 IC 设计软件模块主要包括：

- (1) Virtuoso Schematic Composer: 电路设计输入工具。
- (2) Analog Design Environment: 混合信号仿真环境。
- (3) Virtuoso Layout Editor: 版图设计工具，支持参数化单元设计。
- (4) Spectre: 高级电路仿真引擎。
- (5) Virtuoso Layout Synthesizer: 直接的 layout 生成工具。

(6) Assura: 版图验证工具。Assura 具有完全的图形界面，并可以整合到 Virtuoso 的主界面中，是性能全面的版图验证工具(主要包括 DRC、ERC、LVS 及 LPE-RCX 等功能)，支持交互式 and 批处理操作，适用层次化的处理，能够快速、高效地识别和改正设计规则

错误。

另外，Cadence 还有两个版图验证工具：Diva 和 Dracula，它们本身已整合在 IC5141 中，在工艺文件支持的情况下也可以使用。

1.3 Calibre 版图验证工具简介

Calibre 是 Mentor Graphics 公司提供的深亚微米集成电路的物理验证工具。它可以完成与 Cadence 的 Assura 工具相同的功能。它既可以单独使用，也可以嵌入 Cadence 到版图设计工具 Virtuoso 的界面中，便于用户操作。因为其具有强大的版图验证能力与处理速度，所以在版图验证中得到广泛使用。几乎所有 Foundry(半导体厂商)都有支持 Calibre 的版图验证文件，读者如有兴趣可以参考有关 Calibre 的相关文档进行学习。

1.4 Cadence 的 help 文档使用

在目录<Cadence 安装目录>/doc 下是 Cadence 所有帮助的文档，包括各种工具的使用手册、设计指导等，有 pdf 和 html 两种格式，软件使用中有问题时可打开参考。

第2章 运行 Cadence 与建立库

2.1 建立个人工作目录

在登录服务器后，于桌面空白处点击右键，弹出一个快捷菜单，选择打开终端(Open Terminal)，在桌面上就会出现如图 2-1 所示类似界面。

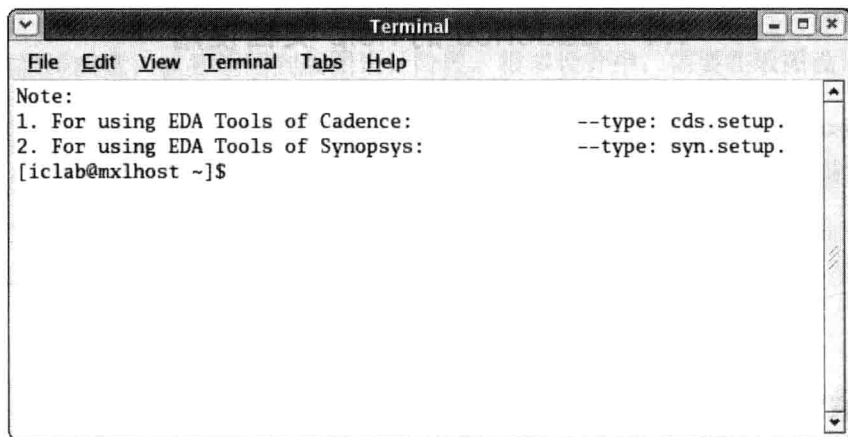


图2-1 Linux终端界面

打开终端后，默认是在当前登录的用户根目录下，为了不致混乱，可以建立自己的工作目录。例如，在终端中输入：

```
mkdir analogLab
```

其中 `analogLab` 为自己命名的目录名称，可以用自己名字的拼音作为工作目录名称，然后进入自己的工作目录，例如：

```
cd analogLab
```

2.2 启动 Cadence 之前的准备工作

2.2.1 环境配置文件的调用与设置

初次启动 Cadence 之前需要如下一些配置文件：

`.cshrc`：有关 Cadence 工作的环境变量，如 Cadence 软件路径及 license 等。

.cdsenv: 包含 Cadence 各种工具的一些初始设置。

.cds.lib: 用户库的管理文件, 在第一次运行 Cadence 时会自动生成。

.cdsinit: 包含 Cadence 的一些初始化设置以及快捷键设置等。

实际上, 服务器上已将各配置文件写好, 一般不需改动, 只要在终端中执行以下命令:

```
cds.setup
```

则 Cadence 的相关配置文件就会自动调用或生成。

2.2.2 工艺文件准备

在设计电路过程中, 需要各种工艺文件, 特别是由半导体厂商(Foundry)提供的工艺库及相关文件。下面列出本教程可能用到的文件及其存放路径, 以便设计者应用。

工艺文件(TF, Technology Files): 是由 Foundry 提供的, 其中包括了元件的符号与各种元件模型文件、版图设计中的图层信息与设置、版图的各种检查规则文件等。本教程中所使用的 TSMC 0.18 μm 1P6M CMOS 工艺的 TF 文件路径为

```
/usr/edatools/techlib/analoglib/tsmc18/t018pdk1p6m
```

TF 文件为 techfile。实验中出现的工艺库设置文件等, 可以在上述路径下查找。

显示控制文件(display.drf): 设置了 Foundry 的工艺库后, 视窗显示将可能不同于 Cadence 初始化后的视窗。可以通过设置, 将 Foundry 的显示文件(display.drf)与原视窗显示合并。本教程用到的 display.drf 文件位于以下路径:

```
/usr/edatools/techlib/analoglib/tsmc18/t018pdk1p6m
```

使用中可以将以上路径下的文件 display.drf 拷贝到自己的工作目录下。例如将 TF 文件拷贝到上面所建的用户工作目录, 可以在 Terminal 中输入以下命令并执行, 其中的<用户名>为分配给设计者的用户账号名。

```
cp /usr/edatools/techlib/analoglib/tsmc18/t018pdk1p6m/techfile /home/<用户名>
>/analogLab
```

2.3 启动 Cadence

配置文件设置好后, 就可以启动 Cadence。输入命令

```
icfb&
```

出现 Cadence 的初始界面, 如图 2-2 所示。



图 2-2 Cadence IC51 启动界面

然后就会打开 Cadence 的命令解释窗口(CIW, Command Interpreter Window), 如图 2-3 所示。

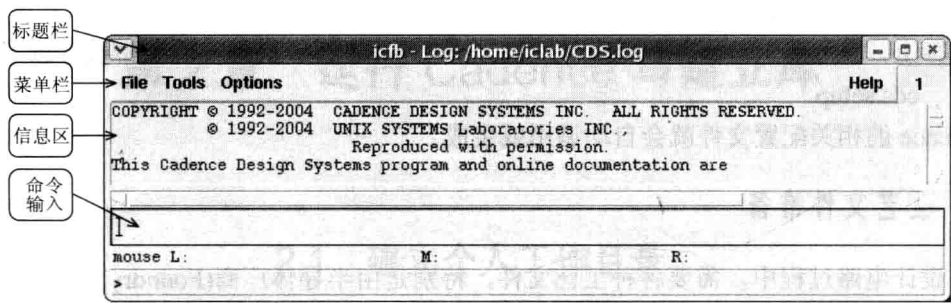


图 2-3 Cadence 命令解释主窗口

CIW 是 Cadence 的集成设计环境, Cadence 的大部分工具都可以在这里打开。其中最上方是标题栏;第二行是菜单栏;中间部分是信息(输出)区,许多命令执行的结果在这里显示,一些出错信息也在这里显示,要学会从信息区中获取相关的信息;接下来一行是命令输入行, Cadence 的许多操作可以通过鼠标执行,也可以通过在此输入命令来执行。

此外,第 1 次启动时还将有一个 What' New 窗口,用户可直接将其关闭。

2.4 添加已有设计库

进行电路和版图等设计时,需要 Foundry 提供的工艺文件,它们组织在一个专门的设计库中,只有将其加入 Cadence 的库管理(Library Manager)列表中,在以后的设计中就可以方便使用。点击 CIW 窗口的菜单栏 Tools→Library Path Editor,会打开库路径编辑器(LPE, Library Path Editor)窗口,如图 2-4 所示。

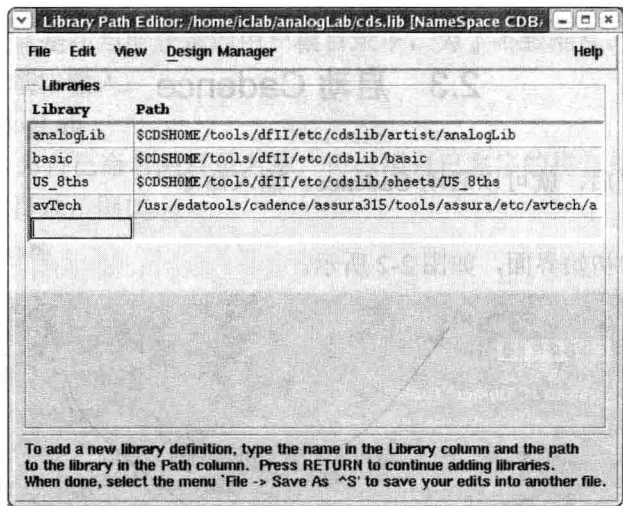


图 2-4 LPE 窗口

点击 LPE 窗口中的菜单选项 Edit→Add Library, 在新出现的窗口中依次点击 Go up a

directory → usr → edatools → techlib → analogtech → tsmc18 → t018pdk1p6m → tsmc18rf(库名 tsmc18rf 在窗口右边的 Library 列表栏中), 选择 tsmc18rf 并点击 OK, LPE 窗口变为如图 2-5 所示。

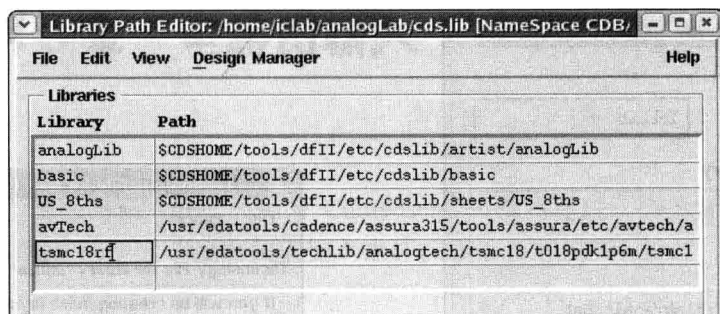


图 2-5 添加库的 LPE 窗口

然后再点击 Library Path Editor 窗口中的菜单选项 File→Save As, 将添加的库文件保存。这样在设计中就可以使用 tsmc18rf 库中的元件、元件模型、单元版图等。

添加其他已存的设计库, 与上述的操作完全相同。

2.5 建立个人工作库

Cadence 是以库来组织设计文件的。为了使我们的工作和系统中的其他库有区别, 需要建立自己的工作库。有两种方法建立新工作库: 一种是通过 CIW 窗口中的菜单栏 Tools→Library Manager 打开库管理器来建立新库; 另一种是通过 CIW 窗口中的 File→New→Library 来建立新库。这里我们用第一种方法建立新库。单击 CIW 窗口菜单栏 Tools→Library Manager, 会打开 Library Manager(LM)窗口, 如图 2-6 所示。

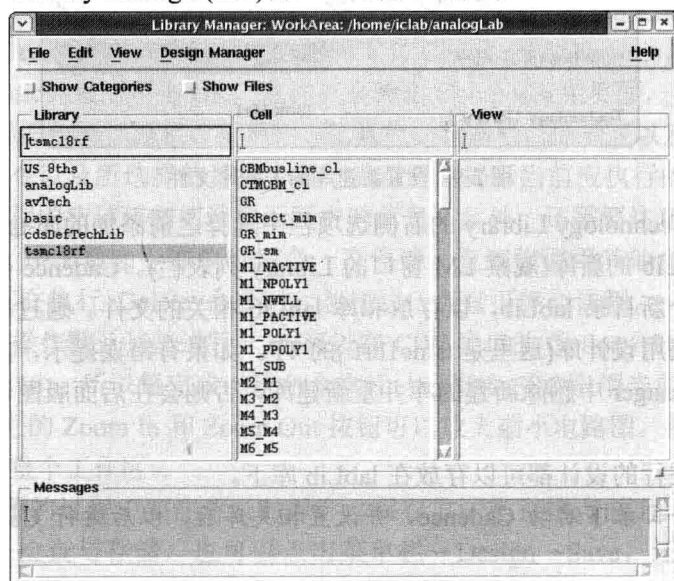


图 2-6 库管理窗口