大型RISC处理器设计

——用描述语言Verilog设计VLSI芯片

[德] Ulrich Golze 著
田 泽 于敦山 朱向东 张玉杰 译

VLSI Chip Design
with the Hardware Description
Language Verilog

北京航空航天大学出版社

CD-ROM INCLUDED

大型RISC处理器设计

——用描述语言Verilog设计VLSI芯片

本书是一本系统讲述32位RISC微处理器的设计方法和设计过程的著作，其内容涵盖了RISC微处理器设计的全部方面。从开始选择处理器的体系结构、确定处理器模块功能、建立粗略的结构模型、用Verilog HDL进行电路建模，到随后的电路综合、可测性设计和系统测试方法。为了方便读者学习，书中的最后一章详细地介绍了硬件描述语言Verilog HDL的语法，并附带了丰富的实例。

本书的读者群定位在从事计算机科学和电子工程专业的人员，但是也包括管理人员。读者借助本书，可以开展自己的芯片设计工作或考虑芯片的应用系统。

本书涵盖的关键主题有：

- ★ 现代VLSI设计
- ★ 大规模芯片的半定制设计技术
- ★ 硬件描述语言Verilog HDL
- ★ 现代实用化的RISC处理器设计
- ★ 大规模电路设计的HDL建模技术
- ★ 设计文档、行为级、结构级的HDL建模、门级模型、测试和可测性设计

ISBN 7-81077-551-0

9 787810 775519 >

ISBN 7-81077-551-0

定价：39.00元（含光盘）

大型 RISC 处理器设计

——用描述语言 Verilog 设计 VLSI 芯片

VLSI Chip Design with the Hardware Description Language Verilog

[德] Ulrich Golze 著

田 泽 于敦山 朱向东 张玉杰 译

北京航空航天大学出版社

内容简介

本书是一本系统讲述32位RISC微处理器的设计方法和设计过程的著作，其内容涵盖了RISC微处理器设计的全部方面。书中内容有机地将计算机学科的体系结构、系统结构与微电子学科的集成电路设计与实现技术结合起来，既能帮助学习微电子的工程技术人员快速掌握RISC处理器体系结构的VLSI实现原理，又能明确的告诉计算机科学的技术人员如何用现代的电路设计思想、方法、手段来设计与实现微处理器。本书的组织结构就是一本大规模RISC处理器芯片完整的设计文档。

本书将计算机科学和微电子科学有机结合、面向工程实际，希望能对两方面的科技工作者带来帮助。书中展现的完整的大规模芯片的设计过程，也能对设计团队的组织管理者提供方法和流程上的帮助。

图书在版编目(CIP)数据

大型RISC处理器设计：用描述语言Verilog设计VLSI芯片/(德)戈尔齐(Golze,U.)编著；田泽等译.
北京：北京航空航天大学出版社，2005.1
书名原文：VLSI Chip Design with the Hardware Description Language Verilog
ISBN 7-81077-551-0

Ⅰ.大… Ⅱ.①戈…②田… Ⅲ.微处理器,RISC—系统设计 Ⅳ.TP332

中国版本图书馆CIP数据核字(2004)第124157号

大型RISC处理器设计
——用描述语言Verilog设计VLSI芯片
VLSI Chip Design with the Hardware Description Language Verilog
[德] Ulrich Golze 著
田 泽 于敦山 朱向东 张玉杰 译
责任编辑 王履镕

*

北京航空航天大学出版社出版发行
北京市海淀区学院路37号(100083) 发行部电话：010-82317024 传真：010-82328026
http://www.buaapress.com.cn E-mail:bhpress@263.net
北京市松源印刷有限公司印装 各地书店经销

*

开本：787×1 092 1/16 印张：21.25 字数：544千字
2005年1月第1版 2005年1月第1次印刷 印数：5 000册
ISBN 7-81077-551-0 定价：39.00元(含光盘1张)

译者序

本书是一本系统讲述32位RISC微处理器的设计方法和设计过程的著作，其内容涵盖了RISC微处理器设计的全部方面。从开始选择处理器的体系结构、确定处理器模块功能、建立粗略的结构模型、用Verilog HDL进行电路建模，以及随后的电路综合、可测性设计和系统测试方法。为了方便读者学习，书中的最后一章详细地介绍了硬件描述语言Verilog HDL的语法，并附带了丰富的实例。

本书是一本难得的掌握微处理器体系结构的VLSI设计与实现的著作，作者独具匠心地将RISC处理器体系结构较新的研究成果同当时最新的电路设计理念结合起来，且工程性、实用性很强，为广大读者全面而系统地介绍了如何用现代的半定制电路设计技术来实现一颗全功能的微处理器。书中内容有机的将计算机学科的体系结构、系统结构与微电子学科的集成电路设计与实现技术结合起来，既能帮助学习微电子的工程技术人员快速掌握RISC处理器体系结构的VLSI实现原理，又能明确的告诉计算机科学的技术人员如何用现代的电路设计思想、方法、手段和EDA工具来设计与实现一颗微处理器。正如作者在书中提到的，任何一个大公司都将自己的设计方法和设计文档视为严格控制的商业机密，而本书毫无保留地向读者展示了一个大规模的RISC处理器芯片完整而全面的设计过程及详细设计文档，这也是本书在国外非常流行以及我们将它翻译到集成电路设计技术非常落后的中国的根本原因。

本书第一版出版时间为1996年，纵观整个内容，不可否认其中的部分内容已不再先进，但就本书描述的RISC处理器的体系结构而言，其采用了标准5级流水线，设计了较为复杂的多功能Cache和跳转预测Cache，加入了数据前推技术解决数据相关问题等，这些仍然是目前一般高性能微处理器设计中广泛采用的技术，如ARM处理器设计。书中虽然未收录最新的电路设计方法和实现技术，但是在电路设计方面，虽然半导体设计技术及实现工艺技术不断发展，本书向读者展示的基本流程仍然是目前工业界目前普遍采用的流程。现代的电路设计方法仍然广泛地采用基于硬件描述语言Verilog HDL的半定制的设计方法，实现技术仍然是目前普遍采用的手工和自动综合的方法实现电路技术。在可测性设计中，仍然采用插入扫描链的方法检测电路工艺性错误，在系统测试时，仍然使用自动测试仪ATE进行测试，用现场可编程器件FPGA配合芯片设计实现完整系统功能验证与测试。因此，本书在帮助读者理解现代电路设计的方法和基本原理方面仍然具有较高的实用价值。

在现代的SoC设计中，微处理器已经成为重要的、不可缺少的核心IP模块，ARM处理器的巨大商业成功已经充分证明了这一点。了解和掌握微处理器体系结构、微处理器设计技术

及微处理器 VLSI 实现技术就显得非常重要。本书为希望学习和掌握现代微处理器体系结构、微处理器设计及 VLSI 实现技术的读者提供了一本难得的技术参考资料。希望这样一本将计算机科学和微电子科学有机结合、面向实际工程实际的著作，能对两方面的科技工作者有所帮助。书中展现的完整的大规模芯片的设计过程，也能为设计团队的组织管理者提供方法和流程上的帮助。

国内目前还没有此类书籍，译者希望通过本书的翻译使国内更多的技术人员和学生系统完整的掌握 RISC 处理器体系结构与 VLSI 设计与实现技术，加快我国集成电路设计技术的发展。虽然译者近年来一直从事 RISC 处理器体系结构与 VLSI 实现、SoC 设计方法学科研教学工作，但仅局限于具体工作层面，水平有限，加之英语非本书原作者的母语，翻译中有诸多不足之处，敬请读者批评指正。

北京大学信息科学技术学院的盛世敏教授在本书的翻译过程中给予了大量的支持和帮助，在此表示感谢。北京航空航天出版社的马广云博士在本书的翻译过程中给予了大量的支持和帮助，在此表示感谢。硕士生万永波、闫效莺、车晓萍、杨峰、陈群英、李攀、王进军、孙玮和本科生徐德正、谢辉、杨冬峰和杨艳锋参加本书的文字校对工作，在此表示感谢！

感谢北京航空航天出版社的编辑们，正是由于他们高效、努力的工作，才使得本书能够及时与大家见面！

译　者

2004 年 11 月

前　言

把电子电路变成芯片的过程是一门艺术，而且是一门不断发展变化的艺术。以前，电路设计、掌握材料物理特性、以及图形光刻的任务，每个环节都需要设计者考虑周全。之后，电路的设计艺术则变成了主要针对电路的门级网表进行考虑。到了现在，用硬件描述语言(HDL)这种类似编程语言的工具来进行设计，已经成为数字电路设计的主要方法。基于 HDL 进行电路的设计是本书的一个核心内容。

现在，成功设计出一个小规模的电路技术上不会有什么问题，但是对于一个设计团队来说，因为他们要设计面向实际应用的电路芯片，则有很多严格的要求。本书介绍的第二个核心问题则是如何完整实现一个真正的，先进的类似于 SPARC 处理器的 RISC 处理器。

本书首先介绍了芯片的设计技术，其中包括了如何认识设计开销的重要性这一关键问题，在第 2 章，给出了 VLSI(超大规模集成电路)设计的概述。第 3 章的内容是现代 RISC 处理器技术的介绍，其中对我们将要设计的处理器所要采用的关键技术进行权衡和筛选。由于我们主要采用硬件描述语言进行设计，本书的第 4 章对硬件描述语言 Verilog 进行了简短的介绍，第 11 章是详细深入的 Verilog 技术说明和典型的建模技术。在本书的附盘中还包含了一个 Verilog 的仿真器和大量的例子。

我们要设计的 RISC 处理器名称为 TOOBSIE，书中在第 5 章中介绍了其外部功能特性，包括它的指令和作为参照的 HDL 解释器模型。关于处理器内部结构的详细介绍在第 6 章中进行阐述，并且在这一章中，我们确定了处理器的粗略结构。处理器主要的 HDL 模型就是粗略结构模型，读者可以在附盘 3 中找到其完整的可执行的源码。该模型数据通路的流水线在第 7 章中详细介绍。

粗略结构模型可以用半导体制造商提供的单元库，半自动的转换成门级的电路模型。我们选择了部分单元作为例子，在第 8 章中介绍了门级模型的综合。最后，第 9 章详细介绍了处理器芯片的测试、可测性、测试仪和测试所用的测试板，这些手段可用来确认芯片是否实现了正确的功能。

本书的读者群定位在从事计算机科学和电子工程专业的人员，以及管理人员。借助本书，读者可以开展自己的芯片设计工作，或考虑芯片的应用系统。本书介绍了：

- 现代 VLSI 设计
- 大规模芯片的半定制设计技术
- 硬件描述语言 Verilog HDL

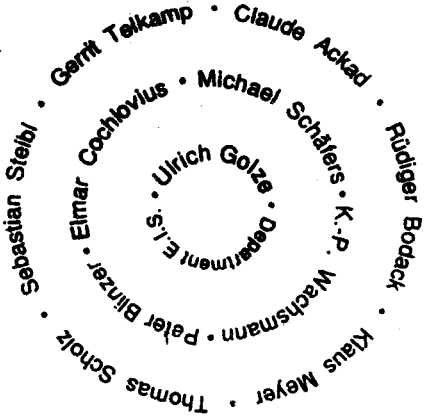
- 现代实用化的 RISC 处理器设计
- 大规模电路设计的 HDL 建模技术
- 设计文档、行为级、结构级的 HDL 建模、门级模型、测试和可测性设计。

本书可以作为一本完整和独立的教科书。对于专家级的读者，本书的内容提供那些希望有选择地了解 RISC 处理器设计，或者甚至完全掌握 RISC 处理器设计的读者选择，而且可能对专家级的读者开发自己的 CAD 工具和设计方法有所帮助。另外，本书还有高级本，其中包括了处理器所有门级模型的电路图(参见 359 页)。

本书中每一章的图表都进行了编号。高级本每一章都用 H 打头，例如 H5.3 表示的是针对硬件的高级本。

一个大项目的设计团队

这样规模的一个大项目需要一个设计团队共同完成。最坏情况下，即便是一个队员不断更替的团队，也是完成项目所需要的。下页中的图给出了职位不分高低的团队层次，每一级的排名不分先后。没有图中第 2 圈的辅助人员，项目是无法完成的。第 3 圈的学生也是非常忙碌的。Peter Blinzer 由于一些突然的工作委托而离开了核心 1 圈的位置。



该项目的启动是来自 Michael Schäfers 的想法，最初本书作者甚至都认为是不可能实现的，不光是成本的原因。Michael Schäfers 同 Klaus-Peter Wachsmann 一起开发了作为培训的和初级处理器模型的 TOOBSIE1 处理器。之后，每天的项目管理是由 Michael Schäfers 和 Klaus-Peter Wachsmann 共同完成的。同后来加入的 Elmar Cochlovius 一起，他们共同完成了外部和内部描述，详细介绍了所有的结构(参见第 5 章和第 6 章)。

一个大项目的设计文档通常都是不公开的，但是有时也由项目本身决定。Elmar Cochlovius 参与了(不光是)这个项目；他亲自编写文档，同时——更加困难的是——动员其他人去准备文档，以此作为本书的基础内容。另外为了练习处理器芯片设计，所有 3 个辅助人员进行了设计方法方面的博士研究(参见第 10 章)。作为书中的一个例子，提及了 Elmar Cochlovius 在如何用状态图进行高层次描述方面的研究。

Peter Blinzer，Rüdiger Bodack，Klaus Meyer 和 Sebastian Steibl 开发了 Verilog 模型，特别是粗略结构模型，并且对源码进行了注释(参见第 7 章，H3，H4，#2 和 #3)。Peter Blinzer 主要完成了门级模型(参见第 8 章和 H5)的设计。

Gerrit Telkamp 分别设计了简单的和复杂的两个版本的测试电路板，并且在测试仪和测试板上进行了处理器的测试。同 Peter Blinzer 一起，他们准备了关于测试的书中第 9 章的内容。后来还进行了产品的测试。

Claude Ackad 准备了书中附带的对 Verilog 的介绍(参见第 4 章和第 11 章)，这些内容保证了本书的质量，虽然这种做法已经在现在的出版物中不流行了。Thomas Scholz 为不同的测试系统平台设计了操作系统。

Matthias Bodenstein 直到最后一张图片也没有失掉他对图形设计和处理的兴趣。Jürgen Hannken-Illjes 用模式识别的方法将电路图转换成可供打印的图性格式。

Karsten Dageförde, Matthias Mansfeld, Gerrit Mierse, Frank Prielipp, Jörg Reitner, Heiko Stuckenberg, Dirk Wodtke 和 Florian Buchholz 也对本书作出了重要的贡献，他们的名字位于图中(看不到)的第 4 圈。

这个项目是在 Braunschweig 理工大学集成电路设计系(E. I. S.)完成的。该项目得到了 LSI Logic 公司，ESPRIT 项目 EUROCHIP，Lower Saxony 科学和文化部(MWK)和 Federal 教育和科学部(BMBW)，以及 Volkswagen grant 的支持。

我们要特别感谢 Wellspring Solutions 公司为本书的读者提供了仿真器 VeriWell，包括在本书的附盘中，但未经过授权；不过该软件在使用和应用时没有任何限制。

另外，没有我的出版方 Springer 出版社的鼓励和提出意见，就不可能有本书的出版。

我是在大约 1 岁开始学习德语的，在 10 岁开始学习英语，并在 24 岁的时候去了美国，在 Michigan 大学进行学习。很不幸，我永远不可能弥补这九年的英语学习时间。书中难免有表述不周之处，望读者谅解。

从前，我怀疑自己能否全身心地投入本书的写作，直到我真的开始由于写书而忽视我的家庭：Barbara，Christian 和 Fabian。

Ulrich Golze

Braunschweig, September 1995

目　录

第1章

概　述

没有什么事情能比从半导体制造商那里收到自己几个月来辛勤设计出的芯片更让人心情愉快的了，也没有什么事情能比设计出来的芯片通过最后的测试更让人心情舒畅的了(同样也没有什么事情能比……更让人尴尬沮丧的了)。现在，利用成熟的工艺和优良的 CAD 软件环境，经验丰富的团队设计芯片的一次成功率已经达到非常高的水平。近几年来，随着芯片复杂程度和规模的不断提高，设计出错的概率也相应增大，同时，设计方法和设计工具也不断推陈出新，尤其是设计工具，现在发展得更加强大和精细。设计复杂度和设计方法学这一对矛盾在相互挑战对方的过程中不断发展。这两者的竞争关系不会有谁强谁弱的定论，但就目前，对于设计规模较大的电路来说，设计方法已经明显落后于半导体工艺技术。

现在，不只是半导体专家才知道芯片设计作为一种关键技术对于电子产业的重要性。从统计数据上看，在 1992 年，电子产业的市场达到了 10 000 亿美元，占到了全球市场价值的 10%。其中，半导体产业贡献了 800 亿美元的市场价值[Courtois 1993]。

在 2000 年，电子产业将作为整个工业的领跑者。预计产值将达到 30 000 亿美元的水平。其中 43%是数据处理产品，22%是消费类电子产品，14%是通信产品，21%是工业电子产品，6%是汽车电子产品。这里所提到的只不过是最重要的几个应用的方面[Courtois 1993]。对于集成电路(IC)而言，重要的不光是现有资本总量的数据，更重要的还有不断发展的电子市场的规模。

在集成电路的市场中，定制的或专用集成电路(ASIC)的份额大约占到 18%，并且仍然保持着不断的增长趋势[Eschermann 1993]。本书着重于 ASIC 的设计或者特殊应用芯片的设计，而不是注重于诸如存储器或单片机之类的标准单元电路。这类电路通常在市场中都大量出售。从设计方法上讲，设计 ASIC 与设计标准电路没有区别，但是后者需要在电路设计和优化过程中付出更多的努力，而且，它们的市场需求也是不同的。

VLSI 是超大规模集成电路(Very Large Scale Integration)的词首字母缩写，或代表每个芯片具有集成密度高达百万晶体管的电路。相对于以前提出的小规模、中规模、大规模集成(SSI，MSI 和 LSI，如图 1 所示)，超大规模(VLSI)之后的更高集成度的电路被称为甚大规模集成电路 ULSI(U 代表 Ultra)，代表了每片芯片包含 10^8 个晶体管的集成度。除此之外，随着微电子技术今后的发展，我们定义芯片的集成度为 ALSI：Always Large Scale Integration。按照 20 世纪 60 年代提出的摩尔定律，集成电路芯片在几十年的发展中，集成度一直保持着每不

到 2 年的时间提高 1 倍的速度。

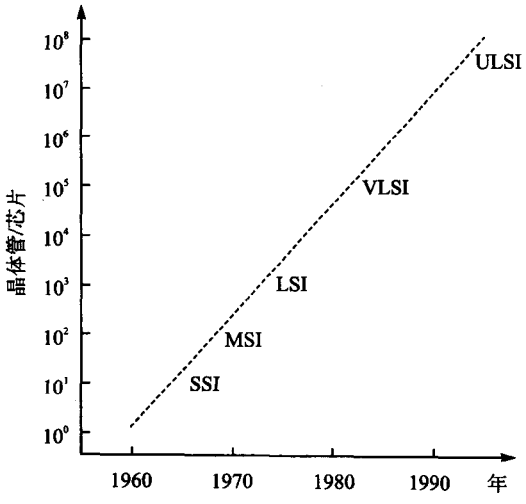


图 1.1　芯片集成密度

集成电路功能的日益强大主要得益于晶体管面积的不断缩小。工艺技术从 20 世纪 80 年代之前的几个 μm 一直下降到现在 0.5 μm的有效结构宽度，预计在 0.3 μm～0.2 μm之间可能会遇到技术瓶颈。芯片复杂度的增加也得益于电路单元可靠性的增加，同样，这个因素也推动着芯片面积不断扩大。

芯片的设计是一门把电路原理映射到具有相应功能的硅基芯片的艺术，这门艺术在是近 30 年内发生了根本性的变化。从 20 世纪 60 年代第一个晶体管集成电路诞生到 70 年代末，芯片设计的技术知识掌握在非常有经验的电子工程师和半导体器件专家手中，他们熟知并使用了相当多的规则。同样，即使在现在，这些专家在开发越来越复杂的技术或者在设计模拟电路时也是很需要的。

大约在 1978 年前后，数字设计领域发生了巨大的变革，Carver Mead 和 Lynn Conway [Mead, Conway 1980]的定义，将数字设计过程和工艺实现过程分开，而不再像从前那样把两者简单合并在一起，这样就使得电路设计者与半导体制造商之间的交流变得简单了。这个 Mead-Conway 运动是在美国大学发起的，当时得到了国家的支持，因而实现了芯片设计技术的快速普及。（仅仅 5 年后，欧洲也开始了类似的运动。）

在这个过程中，芯片设计者与半导体制造商的接口首次向较高的抽象层次“升级”。在全定制设计中，电路中的所有细节都要设计者自己设计，要设定晶体管的尺寸并制成规则的版图。在完成功能验证和进行电路模拟之后，版图是一个芯片制成品放大了多倍的比例模型。

尽管这种从几何图形开始的设计方法，与不断发展的适应这种方法的 CAD 工具，达到了近乎完美的融合，但是，用这种方法设计大规模的电路时，需要面对设计时间过长这一严重的问题。

大约在 20 世纪 80 年代中期，半定制设计风格成为 VLSI 设计的主流。随着用户界面不断的升级，半定制设计转变成仅仅使用诸如单元门、加法器等优化了的单元库，把它们组合成电路逻辑图（网表、电路图），并从逻辑功能上进行模拟就可以了。将电路转换成版图的工作由自动布局布线工具来完成，设计者通常不用关心单个的晶体管，也不用关心库中逻辑单元的具体结构。我们从图 1.2 中可以看到，半定制设计已经成为市场的主流设计方式[Elektronic 1991]。其中，可编程逻辑电路的设计从设计方法学考虑也可以包括在半定制设计当中。

然而，如果还是从门级的层次进行设计，则规模更大的电路还是非常难以实现。于是，在以后的几年中，硬件描述语言 HDL 进入半定制设计方法的行列。HDL 是一种高级编程语言，而且在高级编程语言的基础上扩展了并行执行的程序结构、时序逻辑和适用于硬件电路表示的数据结构。它们通过以下步骤支持在不同的抽象级别进行电路描述：在设计的初期阶段，先用行为级的语言对需要解决的问题进行描述，然后，在其中不断引入所需要的硬件结构，并

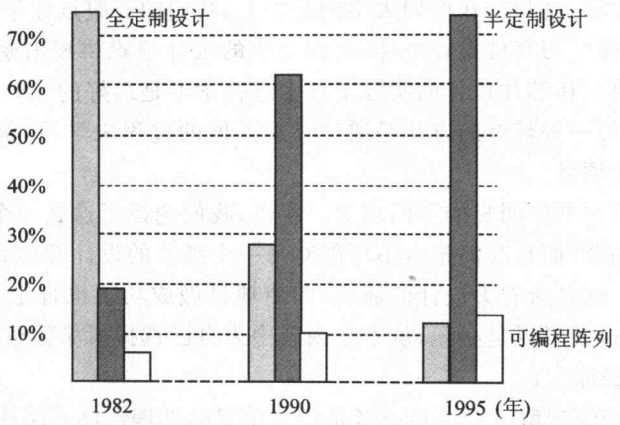


图 1.2 半定制设计占所有 ASIC 设计的份额

逐级地细化电路设计，直到最后用门级电路实现所需的功能。在每一抽象层次上，这样的 HDL 描述不仅可以看作是一个精确的文档，而且还能够运行或进行仿真。只要 HDL 模型描述得足够精确，这种描述就能用手工的方法或者用逻辑综合的方法转换成可进行布局布线的门级电路模型。高层次综合研究的目的，便是试图在更高抽象层次的 HDL 电路描述上，对其进行自动综合。

现代计算机体系结构不再着重于设计计算机中的各个部件，而是“向上”与对应的指令集、编译器和操作系统更加紧密地结合在一起，“向下”与更加先进的芯片结构设计和设计方法结合在一起。VLSI 的设计“向上”更高层次发展，计算机的设计同时“向下”发展，两者发展的领域越来越近，甚至在很多方面交叠在一起。

十年来，计算机体系结构中的一个根本性的变革是 RISC 处理器的出现。它的主要标志是简单且结构相似的指令集在流水线中高效并行的执行。

本书主要讲述现代半定制的 VLSI 设计方法，以一个规模足够大，并且已经做成成熟产品的 RISC 处理器的完整设计过程作为设计实例，而不是把剖析一个现有的处理器或者课堂上讲述的那种小电路例子作为实例。下面，首先简短地介绍一下我们的 RISC 处理器，对于还不了解 RISC 的读者，我们在后续章节中还会有详细解释。

我们设计的是一个基于半定制方法设计的 32 位 RISC 处理器，用 0.7 μm CMOS 工艺、双层金属布线的门阵列(门海)实现，阵列包含 21 万晶体管，实现了一个典型的 RISC 三操作数的 Load/Store 指令集，目标效率是 30 MIPS(MIPS，每秒执行百万条指令)，每条指令执行平均周期数(CPI)小于 1。在设计中，我们采用了经典的冯·诺曼结构，使处理器外部引脚很少。然而，这种结构的缺点是，由于与主存储器相连的总线同时作为数据总线和指令总线，从而造成了处理器性能上的瓶颈。我们通过在芯片内部加入多用途指令 Cache 来克服这个缺点。其它重要的结构特性还包括：采用 5 级流水线结构；内部有一个跳转目的 Cache；一个灵活的转移延迟处理机制以及数据前推机制。最后，我们在内部寄存器上插入了扫描链，并且设计了处理器的多种中断处理机制，使得处理器总体上在软件和硬件两方面都达到了较好的可测性。

也许有人会问，为什么选择这么大的例子，而且为什么要选择 RISC 处理机作为设计实例。事实上，我们认为，目前设计实现一个小电路是非常容易的事，各种书籍中都对小规模的