

Shuzijichengdianlu

数字专用 集成电路 的设计与验证

<http://www.phei.com.cn>

● 杨宗凯 黄建 杜旭 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

数字专用集成电路的设计与验证

杨宗凯 黄 建 杜 旭 编著

电子工业出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书共 7 章,详细地介绍了数字专用集成电路的开发流程。具体包括 VerilogHDL 硬件描述语言、ASIC 前端设计、ASIC 前端验证、逻辑综合、可测性技术和后端验证。同时还介绍了在 ASIC 设计时需要预先考虑到的一些问题。在 ASIC 设计、验证和综合的思想和方法上,本书的另一大特色就是将超大规模数字集成电路常用的模块单元提取出来进行实例化介绍。

本书适合 ASIC 开发工程师和管理人员阅读,也可作为电子类专业的高年级本科生和研究生的参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

数字专用集成电路的设计与验证 / 杨宗凯, 黄建, 杜旭编著. —北京: 电子工业出版社, 2004. 10

ISBN 7-121-00378-3

I. 数… II. ①杨… ②黄… ③杜… III. ①数字集成电路—电路设计 ②数字集成电路—测试技术
IV. TN431.2

中国版本图书馆 CIP 数据核字 (2004) 第 095790 号

责任编辑: 沈艳波

印 刷: 北京冶金大业印刷有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

经 销: 各地新华书店

开 本: 787×1092 1/16 印张: 18.75 字数: 480 千字

印 次: 2004 年 10 月第 1 次印刷

印 数: 5000 册 定价: 28.00 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。联系电话: (010) 68279077。质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

序

数字集成电路的应用已经进入到社会各行各业，给我们的生活带来了日新月异的变化。随着集成电路复杂度的增加和应用的专门化，ASIC (Application Specified Integrated Circuit) 在集成电路中占有举足轻重的地位。作为集成电路产业的龙头，近年来，中国集成电路设计业的设计水平和设计规模开始大幅提升，自主知识产品的技术含金量也呈攀升趋势。

未来十年是我国集成电路产业发展的关键时期，党和国家已把集成电路业作为信息产业的核心技术，促进其加快发展，以满足市场的需求。到2005年，全国集成电路产量预计达到200亿块，销售额达到600~800亿元，约占世界市场份额的2%~3%，满足国内30%的市场需求，涉及国防重点工程和国民经济安全的关键专用集成电路基本立足国内。改革开放以来，我国信息产业以3倍于国民生产总值的增长速度高速发展，“十五”期间，信息产业预计将保持20%以上的增长速度，信息产业的高速发展，国民经济和社会信息化的加速推进，也将对集成电路产业产生强大的拉动作用，我国集成电路产业将迎来一个更快的发展时期。

随着我国电子信息产业的高速发展，集成电路在中国所具有的巨大市场潜力将逐渐显现出来，在这样一个大环境下，我们也亟需培养大批集成电路设计业的专门人才，而目前国内关于数字集成电路设计与验证的著作较为贫乏，这对大规模开展集成电路设计教学工作带来了困难。

杨宗凯教授的著作《数字专用集成电路的设计与验证》，利用其敏锐的学术思维和多年来从事集成电路设计研究工作的心得，以及在国际合作项目中积累的宝贵经验，并整合国内外相关领域的最新研究成果，将数字集成电路的设计与验证技术以直观的面貌和通俗的语言展现在读者面前，无论对有心投身于集成电路设计的初学者或是有经验的工程师都具有一定的借鉴意义。本书的出版对于中国集成电路产业的发展也具有积极意义，是值得庆贺的。

严国萍

2004年9月

前 言

集成电路是信息技术产业群的核心和基础。建立在集成电路技术进步基础上的全球信息化、网络化和知识经济浪潮,使集成电路产业的战略地位越来越重要,对国民经济、国防建设和人民生活的影响也越来越大。近几十年来,半导体工业的飞速发展带动了数字集成电路的发展,如今已经进入数字时代。数字集成电路的应用已经深入到社会各行各业,给我们的生活带来了日新月异的变化。随着集成电路的复杂度增加和应用的专门化,ASIC 在集成电路中占有举足轻重的地位。多年来,世界集成电路产业一直以 3 至 4 倍于国民经济增长速度迅猛发展,新技术、新产品也不断涌现。目前,世界集成电路大生产的主流加工工艺技术水平为 8 英寸、0.25~0.18 μm ,正在向 0.13 μm 、0.09 μm 、12 英寸加工工艺技术过渡。

ASIC (Application Specified Integrated Circuit) 直译为专用集成电路。区别于标准逻辑电路或通用存储器和通用处理器,它是由那些并不懂得半导体物理学和半导体生产过程的工程师设计,由 ASIC 厂商生产,面向特殊功能的电路。在 20 世纪 80 年代中后期以后,随着电子设备功能的日益复杂,通用标准集成电路、人工全制定电路和可编程逻辑器件已不能满足厂家的体积小、功耗小、速度快、成本低、保密性好的需求,而只有 ASIC 才能实现具有竞争力的产品。所以越来越多的应用采用 ASIC 技术。

中国电子信息产业在全球的电子信息产业中几乎是一枝独秀,多年来一直保持着稳定的高速增长,产值、销售额和出口的增长均保持在 20% 左右。最近 5 年来,销售收入平均增长 25.2%,出口平均以 24.7% 的速度递增,几乎不受国际电子信息产品市场波动和疲软的影响,并且在今后相当长时期内仍将保持这种高速增长的态势。作为我国电子信息产业的一个重要组成部分,半导体器件和集成电路产业与整体电子信息产业发展的态势相一致,也突显了与全球半导体市场所不同的业绩、潜力和前景。我国集成电路产业经过 30 多年的发展,尤其是“七五”以来,我国加强了集成电路产业的建设,初步形成了由 7 个芯片生产骨干企业、十几个封装厂、逾百家设计公司(中心)以及若干个关键专用材料和设备制造厂构成的产业群体。但总的来说,我国集成电路产业的总体发展水平还很低,即使经过这些年的高速发展,目前的技术水平和生产能力与国际领先水平相比仍有差距。

本书详细地介绍了超大规模专用数字集成电路的前端开发流程。具体包括 ASIC 的 RTL 设计、前端仿真、综合和后端验证。同时还介绍了 ASIC 设计时需要预先考虑到的问题。除了介绍 ASIC 的设计、验证和综合的思想和方法外,本书的另一大特色就是将超大规模数字集成电路常用的模块单元提取出来进行实例化介绍。

全书共 7 章,第 1 章介绍了 ASIC 设计的基本概念和当前 ASIC 设计的发展情况,同时,还介绍了 ASIC 设计的流程,包括前端设计和后端设计的流程。第 2 章首先简单介绍了什么是 HDL, HDL 的发展历程,并概述了使用 HDL 的主要能力。其次简要介绍有关 Verilog HDL 设计的入门知识,对使用 Verilog HDL 进行硬件设计时常用的语法、词法和控制结构进行了简单的描述。最后介绍了如何进行 Verilog HDL 的设计模拟与仿真。第 3 章介绍了 ASIC 前端设计的一些方法和思想,该章的一大特色是将数字 ASIC 的设计分为两部分:同步设计和

异步设计，异步设计在实际的跨时钟域的设计时经常遇到，如何解决好跨时钟域问题往往是项目成败的关键。第4章主要讨论了ASIC前端仿真和验证，同时详细讨论了验证环境的结构和组织，并就如何设计和实现测试参考模型和测试用例做了进一步的分析和举例。第5章首先介绍了综合的基本原理和思想，在保证系统逻辑功能情况下实现高级设计语言到逻辑网表的转换过程，以及根据约束条件对逻辑网表进行时序和面积优化的步骤。第6章主要介绍一些可测性设计的基本概念，可测性设计对于不同的后端厂家有许多不同的技术和方法，本书不对具体的方法进行详细介绍。第7章介绍了后端验证的基本方法，首先介绍了后端验证在设计流程中所处的位置、目的和作用；然后对后端验证的对象——门级网表的结构进行了介绍；最后介绍了后端验证环境的构建方法和验证过程及相关问题的解决办法。

本书是在博士生导师杨宗凯教授的主持下进行编写的，黄建博士和杜旭博士对本书内容和体系结构进行了策划和准备工作，赵宇、高俊伟等进行了统稿工作，黄建、王夏泉、夏晓菲、赵宇、左剑和高俊伟等也参与了全书的编写工作，真心为我们这个互帮互助、团结奋进的集体(<http://itec.hust.edu.cn>)感到高兴。

在此，特别感谢华中科技大学的博士生导师严国萍教授在百忙之中为本书的编写提出了宝贵的意见和建议，并为本书做序。

由于时间仓促，知识水平有限，书中定有不妥和错误之处，敬请各位专家、同行和读者批评指正，编著者将不胜感激！

编著者
2004年6月

目 录

第 1 章 概述	(1)
1.1 引言	(1)
1.1.1 集成电路产业的发展历程	(1)
1.1.2 摩尔定律	(3)
1.1.3 集成电路设计方法	(3)
1.2 ASIC 的概念	(6)
1.2.1 门阵列和标准单元 (Gate Array and Standard Cell)	(6)
1.2.2 ASIC 类型的选择	(8)
1.3 ASIC 开发流程	(9)
1.3.1 ASIC 开发流程	(9)
1.3.2 预研阶段	(10)
1.3.3 顶层设计阶段	(12)
1.3.4 模块级详细设计阶段	(13)
1.3.5 模块实现阶段	(16)
1.3.6 子系统仿真阶段	(18)
1.3.7 系统仿真, 综合和版图设计前门级仿真阶段	(20)
1.3.8 后端版面设计阶段	(24)
1.3.9 版面设计后仿真/综合阶段	(25)
1.3.10 生产签字	(27)
1.3.11 测试硅片准备阶段	(27)
1.3.12 硅片测试阶段	(29)
1.3.13 小结	(31)
1.4 中国集成电路发展现状	(31)
1.4.1 产业现状	(31)
1.4.2 市场需求预测	(33)
第 2 章 Verilog HDL 硬件描述语言简介	(35)
2.1 电子系统设计方法的演变过程	(35)
2.2 硬件描述语言综述	(37)
2.2.1 什么是硬件描述语言 (HDL)	(37)
2.2.2 为什么使用硬件描述语言	(37)
2.2.3 HDL 的发展历史	(38)
2.2.4 HDL 语言的主要特征	(38)
2.2.5 Verilog HDL 与 VHDL 的比较	(39)

2.2.6	硬件描述语言的最新发展	(39)
2.3	Verilog HDL 的基础知识	(42)
2.3.1	程序结构	(42)
2.3.2	词法习俗	(44)
2.3.3	数据类型	(47)
2.3.4	运算符与表达式	(51)
2.3.5	控制结构	(58)
2.3.6	赋值语句	(64)
2.3.7	任务与函数结构	(69)
2.3.8	时序控制	(72)
2.4	Verilog HDL 的设计模拟与仿真	(74)
2.4.1	测试模块	(74)
2.4.2	编译指令	(74)
第 3 章	ASIC 前端设计	(76)
3.1	引言	(76)
3.2	ASIC 前端设计概念	(77)
3.3	ASIC 前端设计的工程规范	(78)
3.3.1	文档阶段的规范	(78)
3.3.2	编码阶段的规范	(78)
3.3.3	验证阶段的规范	(79)
3.4	设计思想	(79)
3.4.1	层次化设计	(79)
3.4.2	串行设计	(81)
3.4.3	并行设计	(81)
3.4.4	流水线 (Pipeline) 设计	(82)
3.5	结构设计	(83)
3.5.1	行为级综合	(83)
3.5.2	可测性设计	(84)
3.6	同步电路	(87)
3.6.1	同步系统的优缺点	(88)
3.6.2	同步系统中的时钟分配网络	(89)
3.7	ASIC 前端设计基于时钟的划分	(90)
3.8	同步时钟设计	(90)
3.8.1	同步时钟功能模块设计	(90)
3.8.2	有限状态机 (FSM) 的设计	(91)
3.8.3	先进先出队列 (FIFO) 的设计	(99)
3.8.4	仲裁器 (Arbiter) 的设计	(110)
3.8.5	存储器接口的一个简单设计实例	(112)
3.8.6	同步时钟设计总结	(113)

3.9	ASIC 异步时钟设计	(113)
3.9.1	异步时序的定义	(114)
3.9.2	亚稳态	(114)
3.9.3	同步策略	(114)
3.9.4	异步 FIFO 简介	(117)
3.9.5	异步时钟设计对逻辑的影响	(121)
3.9.6	异步时序设计总结	(124)
3.10	小结	(124)
第 4 章	ASIC 前端验证	(125)
4.1	ASIC 前端验证综述	(125)
4.1.1	功能验证	(125)
4.1.2	功能验证的目的、作用及面临的主要问题	(126)
4.1.3	黑盒验证与白盒验证	(128)
4.2	前端验证的一般方法	(129)
4.2.1	基于仿真的验证流程 (Testcase Based Verification)	(129)
4.2.2	形式验证 (Formal Verification)	(134)
4.2.3	基于命题的验证 (Assertion Based Verification)	(137)
4.3	testbench	(138)
4.3.1	行为级和寄存器传输级	(138)
4.3.2	结构化的 testbench	(140)
4.3.3	总线功能模型	(148)
4.4	参考模型 (Reference Module)	(155)
4.4.1	什么是参考模型	(155)
4.4.2	参考模型的设计	(155)
4.4.3	SystemC	(157)
4.4.4	自动生成测试向量	(160)
4.5	验证组件的整合与仿真	(164)
4.6	小结	(169)
第 5 章	逻辑综合	(170)
5.1	综合的原理和思想	(170)
5.1.1	综合简介	(170)
5.1.2	寄存器传输级电路和门级电路	(170)
5.2	可综合的代码的编写规范	(173)
5.2.1	if 和 case	(173)
5.2.2	针对较大时延的信号设计 if 和 case 语句	(176)
5.2.3	高性能的编写程序代码技术	(184)
5.2.4	一些设计的基本规则	(187)
5.2.5	应该注意的若干问题	(188)

5.3	综合步骤	(189)
5.3.1	文件准备	(189)
5.3.2	选择和设置逻辑单元库	(190)
5.3.3	初始环境设置	(192)
5.3.4	设计文件读取和分析	(192)
5.3.5	设置约束条件	(193)
5.3.6	选择 wire load 模型	(206)
5.3.7	设置时钟	(207)
5.3.8	端口信号约束	(209)
5.3.9	选择综合优化策略	(211)
5.3.10	综合优化	(214)
5.3.11	时序分析	(215)
5.4	综合的若干问题及解决	(220)
5.4.1	时序问题的解决	(220)
5.4.2	latch 问题	(224)
5.4.3	不匹配 (mismatch)	(225)
第 6 章	可测性技术	(229)
6.1	可测性技术简介	(229)
6.1.1	可测性技术的产生	(230)
6.1.2	可测性技术的内涵	(230)
6.1.3	可测性的关键技术	(231)
6.1.4	可测性技术的发展历程与现状	(231)
6.2	Ad-hoc 测试技术	(233)
6.2.1	Ad-hoc 测试的基本思想	(233)
6.2.2	Ad-hoc 测试举例	(234)
6.2.3	Ad-hoc 测试技术总结	(235)
6.3	扫描技术	(235)
6.3.1	扫描测试的基本思想	(236)
6.3.2	扫描测试流程	(237)
6.3.3	扫描测试的分类	(238)
6.4	内建自测技术 (BIST)	(248)
6.4.1	内建自测试技术的基本思路	(248)
6.4.2	BIST 中的状态图分析法	(249)
6.4.3	串行 BIST 结构	(250)
6.4.4	并行 BIST 结构	(252)
6.4.5	内建自测与其他测试技术的结合	(254)
6.5	几种 DFT 技术的比较	(256)
6.5.1	占用面积	(256)
6.5.2	耗费管脚	(257)

6.5.3 对原始设计的影响.....	(257)
6.5.4 CAD 工具的需求.....	(257)
第 7 章 后端验证	(259)
7.1 前仿真与后仿真.....	(259)
7.2 逻辑延迟时间的基本概念.....	(260)
7.3 门级网表.....	(263)
7.4 构建后仿真环境.....	(266)
7.4.1 引脚连接.....	(267)
7.4.2 调用 sdf 文件.....	(269)
附录 A 常用术语表	(270)
附录 B Verilog 语法和词汇惯用法	(272)
附录 C Verilog HDL 关键字	(284)
附录 D Verilog 不支持的语言结构	(285)
参考文献	(287)

第 1 章 概 述

1.1 引 言

1.1.1 集成电路产业的发展历程

近几十年来，半导体工业的飞速发展带动了数字集成电路的发展，如今已经进入数字时代。数字集成电路的应用已经深入到社会各行各业，给我们的生活带来了日新月异的变化。20 世纪 90 年代以来，国内的专用集成电路的发展非常迅猛，几个大公司纷纷设立 IC 设计部，也成立了许多专门的 IC 设计公司，同时，国外的大公司也在国内建立 IC 设计分公司。中国的集成电路设计和生产已经和发达国家缩小了差距。但是，由于国内的专用集成电路设计产业起步较晚，设计规模比较小，所以市场占有份额还很低。而中国市场对集成电路的需求非常大，国内的集成电路设计和生产能力明显不足，还不能满足自己的需求。1993 年国内生产的集成电路为 1.78 亿块，占世界总产量的 0.4%，相当于美国 1969 年的水平，日本 1971 年的水平。1996 年生产 7.09 亿块，而 1996 年国内集成电路市场总用量为 67.8 亿块，国内市场占有率仅为 10%。1999 年生产 23 亿块，销售额 70 多亿元，国内市场占有率不足 20%，绝大部分依靠进口。2000 年需求量为 180 亿块，生产 32 亿块。总之，我国集成电路产业的总体发展水平还很低，与国外相比大约落后 15 年。

随着集成电路的复杂度增加和专门化，ASIC 在集成电路中占有举足轻重的地位。据市场调研公司 IC Insights 统计，专用集成电路每年的销售量占集成电路市场的百分之十几，2001 年专用集成电路的市场份额为 120 亿美元，2002 年为 114 亿美元，2003 年为 138 亿美元，2004 年将增至 176 亿美元。但是由于国内的专用集成电路产业相对落后，ASIC 市场现在还牢牢地把握在国外大公司的手中，表 1.1.1 统计了 1998 年和 1999 年世界各大公司 ASIC 销售额排名情况。

表 1.1.1 1998 年和 1999 年世界各大公司 ASIC 销售额排名一览表

专用集成电路			
1999 年门阵列排名		全球销售额/百万美元	
		1998 年	1999 年
1	富士通	455	494
2	NEC	385	370
3	东芝	360	350
4	日立	305	300
5	LSI Logic	285	200

续表

专用集成电路			
1999 年标准单元排名		全球销售额/百万美元	
		1998 年	1999 年
1	IBM	1 575	2 200
2	朗讯	1 555	1 900
3	LSI Logic	1 241	1 450
4	NEC	700	1 050
5	富士通	500	819
来源：IC Insights Inc.			

由于技术的发展和强大的市场推动力，数字集成电路本身也在不断地更新换代。它由早期的电子管、晶体管、中小规模集成电路，发展到超大规模集成电路（VLSIC，几万门以上）以及许多具有特定功能的专用集成电路。特别是 20 世纪 90 年代以来，集成电路工艺发展非常迅速，已从亚微米（1 μm 到 0.5 μm ）进入到深亚微米（小于 0.5 μm ），进而进入到超亚微米（小于 0.25 μm ），有的厂商现在甚至开发出了小于 0.1 μm 的集成电路设计工艺，例如 Fujitsu，他们已经拥有 0.09 μm 的技术。Intel 公司已经开始用 0.06 μm 的技术试制存储器。集成电路工艺发展的主要特点如下：

- 基本单元的特征尺寸越来越小；
- 晶园的尺寸越来越大；
- 片内的资源越来越丰富，集成度越来越高；
- 基本单元和连线上的时延越来越小，可实现的时钟频率越来越高；
- 在电源电压越来越低，晶片的集成度越来越高的情况下，可保证功耗不增加甚至下降；
- 提供的布线金属层越来越多；
- I/O 引脚越来越多；
- I/O 引脚的速度越来越快。

表 1.1.2 显示了集成电路的发展历程。

表 1.1.2 集成电路的发展历程

时间/年	1999	2002	2014
工艺/nm	180	130	35
最小掩膜层数	22/24	24	29/30
晶园直径/mm	300	300	450
存储器大小/B	1G	4G	1T
每平方厘米晶体管数	6.2×10 ⁶	18×10 ⁶	390×10 ⁶
布线层数	6, 7	7	10
时钟频率/MHz	1 250	2 100	10 000
供电电压/V	90	130	183
最大用户引脚数	700	957	3 350

1.1.2 摩尔定律

摩尔定律是半导体行业经常引用的一条基本定律。该定律预测：每平方厘米的晶体管数目每 18 个月翻一番，从而使一块芯片上可用晶体管的复合年增长率（CAGR）为 59%。近 30 年来，该定律一直成立。摩尔定律描述了单芯片晶体管集成度的发展趋势，图 1.1.1 用 Intel 公司的处理器发展过程描述了摩尔定律。

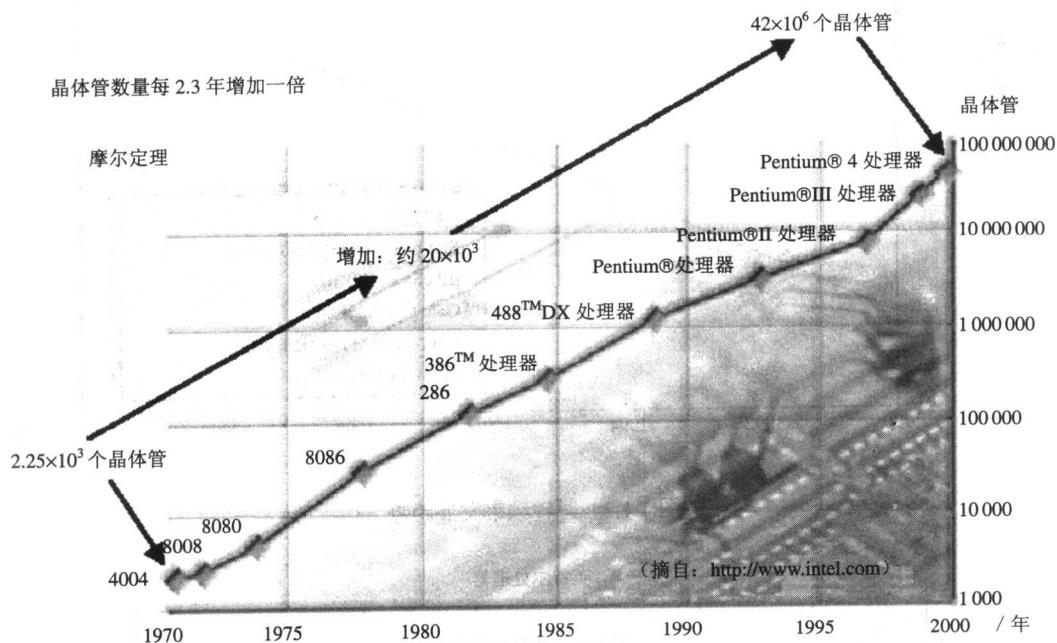


图 1.1.1 摩尔定律描述单片晶体管数量发展趋势

芯片的最大时钟频率也呈一定的增长规律。纵观几十年集成电路的发展历程，芯片的最大时钟频率大概是每 2.168 年增长一倍。图 1.1.2 说明了这一趋势。晶体管的特征尺寸大小是决定每块晶片上能够集成的晶体管数目最重要的一个参数。随着集成电路生产工艺的发展，晶体管的特征尺寸也在逐年减小，图 1.1.3 说明了晶体管特征尺寸发展趋势是每 5.43 年减少一倍。

1.1.3 集成电路设计方法

随着半导体加工工艺的提高，集成电路的设计方法也在随之改变。如图 1.1.4 所示，集成电路设计方法大致可以分为如下几个阶段：

- 手工设计阶段；
- 计算机辅助设计阶段；
- 计算机辅助工程阶段；
- 电子自动化设计阶段。

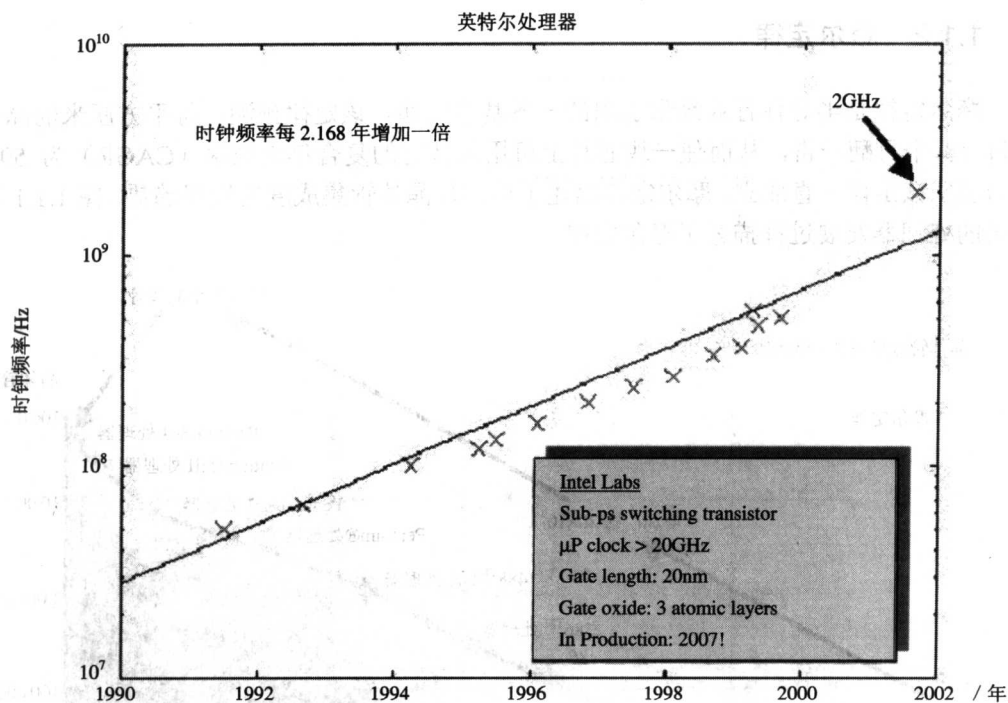


图 1.1.2 时钟频率发展趋势

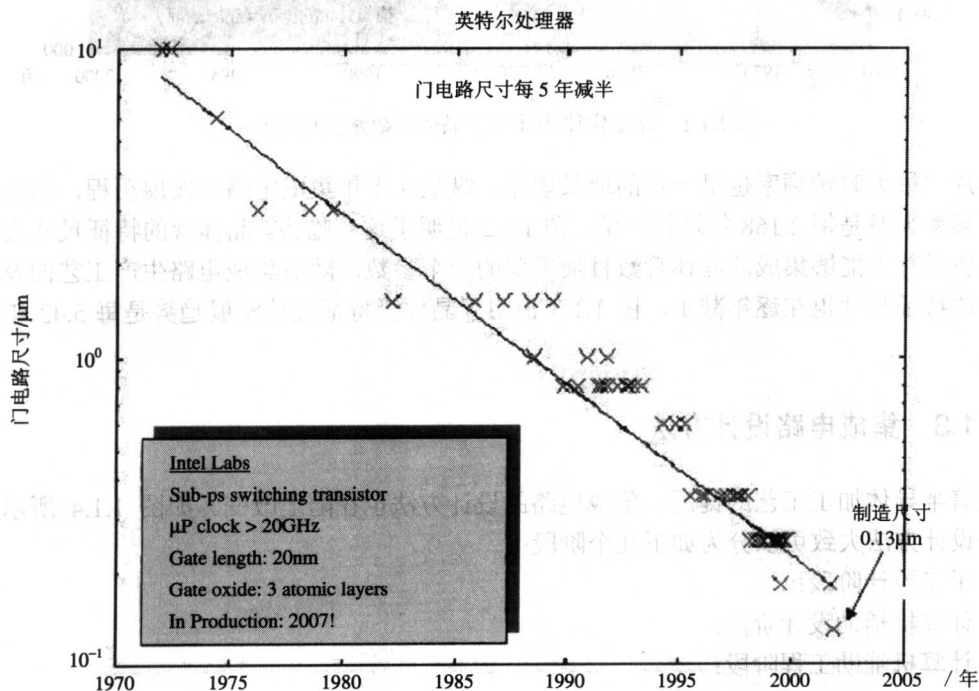


图 1.1.3 晶体管特征尺寸发展趋势

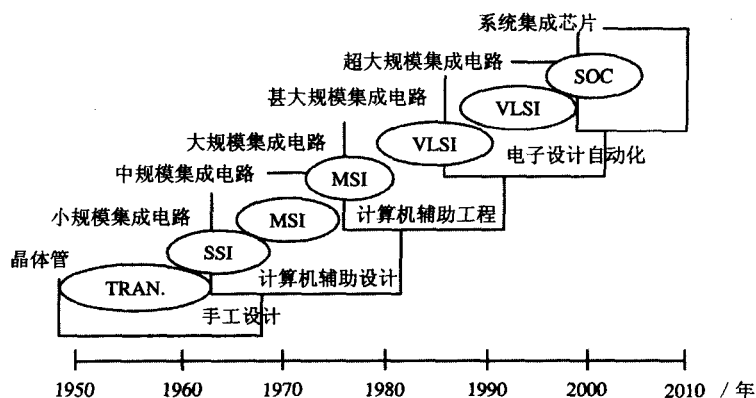


图 1.1.4 集成电路设计方法的发展过程

在 20 世纪 60 年代以前，芯片的集成度不是很高，所有的集成电路设计都是手工进行的。集成电路设计工程师手工画原理图，在原理图的验收通过以后，再进行布局布线。布局布线的方法还是手工画图，再刻红膜。这种设计方法在当时的晶体管和大规模集成电路设计的场合下是适用的。

随着芯片的集成度越来越高，可用的晶体管数量迅速增多，集成电路芯片的设计越来越复杂，原有的手工设计方法已经无法适应集成电路规模发展的需求，急需使用新的方法来提高设计效率。在手工设计阶段，版图的绘制特别花费时间，按照原有的设计方法，一个熟练的设计工程师每天大约能完成 5~10 个器件的绘制（其中包括了检查和修改），一个包含 10 000 个器件的设计大概需要 40~80 人一个月的时间。100 000 个器件的设计就需要 60 人一年的时间。这对产品的研发周期和项目的管理极为不利，这种效率已经明显不能够满足要求。在 20 世纪 60 年代后期，出现了计算机辅助设计（CAD）及计算机辅助工程（CAE）等设计方法，大大提高了设计效率和规模。

但是，上述的设计方法都只是在原理图的基础之上进行的。随着设计规模的继续增大，原理图设计方法已经不能满足设计的需求。幸运的是，20 世纪 80 年代出现的硬件描述语言 HDL（Hardware Description Language）和综合工具解决了超大规模集成电路的设计问题。硬件描述语言 HDL 是一种用形式化方法描述数字电路和系统的语言。利用这种语言，数字电路系统的设计可以从上层到下层（从抽象到具体）逐层描述自己的设计思想，用一系列分层次的模块来表示极其复杂的数字系统。然后，利用电子自动化设计（EDA）工具，逐层进行仿真验证，再把其中需要变为实际电路的模块组合，经过自动综合工具转换到门级电路网表。最后，再用专用集成电路 ASIC 或现场可编程门阵列 FPGA 自动布局布线工具，把网表转换为要实现的具体电路布线结构。

电子自动化设计的方法现在已经非常成熟，许多大公司都设计了自己的计算机辅助设计开发工具，并且拥有完整的开发流程。商业版的 EDA 开发工具为那些没有自行设计工具能力的小公司提供了开发环境。同时，集成电路的开发流程得到了合理的分工，形成了“前端设计—后端设计—生产”的模式，极大地提高了效率。但是随着晶体管特征尺寸、连线线宽的减小，与寄生效应有关的种种问题出现了，它严重影响了后端的实现。先根据功能来设计数字逻辑，再综合成电路，并把它交出去进行布局与布线，这种孤立前后端设计的方法已经不能够满足需求，很难保证芯片设计的成功。这就需要前端设计人员能够了解后端设计的过

程，以便于在前端设计时能够充分考虑到后端实现的问题。

1.2 ASIC 的概念

ASIC (Application Specified Integrated Circuit) 直译为专用集成电路。区别于标准逻辑电路或通用存储器和通用处理器，它是由那些并不懂得半导体物理学和半导体生产过程的工程师设计，由 ASIC 厂商生产，面向特殊功能的电路。在 20 世纪 80 年代中后期，随着电子设备功能的日益复杂，通用标准集成电路、人工全制定电路和可编程逻辑器件已不能满足厂家的体积小，功耗小，速度快，成本低，保密性好的需求，而只有 ASIC 才能实现具有竞争力的产品。所以越来越多的应用采用 ASIC 技术。

现阶段 ASIC 的开发是由 ASIC 设计者用硬件描述语言在寄存器传输级实现所需要的逻辑功能，并用厂家（或者第三方电子自动化设计工具提供商）提供的综合工具将做好的寄存器传输级代码映射成 ASIC 生产厂商提供的基本功能逻辑单元，再用布局布线工具完成版面设计。由于 ASIC 设计者不一定非常熟悉 ASIC 生产厂商的生产流程和生产厂商提供的布局布线工具的特性，所以大多数情况下，ASIC 生产厂商会提供后端服务，帮助 ASIC 设计者完成后端的可测性设计、版面设计和静态时序分析。在后端流程完成以后，ASIC 网表被送回设计者，设计者对网表进行后端仿真。仿真通过以后，设计者要与生产厂商进行生产签字，ASIC 生产厂商再完成 ASIC 生产。

ASIC 的设计与电路板的设计非常类似，ASIC 的基本单元相当于电路板上的器件。电路板设计者没有必要了解板上器件内部电路的具体实现，只关心该器件的内部功能和接口信号。同样，ASIC 设计者也没有必要了解 ASIC 生产厂家如何在硅晶片上实现 ASIC 的基本功能单元，只需使用通用的硬件描述语言来编写代码完成硬件的实现。当然，正如前面所述，ASIC 设计者如果能够了解 ASIC 生产过程中所要遇到的主要困难，在前端设计中能尽量避免 ASIC 后端和生产中可能遇到的困难，遵从后端公司有风险的设计规则，对于 ASIC 的可实现度和缩短开发周期是非常有帮助的。

1.2.1 门阵列和标准单元 (Gate Array and Standard Cell)

ASIC 分为两种类型：门阵列和标准单元。这两种类型的 ASIC 各有优点。门阵列和标准单元的内部结构如图 1.2.1 所示。

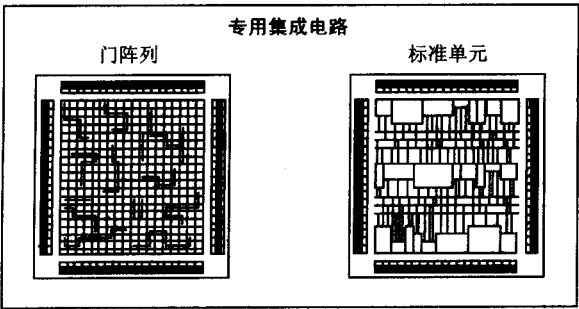


图 1.2.1 门阵列和标准单元结构